

1. Publicação nº <i>INPE-4029-TDL/244</i>	2. Versão	3. Data <i>Novembro 1986</i>	5. Distribuição <input type="checkbox"/> Interna <input checked="" type="checkbox"/> Externa <input type="checkbox"/> Restrita
4. Origem <i>DRH/DTL</i>	Programa <i>FRH/ECO</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>DEMODULADOR DECODIFICADOR TELECOMANDO</i>			
7. C.D.U.: <i>621.376:629.783</i>			
8. Título <i>DEMODULADOR E DECODIFICADOR DE TELECOMANDO PARA SATÉLITE</i>		10. Páginas: <i>111</i>	
		11. Última página: <i>A.2</i>	
		12. Revisada por	
9. Autoria <i>Antonio Macílio Pereira de Lucena</i>		<i>Max Costa</i> Max H.M. Costa	
Assinatura responsável <i>Omara Durães</i>		13. Autorizada por <i>Marco Antonio Raupp</i> Marco Antonio Raupp Diretor Geral	
14. Resumo/Notas <i>Este trabalho apresenta o projeto, a análise e os resultados dos testes do demodulador BPSK/NRZ-L e do decodificador de telecomando do satélite de coleta de dados da Missão Espacial Completa Brasileira (MECB). As restrições da aplicação espacial motivam a adoção de configurações que diferem das convencionais. Basicamente, as inovações adotadas são a sincronização paralela de subportadora e de símbolos, e a substituição de multiplicadores por portas ou-exclusivo que operam sobre sinais digitais. Essas inovações proporcionam vantagens de velocidade, consumo de potência e confiabilidade. Apresentam-se análises matemáticas parcialmente originais do desempenho das configurações adotadas.</i>			
15. Observações <i>Dissertação de Mestrado em Eletrônica e Telecomunicações aprovada em abril de 1986.</i>			

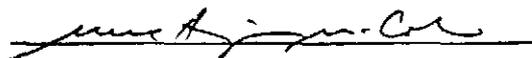
Aprovada pela Banca Examinadora
em cumprimento a requisito exigido
para a obtenção do Título de Mestre
em Eletrônica e Telecomunicações

Dr. Nelson Delfino D'Ávila Mascarenhas



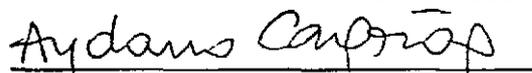
Presidente

Dr. Max Henrique Machado Costa



Orientador

Dr. Aydano Barreto Carleial



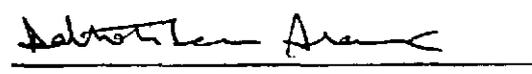
Co-orientador

Dr. Fernando Sakane



Membro da Banca
-convidado-

Dr. Dalton Soares Arantes



Membro da Banca
-convidado-

Candidato: Antonio MacÍlio Pereira de Lucena

São José dos Campos, 09 de abril de 1986

À minha esposa Maria da Penha

AGRADECIMENTOS

O autor expressa seus agradecimentos ao Prof. Max H.M. Costa pela valiosa orientação recebida, ao Prof. Aydano B. Carleial pelos úteis comentários, e a todos que contribuíram para a elaboração deste trabalho.

ABSTRACT

This work presents the design, analysis and test results of the BPSK/NRZ-L demodulator and telecommand decoder of the data collecting satellite of Missão Espacial Completa Brasileira (MECB). The constraints imposed by the space application motivate the adoption of nonconventional solutions. Basically, the innovations are the parallel subcarrier and bit synchronization and the replacement of multipliers by exclusive-or gates operating on digital signals. These innovations offer advantages in speed, power consumption and reliability. Partially, original mathematical analyse of the adopted solutions are presented.

SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS	<i>xiii</i>
LISTA DE TABELAS	<i>xv</i>
<u>CAPÍTULO 1 - INTRODUÇÃO</u>	1
1.1 - Descrição	1
1.2 - Especificações do demodulador BPSK	3
1.2.1 - Entrada	3
1.2.2 - Saída	4
1.2.3 - Tempo de aquisição	4
1.3 - Especificação do decodificador de telecomando direto	4
1.3.1 - Entrada	4
1.3.1.1 - Mensagem de telecomando	5
1.3.1.2 - Quadro	5
1.3.1.3 - Palavra de comando	6
1.3.1.4 - Palavra de sincronismo e endereço	7
1.3.1.5 - Palavra de finalização	7
1.3.2 - Saída	7
<u>CAPÍTULO 2 - DEMODULADOR BPSK</u>	9
2.1 - Introdução	9
2.2 - Configuração global	9
2.3 - Circuitos componentes do demodulador	12
2.3.1 - Filtro passa-faixa de entrada	12
2.3.2 - Limitador	12
2.3.3 - Circuito recuperador de subportadora	12
2.3.4 - Circuito sincronizador de bits	13
2.3.5 - Circuito detetor de dados	14
<u>CAPÍTULO 3 - ANÁLISE DO DEMODULADOR BPSK</u>	17
3.1 - Introdução	17
3.2 - Circuito recuperador de subportadora	17
3.2.1 - Cálculo da relação sinal/ruído na entrada do PLL	18

	<u>Pág.</u>
3.2.2 - Cálculo do filtro de malha do PLL	19
3.2.3 - Aquisição do PLL	23
3.3 - Circuito sincronizador de bits	23
3.3.1 - Determinação do sinal $Z'(t)$ na saída da não-linearidade ..	24
3.3.2 - Espectro do processo $M(t)$	27
3.3.3 - Cálculo do espectro de $Z'(T)$ na frequência do relógio	32
3.3.4 - Relação sinal/ruído à saída do filtro $G'(f)$	37
3.3.6 - Tremor de fase do relógio recuperado	41
3.3.7 - Tempo de aquisição	43
3.4 - Desempenho do demodulador	43
3.4.1 - O modelo	43
3.4.2 - Desenvolvimento analítico	44
3.4.3 - Análise dos casos simplificados	48
<u>CAPÍTULO 4 - CIRCUITOS E MEDIDAS DO DEMODULADOR BPSK</u>	51
4.1 - Introdução	51
4.2 - Filtro de entrada	52
4.3 - Circuito limitador de entrada	53
4.4 - Circuito recuperador da subportadora	54
4.4.1 - Circuito $ x $	54
4.4.2 - Filtro do recuperador de subportadora	55
4.4.3 - Phase-locked loop (PLL)	57
4.4.4 - Divisor por dois	58
4.4.5 - Resultados	59
4.5 - Circuito sincronizador de bits	60
4.5.1 - Atraso $T/2$	60
4.5.2 - Multiplicador	62
4.5.3 - Filtro de relógio	63
4.5.4 - Limitador do sincronizador de bits	65
4.5.5 - Resultados	65
4.6 - Circuito multiplicador	68
4.7 - Detetor de dados	68
4.8 - Desempenho do demodulador	69

	<u>Pág.</u>
4.9 - Conclusão	72
<u>CAPÍTULO 5 - DECODIFICADOR DE TELECOMANDO DIRETO</u>	73
5.1 - Introdução	73
5.2 - Critérios para aceitação do telecomando	74
5.3 - Funcionamento do decodificador de telecomando direto	75
5.4 - Projeto e funcionamento	78
5.4.1 - Registrador de entrada	78
5.4.2 - Detetor da palavra de sincronismo e endereço (PSE)	78
5.4.3 - Eliminador de ambigüidade	81
5.4.4 - Contador de bits	82
5.4.5 - Detetor de 7 e de 95	82
5.4.6 - Detetor de modo	82
5.4.7 - Contador de bits de comando	82
5.4.8 - Detetores de 4 e de 12	83
5.4.9 - Seletor do comando a ser armazenado	83
5.4.10 - Detecção de erro através do código hamming	84
5.4.11 - Memorizador de erro	87
5.4.12 - Memória de comando	88
5.4.13 - Matriz 8 x 64	88
5.4.14 - Temporizador de execução	89
5.4.15 - Gatilho de execução	89
5.4.16 - Bloqueador de decodificação	89
5.5 - Conclusão	89
REFERÊNCIAS BIBLIOGRÁFICAS	91
APÊNDICE A - AVALIAÇÃO DE $R_Q(\tau)$	

LISTA DE FIGURAS

	<u>Pág.</u>
1.1 - Cadeia de recepção de telecomando de bordo	2
1.2 - Forma do sinal BPSK/NRZ-L	3
1.3 - Mensagem de TCD	5
1.4 - Estrutura do quadro de TCD	6
1.5 - Palavra de comando	6
1.6 - Palavra de sincronismo e endereço (PSE)	7
2.1 - Demodulador BPSK coerente convencional	9
2.2 - Configuração de demodulador adotada	11
2.3 - Circuito recuperador de subportadora	13
2.4 - Circuito sincronizador de bits	14
2.5 - Circuito detetor de dados	15
3.1 - Modelo do recuperador de subportadora	17
3.2 - Modelo do circuito PLL com o CD4046	20
3.3 - Diagrama de bloco do modelo	24
3.4 - Diagrama no tempo de $m(t)$, $m(t-\tau)$ e $M(t)$	27
3.5 - Esboço do espectro do processo $M(t)$ com $\tau = T/2$	32
3.6 - Espectro unilateral de $D(f) * S_{Q_1}(f)$	39
3.7 - Modelo do demodulador	44
3.8 - Diagramas de tempo típicos dos sinais de subportadora, $s(t)$ e $Z''(t)$	45
3.9 - Esboço da função densidade de probabilidade de $X_1 = Y_1 $...	48
4.1 - Configuração completa do demodulador	51
4.2 - Estágio básico do filtro passa-faixa de entrada	52
4.3 - Circuito limitador	53
4.4 - Circuito $ x $	54
4.5 - Filtro passa-faixa do recuperador de subportadora	55
4.6 - Circuito PLL com o CD4046	57
4.7 - Circuito divisor por 2	59
4.8 - Atrasador $T/2$	61
4.9 - Oscilador a cristal de 1024 kHz	62
4.10 - Circuito multiplicador	62
4.11 - Filtro de relógio	63

	<u>Pág.</u>
4.12 - Circuito limitador	65
4.13 - Esquema de medida sem filtrar o sinal	66
4.14 - Esquema de medida com o sinal filtrado	67
4.15 - Circuito detetor de dados	69
4.16 - Desempenho medido com (.) e sem (x) filtro de entrada e desempenho do demodulador ideal	71
5.1 - Diagrama de bloco do decodificador de telecomando direto ...	76
5.2 - Comparador da palavra de sincronismo e endereço	79
5.3 - Circuito detetor da PSE	81
5.4 - Eliminador de ambigüidade	81
5.5 - Palavra de comando	84
5.6 - Codificador de um código cíclico (n, k)	85
5.7 - Codificador Hamming	86
5.8 - Detetor e memorizador de erros	86
5.9 - Diagrama de estado do memorizador de erros	87
5.10 - Memorizador de erro	88

LISTA DE TABELAS

	<u>Pág.</u>
3.1 - Probabilidade de erro associada à hipótese de máxima correlação	49
4.1 - Valores de projeto do filtro de entrada	53
4.2 - Tremor de fase da subportadora recuperada	59
4.3 - Medidas do J'_p e J'_{rms} do relógio recuperado sem filtrar o sinal	66
4.4 - Medidas de J'_p e J'_{rms} do relógio recuperado com filtragem do sinal	67
5.1 - Tabela verdade de SINC e \overline{PSE}	80
5.2 - Tabela verdade das saídas A, B e C	83

CAPÍTULO 1

INTRODUÇÃO

1.1 - DESCRIÇÃO

As mensagens de telecomando (TC) para controle do satélite de coleta de dados da Missão Espacial Completa Brasileira (MECB) são padrões digitais de formato PCM-NRZ-L (2 kbit/s), gerados, processados e transmitidos para o satélite por uma estação de controle na Terra.

As informações PCM-NRZ-L modulam uma subportadora senoidal de 8 kHz em BPSK (0° e 180°). Esta subportadora e, eventualmente, os sinais de localização (LOC), formados por cinco tons entre 16 e 20 kHz e por um tom de 100 kHz, usados para determinar a distância e a velocidade do satélite, modulam a portadora ascendente (2033,2 MHz) em fase (PM). As mensagens de TC e os tons de localização podem ou não ocorrer simultaneamente [1], mas neste trabalho será sempre considerada a simultaneidade, porque é o caso que mais exige do sistema.

Como indicado na Figura 1.1, ocorre no satélite o processo inverso. O receptor demodula a portadora PM e entrega a subportadora de telecomando, bem como os tons de localização e ruído, ao demodulador BPSK. O demodulador deve recuperar os dados de telecomando na forma PCM-NRZ-L e o sincronismo de bits (relógio), os quais são entregues ao decodificador de TC direto e à supervisão de bordo.

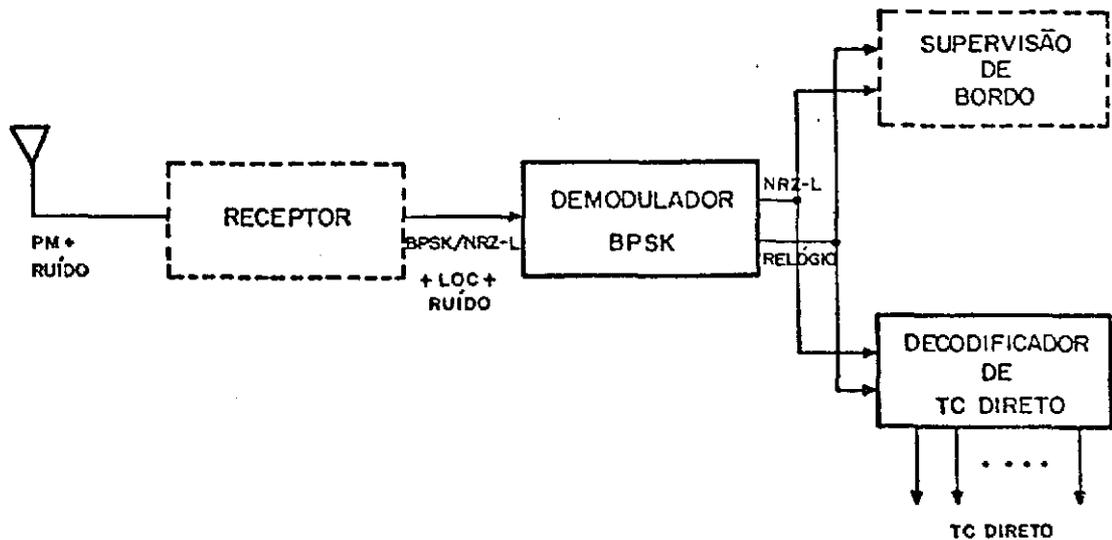


Fig. 1.1 - Cadeia de recepção de telecomando de bordo.

As mensagens de telecomando enviadas ao satélite podem ser telecomandos diretos (TCDs) ou telecomandos para supervisão de bordo (TSBs). Os TCDs são telecomandos de alta prioridade do tipo ON/OFF, que devem ser executados tão logo sejam recebidos pelo decodificador, sem qualquer processamento adicional. Estes telecomandos seguem o padrão da Agência Espacial Européia - ESA (PCM-TELECOMMAND STANDARD-PSS-45/TTC - A -01). A taxa de 2000 bps adotada é a máxima prevista pelo padrão da ESA. Os TSBs são telecomandos de menor prioridade, executados pela supervisão de bordo. Assim, os telecomandos contidos nos dados PCM-NRZ-L demodulados são decodificados e executados quer pelo decodificador de TC direto, quer pela supervisão de bordo, dependendo da natureza da mensagem.

Este trabalho consiste precisamente no estudo, projeto e implementação do demodulador BPSK e do decodificador de TC direto.

Devido à aplicação espacial, é imperativo que o consumo de potência dos circuitos seja o menor possível. Outra importante restrição é a necessidade de os circuitos e sistemas apresentarem alta confiabilidade. Como será visto adiante, estas restrições levam à ado-

ção de soluções que diferem das convencionais. Basicamente, as inovações adotadas são a sincronização em paralelo de subportadora e de símbolos, e a substituição de multiplicadores por portas ou-exclusivo que operam sobre sinais limitados (digitais). A primeira inovação permite a redução do tempo de aquisição dos dados, enquanto a última leva a uma significativa economia de potência*. A novidade do trabalho inclui ainda a análise matemática do desempenho das configurações adotadas.

1.2 - ESPECIFICAÇÕES DO DEMODULADOR BPSK

1.2.1 - ENTRADA

O sinal BPSK/NRZ-L na entrada do demodulador apresenta a subportadora (8 kHz) modulada pelo trem de bits (2 kbits), conforme a Figura 1.2. O começo do bit "um" coincide com o cruzamento de zero na derivada positiva da subportadora.

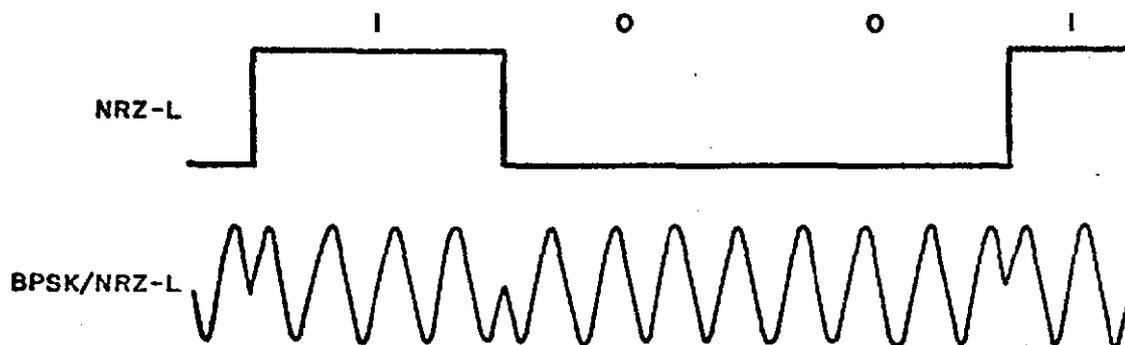


Fig. 1.2 - Forma do sinal BPSK/NRZ-L.

* Ambas as inovações favorecem o aumento da confiabilidade do sistema.

O nível nominal de entrada é de 600 mV (rms).

A relação energia de símbolo/densidade de ruído (E/N_0) especificada é igual a 16 dB. O ruído é aditivo, gaussiano e branco, com densidade espectral bilateral $N_0/2$ (Joule).

Os sinais de localização estão 10 dB abaixo do sinal BPSK/NRZ-L.

1.2.2 - SAÍDA

O Demodulador BPSK entrega ao Decodificador de TCD os dados na forma NRZ-L ($\pm 5V$) e o relógio recuperado na forma de uma onda quadrada ($\pm 5V$, 2 kHz), cuja transição positiva coincide com o meio do bit de dado.

A probabilidade de erro de bit (PEB) especificada é de 10^{-5} .

1.2.3 - TEMPO DE AQUISIÇÃO

O tempo de aquisição do demodulador deve ser menor que 64 ms.

1.3 - ESPECIFICAÇÃO DO DECODIFICADOR DE TELECOMANDO DIRETO

1.3.1 - ENTRADA

Os dados NRZ-L à entrada do decodificador encontram-se formatados conforme o padrão ESA de telecomando. Esta formatação é descrita a seguir.

1.3.1.1 - MENSAGEM DE TELECOMANDO

A mensagem de telecomando, conforme mostrado na Figura 1.3, apresenta uma palavra de inicialização, um conjunto de n ($1 \leq n \leq 42$) quadros e uma palavra de finalização de mensagem. A palavra de inicialização é composta de 128 bits, "zeros" e "uns" alternados, e serve para sincronização do demodulador. Os quadros contêm as informações de comando. Há 96 bits em cada quadro. A palavra de finalização indica o fim da mensagem e seu comprimento é de 16 bits.

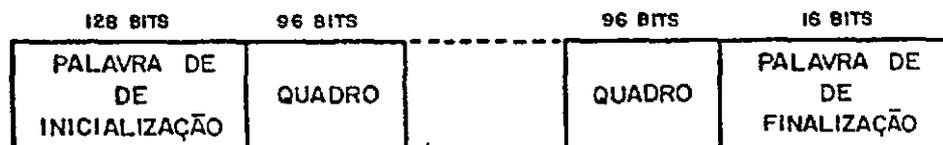


Fig. 1.3 - Mensagem de TCD.

1.3.1.2 - QUADRO

A estrutura do quadro é mostrada na Figura 1.4. A palavra de sincronismo e endereço (PSE) serve para sincronismo de quadro, identificação do satélite e resolução da ambigüidade inerente aos dados entregues pelo demodulador. Seguindo a PSE vem a indicação de "modo", que traz informação sobre o modo de distribuição dos comandos no satélite. Neste caso será usado apenas um modo de distribuição, identificado pelo código 1100. A palavra de "modo" é repetida, proporcionando um aumento de redundância. Cada quadro contém três palavras de comando mais suas respectivas repetições. Cada palavra de comando está associada à execução de um telecomando.

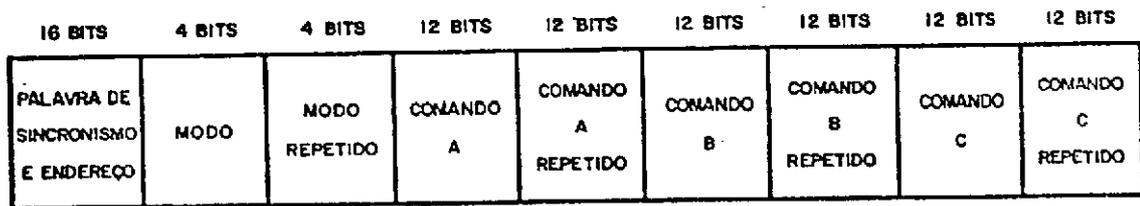


Fig. 1.4 - Estrutura do quadro de TCD.

1.3.1.3 - PALAVRA DE COMANDO

A estrutura da palavra de comando encontra-se representada na Figura 1.5. Os oito primeiros bits (B_0 a B_7) são bits de informação e os quatro restantes (P_0 a P_3) são de paridade. Cada palavra pertence a um código de bloco (12,8) derivado por truncamento do código Hamming (15,11). Este código possibilita a detecção de 2 erros e a correlação de 1 erro. Neste caso, só é usada a capacidade de detecção. No quadro cada palavra de comando é repetida, a fim de reduzir a probabilidade de rejeição de quadro. A lei de geração dos bits de paridade é dada por:

$$P_0 = B_5 \oplus B_4 \oplus B_2 \oplus B_0,$$

$$P_1 = B_6 \oplus B_5 \oplus B_1 \oplus B_0,$$

$$P_2 = B_7 \oplus B_6 \oplus B_4 \oplus B_2 \oplus B_1 \oplus B_0,$$

$$P_3 = B_7 \oplus B_4 \oplus B_3 \oplus B_1,$$

onde o símbolo \oplus denota a operação ou-exclusivo.

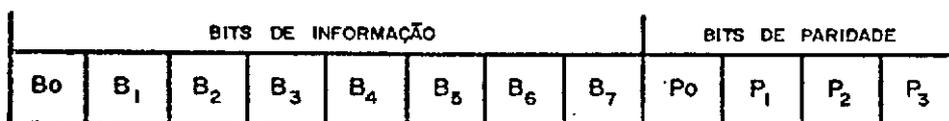


Fig. 1.5 - Palavra de comando.

1.3.1.4 - PALAVRA DE SINCRONISMO E ENDEREÇO

A palavra de sincronismo e endereço contém 16 bits e é escolhido entre as palavras padronizadas pela ESA. Como mostra a Figura 1.6, os sete primeiros bits desta palavra são endereços permitidos pela NASA-GSFC. Isto torna o padrão ESA compatível com o padrão da NASA.

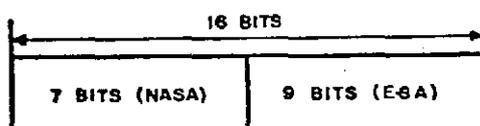


Fig. 1.6 - Palavra de sincronismo e endereço (PSE).

1.3.1.5 - PALAVRA DE FINALIZAÇÃO

A palavra de finalização é idêntica à palavra de sincronismo e endereço.

1.3.2 - SAÍDA

A saída do decodificador de telecomando direto (TCD) é formada por 64 linhas, cada uma associada a um TCD. Embora sejam possíveis até 256 TCDs, só serão usados 64. Na execução de um telecomando, a linha selecionada entrega um pulso de tensão (+5V) com duração de 5 ms a uma interface. Esta interface (interface de atuação) transfere ao dispositivo a ser comandado um pulso numa tensão e potência convenientes. A interface não faz parte do decodificador aqui apresentado. A condição de repouso das linhas de telecomando direto é de -5V.

CAPÍTULO 2

DEMODULADOR BPSK

2.1 - INTRODUÇÃO

Neste capítulo apresentam-se a configuração global e as configurações dos circuitos que compõem o Demodulador BPSK desenvolvido. Também apresentam-se justificativas para adoção de cada configuração.

Como mencionado no Capítulo 1, a relação energia de símbolo/densidade de ruído (E/N_0) na entrada do demodulador é no mínimo de 16 dB, enquanto a PEB deve ser no máximo igual a 10^{-5} . Caso se utilizasse um receptor ótimo (filtro casado) e ideal, a relação E/N_0 necessária para atingir a PEB especificada seria de aproximadamente 9,6 dB, o que dá uma margem de 6,4 dB para as perdas de implementação.

2.2 - CONFIGURAÇÃO GLOBAL

Considera-se como ponto de partida o demodulador BPSK/NRZ-L (0° e 180°) coerente convencional [2], ilustrado na Figura 2.1.

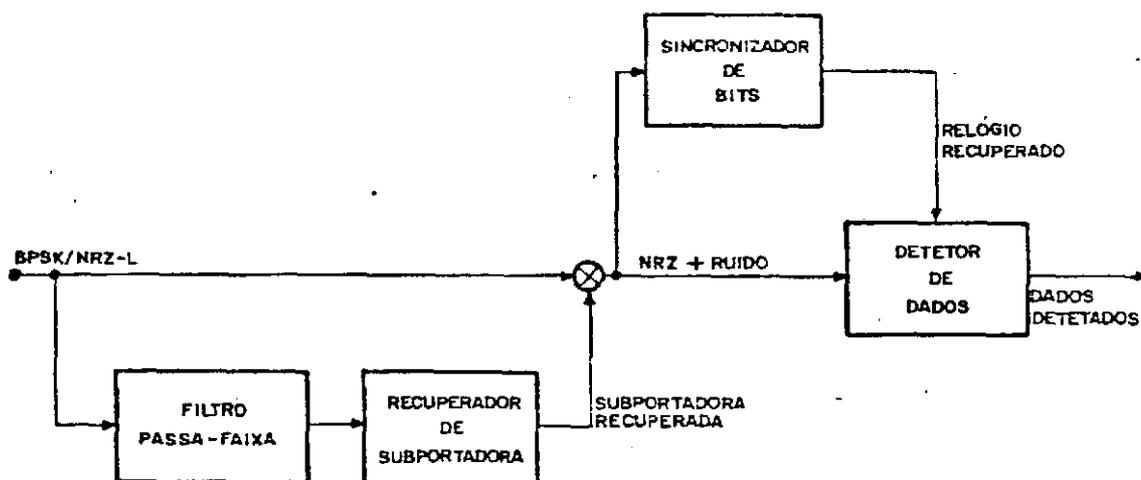


Fig. 2.1 - Demodulador BPSK coerente convencional.

Este esquema é uma realização do receptor ótimo. O detector de dados é um filtro "integrate-and-dump" que apresenta a menor probabilidade de erro na detecção de sinal NRZ-L corrompido por ruído branco gaussiano.

O funcionamento do esquema é o seguinte: de início a subportadora é recuperada e multiplicada pelo sinal BPSK/NRZ-L, o que resulta no sinal NRZ-L ruidoso. A partir do sinal NRZ-L recupera-se o relógio, que é usado pelo detector de dados para a detecção ótima. Como a modulação é feita por sinais antípodos (0° ou 180°), o sinal BPSK não apresenta raia espectral na frequência da subportadora. Também o sinal NRZ-L (considerando dados independentes e equiprováveis) não apresenta raia na frequência do relógio. Daí a necessidade dos circuitos recuperador de subportadora e sincronizador de bits.

A subportadora recuperada, assim como o relógio recuperado, não são referências perfeitas; apresentam ruído de fase, o que degrada o desempenho do demodulador. No entanto, na prática, esta degradação pode ser mantida na ordem de alguns décimos de dB.

Embora esta configuração apresente muito bom desempenho, ela não é inteiramente adequada para esta aplicação. Em primeiro lugar, neste caso, junto ao sinal BPSK-NRZ-L há os tons de localização, os quais devem ser filtrados antes do batimento com a subportadora. Ademais, nesta configuração primeiramente a subportadora é recuperada; só depois, num processamento serial, recupera-se o relógio. Isto pode resultar num tempo de aquisição muito longo, o que torna a configuração inaceitável [3]. Um último ponto é relacionado com o multiplicador da configuração. Convencionalmente, usa-se um multiplicador analógico do tipo MC-1596. No entanto, o consumo destes multiplicadores é da ordem de 100 mW. Em vista das restrições de potência que devem ser atendidas, isto representa um consumo excessivamente alto. Para contornar estes problemas, adota-se a configuração da Figura 2.2.

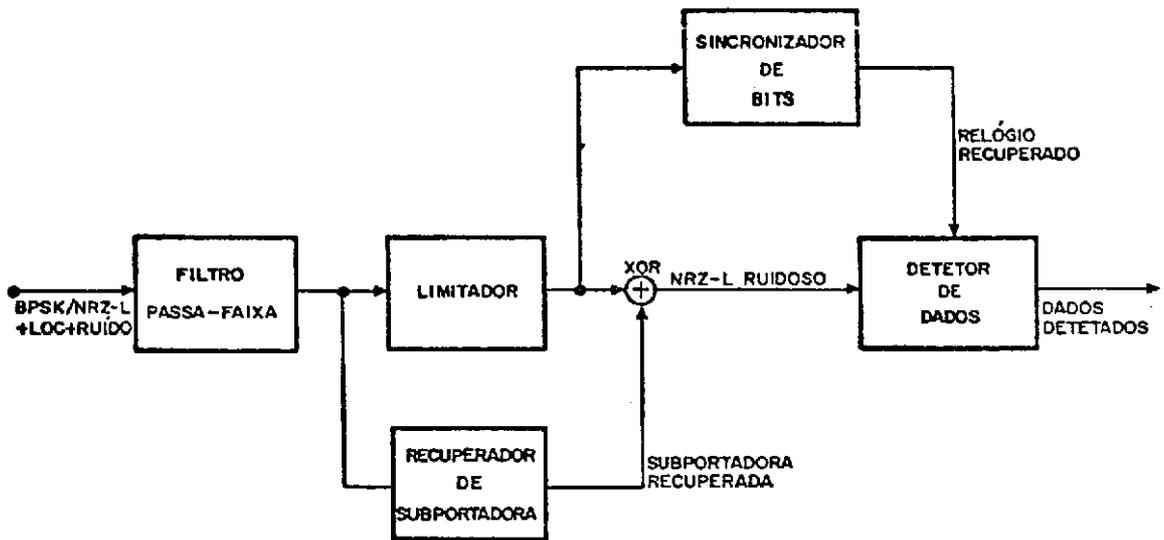


Fig. 2.2 - Configuração de demodulador adotada.

O filtro passa-faixa corta os tons de localização e limita o ruído para os circuitos recuperadores da subportadora e do relógio. A subportadora e o relógio são recuperados simultaneamente em operações paralelas, o que resulta numa aquisição mais rápida. A inclusão do limitador possibilita a substituição do multiplicador analógico por uma porta ou-exclusivo (XOR) CMOS, cujo consumo é cerca de 50 μ W. O uso do limitador também permite considerável simplificação no circuito recuperador de relógio. O detetor de dados é um filtro "integrate-and-dump" idêntico ao utilizado na configuração convencional.

Como é mostrado nos capítulos seguintes, a degradação do desempenho devido ao uso do filtro de entrada e do limitador (em relação ao desempenho do demodulador convencional) é desprezível, sendo, portanto, superada pelas vantagens da configuração.

2.3 - CIRCUITOS COMPONENTES DO DEMODULADOR

2.3.1 - FILTRO PASSA-FAIXA DE ENTRADA

O filtro passa-faixa de entrada corta os tons de localização e limita o ruído para os circuitos recuperadores da subportadora e do relógio. O filtro adotado é um passa-faixa Butterworth com frequência de corte (3 dB) em 6 kHz e 10 kHz, ganho unitário na frequência central e atenuação de pelo menos 40 dB em 16 kHz. Com esta característica de frequência o filtro deixa passar praticamente sem atenuação o primeiro lóbulo do espectro do sinal BPSK. Embora isto represente mais de 90% da potência total ocorre certa distorção no sinal de saída, o que afeta o desempenho da configuração. Aumentar a banda do filtro seria a solução para reduzir a distorção. No entanto, para manter a mesma atenuação em 16 kHz a ordem do filtro precisaria ser aumentada e haveria a necessidade do uso de um filtro adicional para limitar o ruído à entrada do circuito de recuperação da subportadora. Isto significaria aumento na complexidade (com conseqüente queda da confiabilidade) e aumento no consumo de potência.

2.3.2 - LIMITADOR

O limitador implementa $V \cdot \text{sgn}(x)$, onde V é uma constante e $\text{sgn}(x)$ é uma função definida por:

$$\text{sgn}(x) = \begin{cases} +1, & \text{se } x \geq 0, \\ -1, & \text{se } x < 0. \end{cases}$$

2.3.3 - CIRCUITO RECUPERADOR DE SUBPORTADORA

O circuito adotado para recuperação da subportadora é mostrado na Figura 2.3. A não-linearidade valor absoluto, $|x|$, gera uma raia espectral no dobro da frequência da subportadora, a qual é posteriormente extraída e dividida por dois. O filtro passa-faixa tem a fun-

ção de cortar as demais harmônicas geradas pela não-linearidade. O PLL funciona como um outro filtro passa-faixa bem mais estreito.

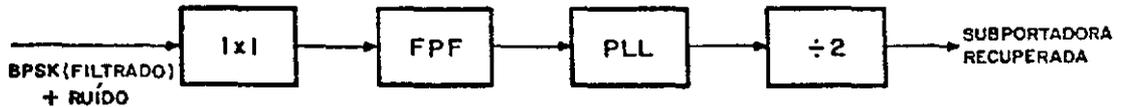


Fig. 2.3 - Circuito recuperador de subportadora.

Esta configuração difere da convencional [4,5] apenas porque a não linearidade usada é $|x|$ em vez de x^2 . A literatura mostra [6] que, para relação sinal/ruído alta (como no presente caso), o tremor de fase da subportadora recuperada quando se usa a não-linearidade $|x|$ é 2 dB menos intenso do que o obtido quando a não-linearidade é x^2 . Além disso, a implementação de $|x|$ consome menos potência do que a implementação usual de x^2 (quando se usa o multiplicador analógico MC-1595).

2.3.4 - CIRCUITO SINCRONIZADOR DE BITS

Um método usual para recuperar o relógio [3, 7, 8 e 9] consiste em gerar uma raia espectral através de um processamento não-linear, do tipo atraso/multiplicação, aplicado à seqüência de símbolos binários recebida. A configuração escolhida é mostrada na Figura 2.4. A raia espectral na frequência do relógio (2 kHz), depois de gerada pela não-linearidade, é extraída por meio de um filtro de faixa estreita ($Q = 100$). O limitador na saída entrega o relógio recuperado na forma de uma onda quadrada ($\pm 5V$), adequada para o detetor de dados e para o decodificador de TCD.

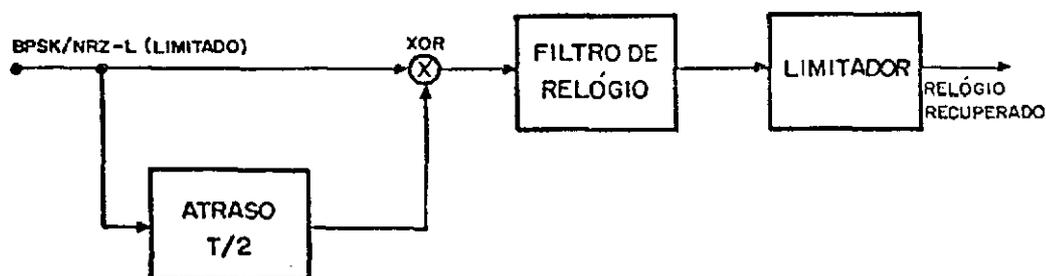


Fig. 2.4 - Circuito sincronizador de bits.

Denota-se por T a duração nominal de um bit (i.e., $T = 0,5$ ms). A linha de retardo usado no sincronizador possui um atraso igual a $T/2$. A escolha deste atraso é justificada na parte referente à análise do circuito.

Sendo o sinal de entrada digital (BPSK/NRZ-L limitado), é possível o uso de uma porta CMOS ou-exclusivo (XOR) para executar a multiplicação, o que representa economia de potência. Além disso, o atraso $T/2$ pode ser facilmente implementado com registradores de deslocamento CMOS. Um atrasador analógico para esta frequência seria bem mais complexo.

2.3.5 - CIRCUITO DETETOR DE DADOS

Como mencionado, o detetor de dados é um filtro "integrate-and-dump", ilustrado na Figura 2.5. O sinal de entrada é um sinal digital que resulta da operação ou-exclusivo entre o sinal PSK/NRZ-L limitado e a subportadora quadrada de 8 kHz recuperada (Figura 2.2). Portanto, o sinal de entrada é a seqüência de dados NRZ-L corrompida por ruído não-aditivo.

Usualmente o sinal de entrada do detetor de dados é equalizado por um filtro linear para reduzir a interferência intersimbólica provocada pela faixa finita do canal. No entanto, a entrada digital deste modelo não se presta à equalização linear. Como é visto no Capí-

tulo 4, a perda de desempenho causada pela filtragem do canal não é significativa.

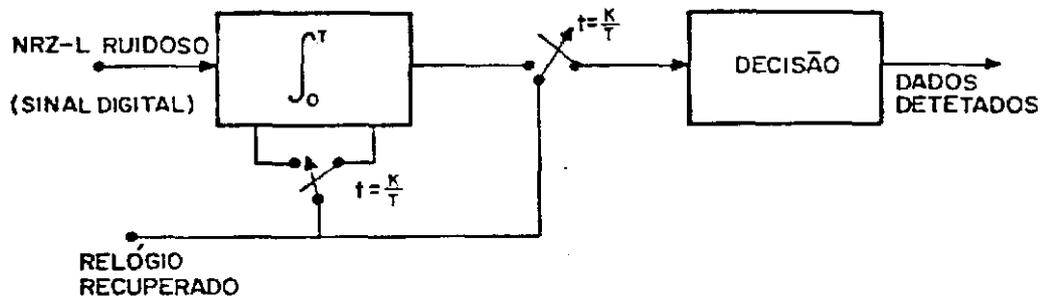


Fig. 2.5 - Circuito detetor de dados.

Ao fim de cada símbolo, a saída do integrador é amostrada e fornecida ao dispositivo de decisão. Se a amostra é positiva, decide-se por bit "1"; caso contrário, decide-se por bit "0". Após cada decisão o integrador volta à condição inicial para receber o próximo símbolo.

CAPÍTULO 3

ANÁLISE DO DEMODULADOR BPSK

3.1 - INTRODUÇÃO

Neste capítulo são avaliados alguns parâmetros relativos ao desempenho do demodulador. Inicialmente faz-se a análise do circuito recuperador da subportadora. O parâmetro chave é o tremor de fase (rms) da subportadora recuperada. Discute-se também o tempo de aquisição do PLL. A segunda análise trata do circuito sincronizador de bits. Aqui também os parâmetros mais importantes são o tremor de fase (rms) e o tempo de aquisição. Finalmente é feita uma análise da probabilidade de erro de bit (PEB) do sistema, levando em conta o uso do limitador na entrada.

3.2 - CIRCUITO RECUPERADOR DE SUBPORTADORA

A análise tem como objetivo calcular os parâmetros do PLL (para um valor especificado do tremor de fase (rms) da subportadora recuperada) e estimar o tempo de aquisição da subportadora. A Figura 3.1 apresenta o modelo adotado para o circuito recuperador de subportadora.

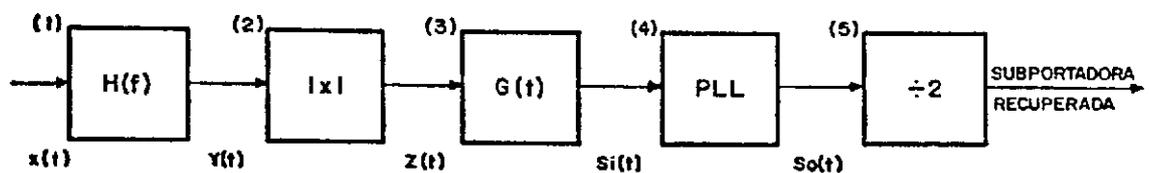


Fig. 3.1 - Modelo do recuperador de subportadora.

Seja $A_m(t)\cos(2\pi f_0 t + \theta)$ a subportadora modulada no formato PSK/NRZ-L, de amplitude A e frequência $f_0 = 8$ kHz. A modulação $m(t)$ assume o valor $+1$ ou -1 (com probabilidade $1/2$) a cada período T . O sinal de entrada $x(t)$ do circuito é a subportadora modulada mais o ruído, i.e.

$$x(t) = A_m(t) \cos(2\pi f_0 t + \theta) + n_b(t), \quad (1)$$

onde θ é uniformemente distribuído em $[0, 2\pi]$ e $n_b(t)$ é o ruído branco gaussiano com densidade espectral de potência $N_0/2$ (Joule).

A partir de um valor escolhido para o tremor de fase (rms), calculam-se os parâmetros do PLL e estima-se o tempo de aquisição.

3.2.1 - CÁLCULO DA RELAÇÃO SINAL/RUÍDO NA ENTRADA DO PLL

O sinal à saída do filtro de entrada é dado por

$$y(t) = A_m(t) \cos(2\pi f_0 t + \theta) + n(t). \quad (2)$$

O filtro de entrada de resposta $H(f)$ é considerado ideal, com banda equivalente de ruído (unilateral) $B_1 = 4$ kHz e frequência central $f_0 = 8$ kHz. Supõe-se que o filtro não introduz distorção apreciável no sinal de entrada. $n(t)$ é o ruído gaussiano de banda limitada cuja potência é $N_2 = B_1 N_0$.

Da especificação dada no Capítulo 1 tem-se que

$$\frac{E}{N_0} = \frac{S_2 T}{N_0} = 16 \text{ dB}, \quad (3)$$

onde E e T são respectivamente a energia e a duração de um símbolo; S_2 é a potência média à saída do filtro $H(f)$ (ponto (2) da Figura 3.1). Observando que $B_1 = 2/T$, a relação sinal/ruído no ponto (2) pode ser obtida como

$$\frac{S_2}{N_2} = \frac{S_2}{B_1 N_0} = \frac{S_2 T}{2 N_0} = 13 \text{ dB.} \quad (4)$$

Sejam S_4 a potência de raia em $2f_0$ no ponto (4) da Figura 3.1 e N_4 a potência de ruído neste ponto. A literatura [6] mostra que para $(S_2/N_2) \gg 1$ a relação (S_4/N_4) é dada por

$$(S_4/N_4) = \frac{(B_1/B_2) (S_2/N_2)}{2[1 + (\nu/2)^2]}, \quad (5)$$

onde B_2 é a banda equivalente de ruído do filtro $G(f)$, e ν é um parâmetro que vale 1 para a não-linearidade $|x|$. Nesta expressão o espectro de ruído na saída da não-linearidade $|x|$ é considerado plano em toda a faixa do filtro $G(f)$, que possui fator de mérito $Q = 15$.

Da Equação 5 calcula-se $S_4/N_4 = 12,8$ dB. Conhecidas a relação sinal/ruído na entrada do PLL (S_4/N_4) e a variância do tremor de fase ($\sigma_{2\phi}^2$) desejada à saída do PLL, o filtro de malha é calculado na próxima seção.

3.2.2 - CÁLCULO DO FILTRO DE MALHA DO PLL

O PLL adotado é o circuito integrado CD 4046 de tecnologia CMOS, devido ao seu baixo consumo de potência (600 μ W). É alimentado com ± 5 V e a frequência livre do VCO é ajustada em $f_L = 16$ kHz.

O modelo do bloco PLL é mostrado na Figura 3.2.

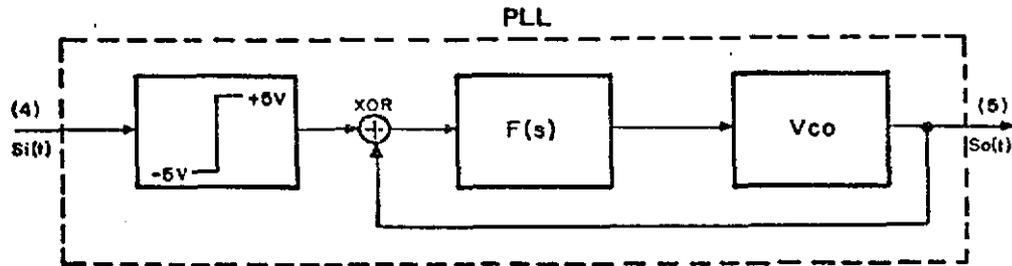


Fig. 3.2 - Modelo do circuito PLL com o CD 4046.

$F(s)$ denota a resposta do filtro de malha, que é externo ao CI 4046. O detetor de fase é uma porta ou-exclusivo (XOR) e apresenta uma característica triangular. Dos dados do fabricante, têm-se os seguintes parâmetros:

- fator de ganho do detetor de fase (k_d) = $\frac{10}{\pi}$ (V/rad);
- fator de ganho do VCO (k_o) = $\frac{64 \cdot 10^3 \pi}{10}$ (rad/V.s).

O sinal na entrada do PLL é dado por

$$S_i(t) = \sqrt{2S_4} \cos 4\pi f_0 t + n_4(t). \quad (7)$$

A densidade de potência do ruído $n_4(t)$ à entrada do PLL na frequência $f = 2f_0$ é igual a

$$\phi(2f_0) = \frac{N_4}{2B_2}. \quad (8)$$

Blanchard [11] mostra que para $(S_4/N_4) \gg 1$ a densidade espectral de potência ($N_0'/2$) do ruído de fase à entrada de um detetor de fase de característica triangular é:

$$\frac{N_0'}{2} = \frac{N}{A_i^2}, \quad (9)$$

onde $N/2$ e A_i denotam, respectivamente, a densidade de ruído e a amplitude do sinal \bar{a} entrada do PLL.

No presente caso tem-se:

$$\frac{N_0'}{2} = \frac{N_4}{2B_2S_4} = \frac{(S_4/N_4)^{-1}}{2B_2}. \quad (10)$$

Substituindo a Equação 5 na Equação 10 obtém-se:

$$\frac{N_0'}{2} = [1 + (\nu/2)^2] (S_2/N_2)^{-1} B_1^{-1}. \quad (11)$$

É interessante notar que $N_0'/2$ independe da banda do filtro $G(f)$. Da Equação 11 tem-se:

$$N_0'/2 = 1,5662 \times 10^{-5} \text{ rad}^2/\text{Hz}. \quad (12)$$

A variância do tremor de fase ($\sigma_2^2\phi$) na saída do PLL é dada por [11]:

$$\sigma_2^2\phi = N_0' B_n, \quad (13)$$

onde B_n é a banda equivalente de ruído (unilateral) do PLL. Desta equação avalia-se adiante o valor adequado da banda do PLL.

Na escolha do filtro de malha considera-se desprezível a variação de frequência provocada pelo efeito Doppler (este efeito acarreta um desvio máximo na frequência da subportadora da ordem de 0,2 Hz). Deste modo, o filtro de malha adotado é um filtro passivo, com função de transferência da forma

$$F(s) = \frac{1 + \tau_2 s}{1 + \tau_1 s}. \quad (14)$$

Da literatura [11], tem-se que para este tipo de filtro a banda equivalente de ruído do PLL é:

$$2B_n = \frac{W_n}{4\xi} \left[1 + \left(2\xi - \frac{W_n}{K_0 K_d} \right)^2 \right], \quad (15)$$

onde W_n e ξ são, respectivamente, a frequência natural e o fator de amortecimento da malha fechada (2ª ordem). Também de [11] tem-se que

$$W_n = \left[\frac{K_0 K_d}{\tau_1} \right]^{1/2}, \quad (16)$$

$$\xi = \frac{1}{2} \left[\frac{K_0 K_d}{\tau_1} \right]^{1/2} \left[\tau_2 + \frac{1}{K_0 K_d} \right]. \quad (17)$$

Agora já se dispõe de elementos suficientes para calcular o filtro de malha. Dado um valor adequado do tremor de fase $\sigma_{2\phi}^2$, obtêm-se $2B_n$ da Equação 13. Com fator de amortecimento $\xi = 0,707$ (valor usualmente adotado), calcula-se W_n através da Equação 15. Finalmente as Equações 16 e 17 fornecem os parâmetros τ_1 e τ_2 .

Fazendo $\sigma_{2\phi}^2 = 0,01 \text{ rad}^2$, o tremor de fase (rms) percentual da subportadora (J_{rms}) é igual a

$$J_{\text{rms}} = \frac{100}{2\pi} \cdot \sqrt{\frac{\sigma_{2\phi}^2}{4}} \cong 0,79\%, \quad (18)$$

o que representa uma degradação desprezível* no desempenho de um demodulador BPSK [19]. Adota-se portanto $\sigma_{2\phi}^2 = 0,01 \text{ rad}^2$, e obtêm-se os seguintes parâmetros:

* Por exemplo, um tremor de fase percentual de 3% acarreta uma perda de aproximadamente 0,3 dB.

$$\begin{aligned} 2B_n &\cong 638 \text{ Hz,} \\ K_0 K_D &= 64 \cdot 10^3, \\ \xi &= 0,707, \\ W_n &= 607 \text{ rad/s,} \\ \tau_1 &= 1,727 \times 10^{-1} \text{ s,} \\ \tau_2 &= 2,313 \times 10^{-3} \text{ s.} \end{aligned}$$

3.2.3 - AQUISIÇÃO DO PLL

A faixa de captura imediata ("lock-in range") [10, 12] é dada por

$$\Delta W_L = \pm \frac{\pi}{2} \cdot K_0 K_D \cdot \frac{\tau_2}{\tau_1} . \quad (19)$$

Substituindo os valores da seção anterior, obtêm-se $\Delta W_L \cong \pm 1346$ rad/s. Como é visto no Capítulo 4, é possível projetar o PLL de modo que, mesmo com toda variação de temperatura do satélite, a frequência recebida esteja sempre dentro do "lock-in range". Na faixa de largura $2\Delta W_L$ a aquisição de frequência é praticamente imediata e não ocorrem perdas de ciclos ("cycle slipping"). O tempo de aquisição é devido somente ao transiente de fase. Para o presente caso ($W_n \cong 607$ rad/s e $\xi = 0,707$), sem considerar o efeito de "hang-up"* [10], o tempo de aquisição é menor que 10 ms.

3.3 - CIRCUITO SINCRONIZADOR DE BITS

Apresenta-se uma análise teórica do circuito sincronizador de bits com os cálculos da relação sinal/ruído na saída do filtro de relógio (Figura 3.3), do tremor de fase rms (J'_{rms}) do relógio recuperado e do tempo de aquisição.

A Figura 3.3 apresenta o modelo adotado para o circuito sincronizador de bits.

* O efeito de "hang-up" não é crítico para o sistema em questão, pois além do tempo de aquisição especificado (64ms) ser bem maior do que a duração do transiente de fase (10ms), o demodulador opera em redundância.

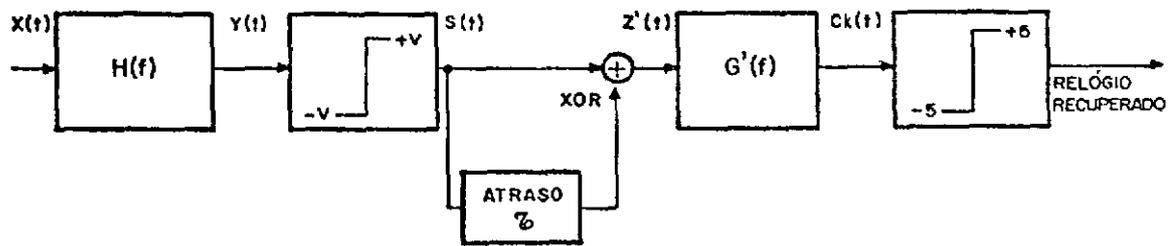


Fig. 3.3 - Diagrama de bloco do modelo.

O sinal de entrada $x(t)$ é passado pelo filtro $H(f)$ exatamente como na seção anterior. Desprezando a distorção causada pelo filtro $H(f)$, o sinal filtrado $y(t)$ é dado por

$$y(t) = A \cos [2\pi f_0 t + \phi(t) + \theta] + n(t), \quad (20)$$

onde $\phi(t)$ é a modulação que a cada período T assume os valores 0 ou π rad, com probabilidade $1/2$. Esta equação é idêntica à Equação 2, a menos da forma em que a modulação é apresentada.

3.3.1 - DETERMINAÇÃO DO SINAL $Z'(t)$ NA SAÍDA DA NÃO-LINEARIDADE

O ruído de faixa estreita $n(t)$ pode ser escrito como

$$n(t) = n_c(t) \cos [2\pi f_0 t + \phi(t) + \theta] - n_s(t) \sin [2\pi f_0 t + \phi(t) + \theta], \quad (21)$$

onde $n_c(t)$ e $n_s(t)$ são processos gaussianos banda-base com média nula e variância σ^2 . Portanto

$$y(t) = [A + n_c(t)] \cos [2\pi f_0 t + \phi(t) + \theta] - n_s(t) \sin [2\pi f_0 t + \phi(t) + \theta],$$

* A variância σ^2 é igual à potência de ruído $N_2 = N_0 B_1$ vista na seção anterior.

que pode ser representado na forma

$$y(t) = E(t) \cos [2\pi f_0 t + \phi(t) + \gamma(t) + \theta] , \quad (22)$$

com

$$E(t) = \sqrt{[A + n_c(t)]^2 + n_s^2(t)} \quad (23)$$

e

$$\gamma(t) = \operatorname{tg}^{-1} \left[\frac{n_s(t)}{n_c(t) + A} \right] . \quad (24)$$

Para simplicidade de notação, seja

$$\beta(t) = 2\pi f_0 t + \phi(t) + \gamma(t) + \theta . \quad (25)$$

Da Figura 3.2 tem-se, a saída do limitador,

$$s(t) = V \cdot \operatorname{sgn}[E(t) \cos \beta(t)] . \quad (26)$$

Este sinal pode ser expandido em série [13] como

$$s(t) = \frac{4V}{\pi} \sum_{\substack{i=1 \\ \text{impar}}}^{\infty} (-1)^{\frac{i-1}{2}} \frac{\cos i \beta(t)}{i} . \quad (27)$$

Detalhando o termo genérico da série tem-se

$$\begin{aligned} \cos i \beta(t) &= \cos i [2\pi f_0 t + \phi(t) + \gamma(t) + \theta] \\ &= \cos i \phi(t) \cos i [2\pi f_0 t + \gamma(t) + \theta] - \operatorname{sen} i \phi(t) \operatorname{sen} i [2\pi f_0 t + \\ &\quad + \gamma(t) + \theta] . \end{aligned} \quad (28)$$

Como $\phi(t)$ assume apenas os valores 0 ou π , pode-se escrever

$$\cos i \beta(t) = m(t) \cos i \lambda(t), \quad (29)$$

onde $m(t)$ é a modulação, tal como definida na Seção 3.2, e

$$\lambda(t) = 2\pi f_0 t + \gamma(t) + \theta.$$

Substituindo a Equação 29 na Equação 27 tem-se

$$s(t) = \frac{4V}{\pi} m(t) \sum_{i=1}^{\infty} (-1)^{\frac{i-1}{2}} \frac{\cos i \lambda(t)}{i}. \quad (30)$$

Da Figura 3.3, o sinal $Z'(t)$ a saída da porta XOR é dada por

$$\begin{aligned} Z'(t) &= s(t) \oplus s(t - \tau) = \frac{-s(t)s(t - \tau)}{V} \\ &= \frac{-16V}{\pi^2} m(t)m(t - \tau) \sum_{\substack{i=1 \\ i, j \text{ ímpar}}}^{\infty} \sum_{j=1}^{\infty} (-1)^{\frac{i+j-2}{2}} \frac{\cos i \lambda(t) \cos j \lambda(t - \tau)}{ij}. \end{aligned} \quad (31)$$

Simplificando a notação, define-se

$$M(t) = -V m(t) m(t - \tau). \quad (32)$$

Observa-se que os índices da somatória dupla são ímpares. Portanto, a somatória só contém raias nas frequências nf_0 (0, 16 kHz, 32 kHz ...), onde n é par. Daí se conclui que a raia espectral desejada em $1/T$ (2 kHz), se presente no sinal $Z'(t)$, deve vir do processo $M(t)$, objeto de análise na próxima seção.

3.3.2 - ESPECTRO DO PROCESSO $M(t)$

Na Figura 3.4 são traçados os sinais $m(t)$, $m(t-\tau)$ e $M(t)$.

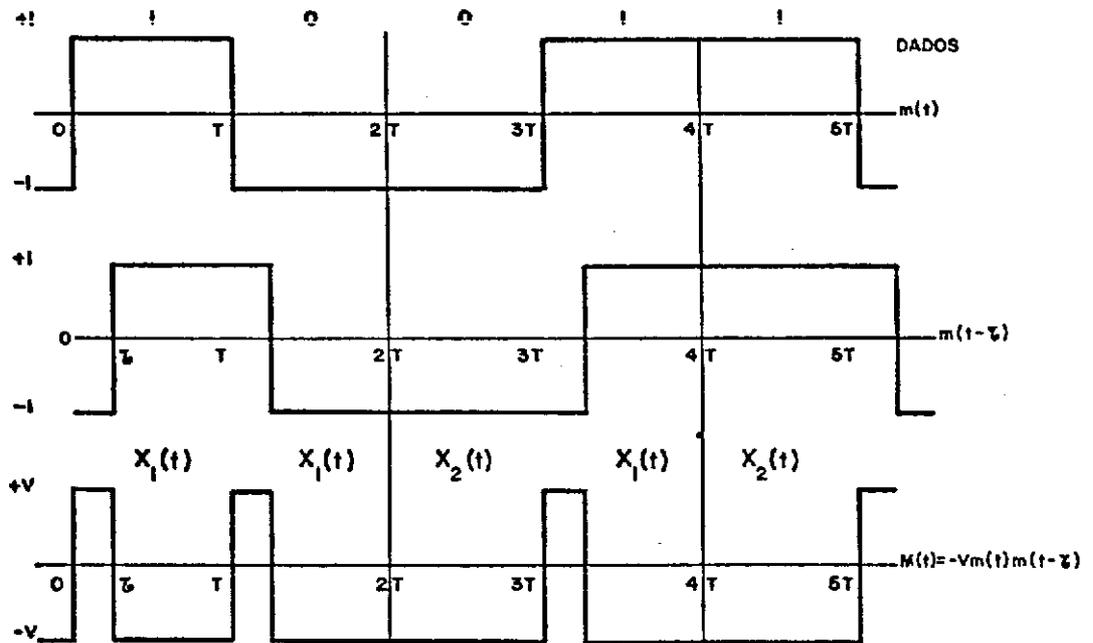


Fig. 3.4 - Diagrama no tempo de $m(t)$, $m(t-\tau)$ e $M(t)$.

Observa-se que $M(t)$, a cada período de bit T , assume as formas de onda $x_1(t)$ ou $x_2(t)$. Sempre que ocorre uma transição de dados ($0 \rightarrow 1$ ou $1 \rightarrow 0$) tem-se em $M(t)$ a forma de onda $x_1(t)$. Caso contrário, tem-se $x_2(t)$. Como os dados são equiprováveis e independentes, as ocorrências destas formas de onda no processo $M(t)$ são também equiprováveis e independentes. Segundo Lindsey e Simon [4] o espectro $S_M(f)$ do processo $M(t)$ é dado por

$$S_M(f) = \frac{1}{T^2} \sum_{n=-\infty}^{\infty} \frac{1}{4} \left| S_1\left(\frac{n}{T}\right) + S_2\left(\frac{n}{T}\right) \right|^2 \delta\left(f - \frac{n}{T}\right) + \frac{1}{T} \cdot \frac{1}{4} \left| S_1(f) - S_2(f) \right|^2, \quad (33)$$

onde

$$S_i(f) = \int_0^T X_i(t) e^{-j2\pi ft} dt, \quad \text{com } i = 1, 2, \quad (34)$$

e $\delta(f)$ é a função delta de Dirac. A seguir avaliam-se as transformadas de Fourier $S_1(f)$ e $S_2(f)$.

As formas de onda $X_1(t)$ e $X_2(t)$ são

$$X_1(t) = \begin{cases} +V & 0 \leq t < \tau, \\ -V & \tau \leq t \leq T, \end{cases}$$

$$X_2(t) = -V, \quad 0 \leq t \leq T.$$

Portanto

$$\begin{aligned} S_1(f) &= V \int_0^{\tau} e^{-j2\pi ft} dt - V \int_{\tau}^T e^{-j2\pi ft} dt \\ &= \frac{V e^{-j\pi f\tau} \operatorname{sen}\pi f\tau}{\pi f} + \frac{V}{j2\pi f} (e^{-j2\pi fT} - e^{-j2\pi f\tau}). \end{aligned}$$

Utilizando

$$[e^{-j2\pi fT} - e^{-j2\pi f\tau}] = -e^{-j\pi f(T+\tau)} \cdot [e^{j\pi f(T-\tau)} - e^{-j\pi f(T-\tau)}],$$

obtem-se

$$S_1(f) = \frac{V e^{-j\pi f\tau}}{\pi f} [\text{sen}\pi f\tau - e^{-j\pi fT} \text{sen}[\pi f(T - \tau)]] . \quad (35)$$

Analogamente,

$$S_2(f) = -V \int_0^T e^{-j2\pi ft} dt = \frac{-Ve^{-j\pi fT} \text{sen}\pi fT}{\pi f} . \quad (36)$$

Deste modo,

$$S_1(f) + S_2(f) = \frac{V}{\pi f} [e^{-j\pi f\tau} \cdot \text{sen}\pi f\tau - e^{-j\pi f(T+\tau)} \text{sen}[\pi f(T-\tau)] - e^{-j\pi fT} \cdot \text{sen}\pi fT] . \quad (37)$$

Expandindo as exponenciais complexas e rearranjando-as, tem-se

$$S_1(f) + S_2(f) = \frac{V}{\pi f} \{[\text{sen}2\pi f\tau - \text{sen}2\pi fT] - j[\cos2\pi fT - \cos2\pi f\tau]\} . \quad (38)$$

Desta equação resulta

$$\frac{1}{4} | S_1(f) + S_2(f) |^2 = \frac{V^2}{\pi^2 f^2} \text{sen}^2 \pi f(T - \tau) . \quad (39)$$

Analogamente, chega-se a

$$\frac{1}{4} | S_1(f) - S_2(f) |^2 = \frac{V^2}{\pi^2 f^2} \text{sen}^2 \pi f\tau . \quad (40)$$

Observa-se que a Equação 33 do espectro de $M(t)$ é constituída de uma parte discreta e de uma parte contínua. Na parte discreta está a raia na frequência do relógio ($1/T$) que se deseja recuperar. Apar-

te contínua é indesejável e tem sido chamada na literatura de "self-noise" [12] ou "pattern noise" [9]. Pode-se escrever

$$S_M(f) = D(f) + C(f), \quad (41)$$

onde

$$D(f) = \frac{1}{T^2} \sum \frac{1}{4} \left| S_1\left(\frac{n}{T}\right) + S_2\left(\frac{n}{T}\right) \right|^2 \delta\left(f - \frac{n}{T}\right) \quad (42)$$

e

$$C(f) = \frac{1}{4T} \left| S_1(f) - S_2(f) \right|^2 \quad (43)$$

são as partes discreta e contínua, respectivamente. Substituindo as Equações 39 e 40 nas Equações 42 e 43 têm-se

$$D(f) = \frac{V^2}{\pi^2} \sum_{n=-\infty}^{\infty} \frac{\text{sen}^2 \left[\pi n \left(1 - \frac{\tau}{T}\right) \right]}{n^2} \delta\left(f - \frac{n}{T}\right) \quad (44)$$

e

$$C(f) = \frac{V^2}{T\pi^2 f^2} \text{sen}^2 \pi f \tau. \quad (45)$$

Na Equação 44, a potência (S_R) da raia na frequência do relógio ($f=1/T$) é

$$S_R = \frac{V^2}{\pi^2} \text{sen}^2 \pi \left(1 - \frac{\tau}{T}\right) = \frac{V^2}{\pi^2} \text{sen}^2 \frac{\pi \tau}{T}. \quad (46)$$

Neste ponto já se dispõe de elementos para considerar a escolha mais adequada do atraso τ . Um bom critério seria escolher o atraso que maximiza a relação potência da raia/densidade do "self-noise" na frequência $1/T$. Posteriormente mostra-se que o "self-noise" é a parcela de ruído predominante na saída da não-linearidade.

A relação potência da raia/densidade do "self-noise" em $f = 1/T$ é igual a

$$\frac{S_R}{C(1/T)} = \frac{V^2/\pi^2 \text{sen}^2 \pi\tau/T}{T V^2/\pi^2 \text{sen}^2 \pi\tau/T} = \frac{1}{T} . \quad (47)$$

Vê-se que $S_R/C(1/T)$ independe do atraso τ .

Um outro critério consiste em maximizar a potência S_R da raia. Da Equação 46 resulta que o valor τ que maximiza S_R é $\tau_0 = T/2$. Isto justifica a escolha do atraso $T/2$, como visto na configuração do sincronizador de bits do Capítulo 2.

Substituindo $\tau = T/2$ na Equação 44 e 45 têm-se:

$$D(f) = \frac{V^2}{\pi^2} \sum_{n=-\infty}^{\infty} \frac{\text{sen}^2}{n^2} \left(\frac{n\pi}{2}\right) \delta\left(f - \frac{n}{T}\right) , \quad (48)$$

$$C(f) = \frac{V^2}{T\pi^2 f^2} \text{sen}^2\left(\frac{\pi f T}{2}\right) . \quad (49)$$

A Figura 3.5 mostra o esboço do espectro de $M(t)$.

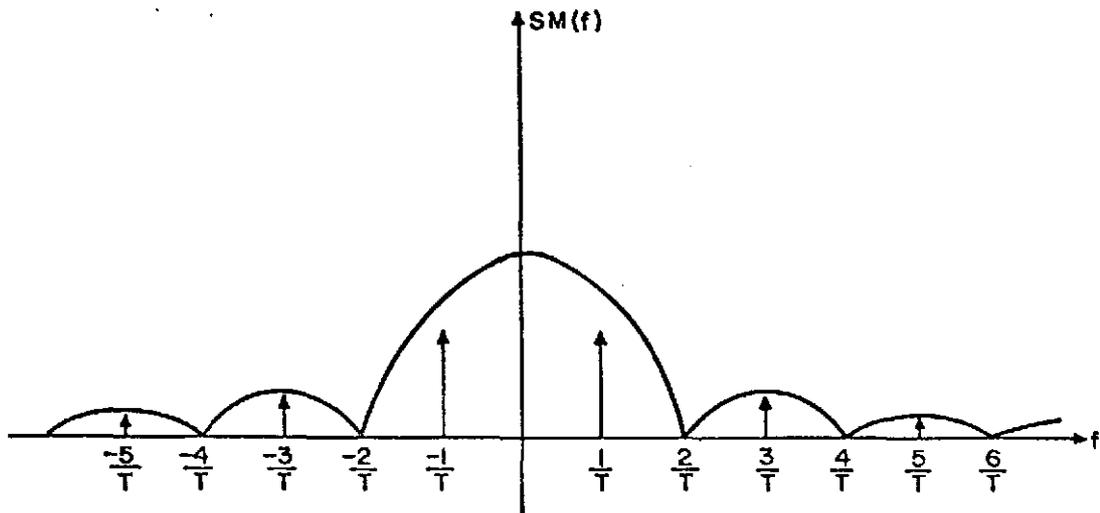


Fig. 3.5 - Esboço do espectro do processo $M(t)$ com $\tau = T/2$.

3.3.3 - CÁLCULO DO ESPECTRO DE $Z'(T)$ NA FREQUÊNCIA DO RELÓGIO

Considerando $\tau = T/2$ na Equação 31 tem-se

$$Z'(t) = \frac{16}{\pi^2} M(t) \sum_{\substack{i=1 \\ i, j \text{ ímpar}}}^{\infty} \sum_{j=1}^{\infty} (-1)^{\frac{i+j-2}{2}} \frac{\cos i \lambda(t) \cos j \lambda(t - T/2)}{ij} \quad (50)$$

Expandindo

$$\cos j \lambda(t - T/2) = \cos j [2\pi f_0 T - \pi f_0 T + \gamma(t - T/2) + \theta],$$

e observando que $f_0 = 4/T$, obtêm-se

$$\cos j \lambda(t - T/2) = \cos j \eta(t),$$

onde

$$\eta(t) = [2\pi f_0 t + \gamma(t - T/2) + \theta].$$

Portanto,

$$Z'(t) = \frac{8}{\pi^2} M(t) \sum_{\substack{i=1 \\ i, j \text{ ímpar}}}^{\infty} \sum_{j=1}^{\infty} (-1)^{\binom{i+j-2}{2}} \cdot \frac{\{\cos[i\lambda(t) - jn(t)] + \cos[i\lambda(t) + jn(t)]\}}{ij} \quad (51)$$

Verifica-se facilmente que o espectro da somatõria dupla ocorre nas vizinhanças das freqüências nf_0 , com n par, i.e., o espectro da somatõria é composto de "ilhas" situadas nas freqüências $f=0, 16 \text{ kHz}, 32 \text{ kHz}, \dots$

O sinal $Z'(t)$ passa pelo filtro $G'(f)$ de alta seletividade ($Q=100$), centrado na freqüência do relõgio ($f=1/T=2 \text{ kHz}$).

As contribuições para o espectro de $Z'(t)$ em $f=2 \text{ kHz}$ provenientes das "ilhas" do espectro da somatõria dupla centradas em $2f_0, 4f_0, \dots$ podem ser desprezadas. Considera-se apenas a contribuição da ilha centrada em $f=0$, que se origina dos termos da somatõria com $i=j$. Assim, obtêm-se a expressão simplificada

$$Z'(t) = \frac{8}{\pi^2} M(t) \sum_{\substack{K=1 \\ \text{ímpar}}}^{\infty} \frac{\cos K \Delta(t)}{K^2}, \quad (52)$$

onde

$$\Delta(t) = \lambda(t) - n(t) = \gamma(t) - \gamma(t - T/2). \quad (53)$$

Embora a Equação 52 expresse apenas a parcela do sinal $Z'(t)$ com espectro em torno de $f=2 \text{ kHz}$, por simplicidade a mesma notação é mantida. Avalia-se em seguida a somatõria da Equação 52. Da Equação 24 tem-se

$$\gamma(t) = t_g^{-1} \left[\frac{n_s(t)}{n_c(t) + A} \right].$$

Em vista da alta relação sinal/ruído, $A \gg n_c(t)$. Isto implica que

$$\gamma(t) \cong \frac{n_s(t)}{A} \ll 1; \quad (54)$$

portanto, $\Delta(t) \ll 1$ (cf. Equação 53).

Por outro lado, a expansão em série de Fourier da função periódica

$$f(x) = |x| = \begin{cases} x & 0 < x \leq \pi, \\ -x & -\pi \leq x < 0, \end{cases}$$

de período 2π é dada por [14]

$$f(x) = \frac{\pi}{2} - \frac{4}{\pi} \left[\frac{\cos x}{1^2} + \frac{\cos 3x}{3^2} + \frac{\cos 5x}{5^2} + \dots \right].$$

Portanto, pode-se escrever

$$\sum_{K=1}^{\infty} \frac{\cos K \Delta(t)}{K^2} = - \frac{[|\Delta(t)| - \pi/2]\pi}{4} = \frac{\pi^2}{8} - \frac{\pi}{4} |\Delta(t)|. \quad (55)$$

Finalmente, substituindo a Equação 55 na Equação 52 obtém-se

$$Z'(t) = M(t) \left[1 - \frac{2}{\pi} |\Delta(t)| \right] = M(t) [1 - Q(t)],$$

onde

$$Q(t) \triangleq \frac{2}{\pi} |\gamma(t) - \gamma(t - T/2)|.$$

Para calcular a densidade espectral de $Z'(t)$, determina-se a seguir a função de autocorrelação $R_{Z'}(\tau)$:

$$\begin{aligned} R_{Z'}(\tau) &= E[Z'(t)Z'(t - \tau)] \\ &= E[M(t)[1 - Q(t)]M(t - \tau)[1 - Q(t - \tau)]] \\ &= E[M(t)M(t - \tau) - Q(t)M(t)M(t - \tau) - M(t)M(t - \tau)Q(t - \tau) \\ &\quad + M(t)M(t - \tau)Q(t)Q(t - \tau)]]. \end{aligned}$$

Sendo $M(t)$ e $Q(t)$ estatisticamente independentes, tem-se

$$R_{Z'}(\tau) = R_M(\tau) - \{E[Q(t)] + E[Q(t - \tau)]\} R_M(\tau) + R_Q(\tau)R_M(\tau).$$

O processo $Q(t)$ é estacionário; logo $E[Q(t)] = E[Q(t - \tau)] = \bar{Q}(t)$ e

$$R_{Z'}(\tau) = [1 - 2\bar{Q}(t) + R_Q(\tau)] R_M(\tau). \quad (56)$$

No Apêndice A, avalia-se $R_Q(\tau)$ e encontra-se

$$R_Q(\tau) = \frac{8R_{\Delta}(0)}{\pi^3} \left[\sqrt{1 - \left(\frac{R_{\Delta}(\tau)}{R_{\Delta}(0)}\right)^2} + \frac{R_{\Delta}(\tau)}{R_{\Delta}(0)} \operatorname{sen}^{-1} \left\{ \frac{R_{\Delta}(\tau)}{R_{\Delta}(0)} \right\} \right], \quad (57)$$

onde

$$R_{\Delta}(\tau) = \frac{\sigma^2}{A^2} \operatorname{sen} \frac{2\pi\tau}{T} \left[\frac{1}{\pi\tau/T} + \frac{1}{2\pi(\tau/T - 1/2)} + \frac{1}{2\pi(\tau/T + 1/2)} \right]. \quad (58)$$

Desta expressão podem-se calcular

$$\bar{Q} = E[Q(t)] = \frac{4\sigma}{\pi^{3/2}A} \quad (59)$$

e

$$\bar{Q}^2 = E[Q^2(t)] = \frac{8\sigma^2}{\pi^2 A^2} \quad (60)$$

Assim, o processo $Q(t)$ apresenta média não-nula. Definindo o processo $Q'(t) \triangleq Q(t) - E[Q(t)]$, tal que $E[Q'(t)] = 0$ e $R_{Q'}(\tau) = [R_Q(\tau) - \bar{Q}^2]$, a função de autocorrelação de $Z'(t)$ pode ser escrita como

$$R_{Z'}(t) = [1 - 2\bar{Q}(t) + \bar{Q}^2 + R_{Q'}(\tau)]R_M(\tau).$$

Efetuada a transformada de Fourier obtêm-se o espectro desejado

$$S_{Z'}(f) = [1 - 2\bar{Q} + \bar{Q}^2]S_M(f) + S_M(f) * S_{Q'}(f).$$

Finalmente, a Equação 41 implica que

$$S_{Z'}(f) = [1 - 2\bar{Q} + \bar{Q}^2]D(f) + [1 - 2\bar{Q} + \bar{Q}^2]C(f) + D(f) * S_{Q'}(f) + C(f) * S_{Q'}(f), \quad (61)$$

onde o asterisco denota convolução.

O relógio é recuperado ao passar $Z'(t)$ através do filtro estreito $G'(f)$, centrado em $f = 1/T$. O primeiro termo de $S_{Z'}(f)$ na Equação 61 representa o espectro discreto e contribui com a raia em $f = 1/T$. As demais parcelas representam a parte contínua do espectro e constituem ruído. A primeira parcela é decorrente do "self-noise", a segunda decorre do ruído gaussiano e a última resulta da interação do "self-noise" com o ruído gaussiano. Na próxima seção avalia-se a relação sinal/ruído à saída do filtro $G'(f)$.

3.3.4 - RELAÇÃO SINAL/RUÍDO À SAÍDA DO FILTRO $G'(f)$

O filtro $G'(f)$ possui banda equivalente de ruído B_2' bastante estreita. A relação sinal/ruído (S/N') à saída pode ser aproximada por

$$\frac{S}{N'} = \frac{S}{(N_1' + N_2' + N_3')B_2'} \quad , \quad (62)$$

onde se definem:

$$S = 2[1 - 2\bar{Q} + \bar{Q}^2]D(1/T), \quad (63a)$$

$$N_1' = 2[1 - 2\bar{Q} + \bar{Q}^2]C(1/T), \quad (63b)$$

$$N_2' = 2D * S_{Q'}(1/T)^*, \quad (63c)$$

$$N_3' = 2C * S_{Q'}(1/T). \quad (63d)$$

A seguir avaliam-se numericamente a potência de sinal e as parcelas que contribuem para o ruído.

Potência do Sinal (S):

Das Equações 63a, 48 e 59 tem-se

$$S = 2 \left[1 - \frac{8\sigma}{\pi^{3/2}A} + \frac{16\sigma^2}{\pi^3A^2} \right] \frac{V^2}{\pi^2} .$$

* Para simplicidade de notação, denota-se $D(f) * S_{Q'}(f)$ calculada em $f = 1/T$ por $D * S_{Q'}(1/T)$.

Substituindo $\frac{A^2}{2\sigma^2} = 13$ dB (Equação 4), na equação anterior, obtêm-se

$$S = 1,571 \frac{V^2}{\pi^2} . \quad (64)$$

Parcela de ruído N_1' :

Das Equações 63b e 49 obtêm-se

$$N_1' = 2T \left[1 - \frac{8\sigma}{\pi^{3/2}A} + \frac{16\sigma^2}{\pi^3A^2} \right] \frac{V^2}{\pi^2} .$$

Considerando taxa de 2 kbit/s e o valor de A^2/σ^2 encontra-se

$$N_1' = 7,854 \times 10^{-4} \frac{V^2}{\pi^2} . \quad (65)$$

Parcela de ruído N_2' :

O termo $D(f)*S_{Q_1}(f)$ é dado, a partir da Equação 48, por

$$D(f) * S_{Q_1}(f) = \frac{A^2}{\pi^2} \sum_{n=-\infty}^{\infty} \frac{\text{sen}^2}{n^2} \left(n \frac{\pi}{2} \right) S_{Q_1} \left(f - \frac{n}{T} \right) . \quad (66)$$

O espectro $S_{Q_1}(f)$ é a transformada de Fourier de uma função par, expressa por

$$S_{Q_1}(f) = 2 \int_0^{\infty} R_{Q_1}(\tau) \cos 2\pi f \tau \, d\tau . \quad (67)$$

Usando as Equações 57, 58 e 67 o valor de $S_{Q_1}(f)$ pode ser avaliado numericamente. A Figura 3.6 apresenta o gráfico de $D(f)*S_{Q_1}(f)$.

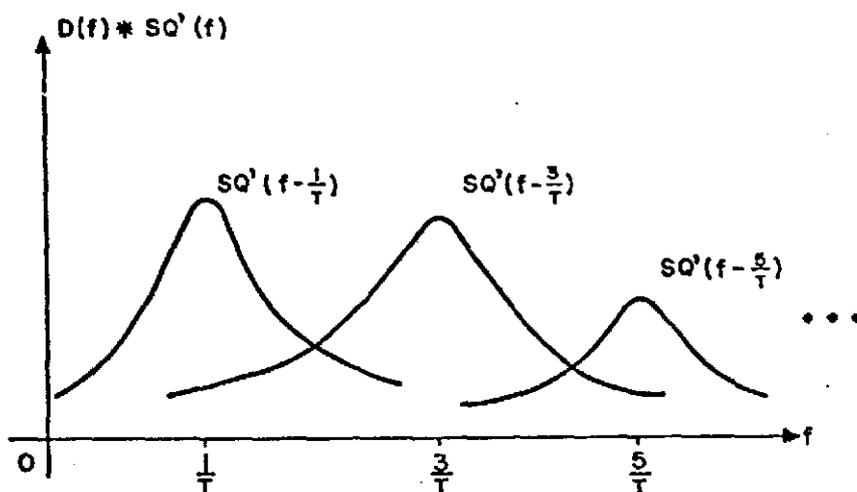


Fig. 3.6 - Espectro unilateral de $D(f) * S_Q'(f)$.

Na frequência $f = 1/T$, considerando apenas as contribuições de $S_Q'(f - 1/T)$, $S_Q'(f - 3/T)$ e $S_Q'(f - 5/T)$, a densidade espectral de ruído N_2^1 é dada por

$$N_2^1 = \frac{64\sigma^2 T}{\pi^3 A^2} \left(0,192 + \frac{0,683 \times 10^{-2}}{9} + \frac{0,381 \times 10^{-3}}{25} \right) \frac{V^2}{\pi^2},$$

isto é ,

$$N_2^1 = 4,972 \times 10^{-6} \frac{V^2}{\pi^2}. \quad (68)$$

Parcela de ruído N_3^1 :

A antitransformada da Equação 49 dá a função de autocorrelação do "self-noise",

$$R_C(\tau) = \begin{cases} \frac{V^2}{2} \left[1 - 2 \left| \frac{\tau}{T} \right| \right], & \text{se } |\tau| < T/2, \\ 0, & \text{caso contrário.} \end{cases} \quad (69)$$

A convolução dos espectros $C(f)$ e $S_{Q_1}(f)$ pode ser escrita como

$$C(f) * S_{Q_1}(f) = 2 \int_0^{T/2} R_{Q_1}(\tau) R_C(\tau) \cos 2\pi f \tau \, d\tau. \quad (70)$$

A partir das Equações 57, 69 e 70 avalia-se N_3' por métodos numéricos, o que resulta em

$$N_3' = \frac{32 \sigma^2 T V^2}{\pi^2} \cdot 0,1599,$$

isto é,

$$N_3' = 2,041 \times 10^{-5} \frac{V^2}{\pi^2}. \quad (71)$$

Observa-se das Equações 65, 68 e 71 que N_1' é a parcela dominante de ruído. Isto justifica a afirmativa da Seção 3.3.2 de que a parcela de ruído proveniente do "self-noise" predomina.

Na implementação de $G'(f)$ utiliza-se um filtro sintonizado de segunda ordem, com fator de qualidade $Q = 100$. Isto implica que a faixa equivalente de ruído é $B_2' = 10\pi$ Hz. Portanto,

$$\left(\frac{S}{N'}\right) = \frac{1,571}{(7,854 \times 10^{-4} + 4,972 \times 10^{-6} + 2,041 \times 10^{-5}) \cdot 10\pi},$$

isto é,

$$(S/N') = 61,6 = 17,90 \text{ dB.}$$

Se fossem desprezados N_2' e N_3' , obter-se-ia $(S/N') = 18,05$ dB, que confirma a dominância de N_1' .

3.3.6 - TREMOR DE FASE DO RELÓGIO RECUPERADO

A saída do filtro de relógio pode ser escrita como

$$C_K(t) = V' \cos\left(\frac{2\pi t}{T}\right) + r_c(t) \cos\left(\frac{2\pi t}{T}\right) + r_s(t) \sin\left(\frac{2\pi t}{T}\right), \quad (72)$$

onde $r_c(t)$ é a componente em fase e $r_s(t)$ é a componente em quadratura do ruído. Desde que $(S/N') \gg 1$, pode-se aproximar

$$C_K(t) = \sqrt{[V' + r_c(t)]^2 + r_s^2(t)} \cos\left[\frac{2\pi t}{T} + \psi(t)\right], \quad (73)$$

onde

$$\psi(t) = \tan^{-1}\left[\frac{r_s(t)}{V' + r_c(t)}\right] \approx \frac{r_s(t)}{V'} \quad (74)$$

O sinal $C_K(t)$ passa por um limitador e a saída apresenta um tremor de fase J' dado por

$$J' = \frac{T}{2\pi} \cdot \psi(t_K) = \frac{T}{2\pi} \frac{r_s(t_K)}{V'}, \quad (75)$$

onde t_K é o instante de cruzamento de zero de $C_K(t)$, isto é, $C_K(t) = 0$. O tremor de fase J' é uma variável aleatória de desvio padrão percentual (relativo ao período T)

$$J'_{rms} = \frac{(\overline{r_s^2})^{1/2}}{2\pi V'} \times 100\%. \quad (76)$$

Segundo Imbeaux [9], o espectro da componente de quadratura do "self-noise", definida pela Equação 49, é expresso por

$$S_{r_s}(f) = \frac{4V^2T}{\pi^2} \frac{f^2T^2 \cos^2 \pi fT/2}{(1 - (fT)^2)^2}, \quad (77)$$

onde se observa que $S_{r_s}(f)$ é nulo em $f=0$. Usando as Equações 76 e 77 e considerando $B_2' = 10\pi$ Hz, pode-se avaliar numericamente o tremor de fase devido ao "self-noise" (J_{rms_1}'), do que resulta

$$J_{rms_1}' \cong 0,12\% . \quad (78)$$

O tremor de fase (J_{rms_2}') devido ao termo $D(f) * S_Q'(f)$ pode ser facilmente avaliado a partir da Equação 68. Considerando o espectro da componente em quadratura uniforme sobre a banda de passagem do filtro $G'(f)$, tem-se

$$J_{rms_2}' \cong 0,11\% . \quad (79)$$

O tremor de fase decorrente da parcela $C(f) * S_Q'(f)$ é considerado desprezível. Portanto, o tremor de fase rms total é igual a

$$J_{rms_t}' = (J_{rms_1}'^2 + J_{rms_2}'^2)^{1/2} \cong 0,16\% . \quad (80)$$

Pode-se demonstrar que a degradação no desempenho do demodulador BPSK é desprezível para um tremor de fase desta ordem [4].

Como é mostrado no próximo capítulo, o uso de um filtro de entrada, com banda passante de 4 kHz, leva a um tremor de fase bem superior ao especificado na Equação 80. Ainda assim, a degradação na demodulação é da ordem de 0,1 dB.

3.3.7 - TEMPO DE AQUISIÇÃO

O fator limitante para o tempo de aquisição é a largura de faixa do filtro $G'(f)$ de saída. Embora o tempo necessário para que a saída do filtro atinja regime permanente seja da ordem de 50 ms, o tempo de aquisição é bem menor (aproximadamente 10 ms). Isto ocorre porque o limitador pode fornecer uma saída quadrada estável mesmo quando a entrada é uma senóide de pequena amplitude (de algumas dezenas de mV).

3.4 - DESEMPENHO DO DEMODULADOR

Nesta seção estabelece-se um limitante superior para a probabilidade de erro de bit da configuração adotada para o demodulador. Na análise não são considerados os tremores de fase da subportadora e do relógio recuperado.

3.4.1 - O MODELO

O modelo do demodulador considerado na análise é mostrado na Figura 3.7. O limitador transforma o sinal analógico de entrada $y(t)$ em um sinal digital $s(t)$ apropriado para operação ou-exclusivo com a subportadora recuperada. O sinal $Z''(t)$ a saída da porta ou-exclusivo passa por um integrador. Ao final de um período de símbolo, efetua-se uma amostragem \bar{D} da saída do integrador. Se \bar{D} for positiva, decide-se pelo símbolo "1"; caso contrário, decide-se pelo símbolo "0". Após a decisão, o integrador volta a sua condição inicial para receber o próximo símbolo.

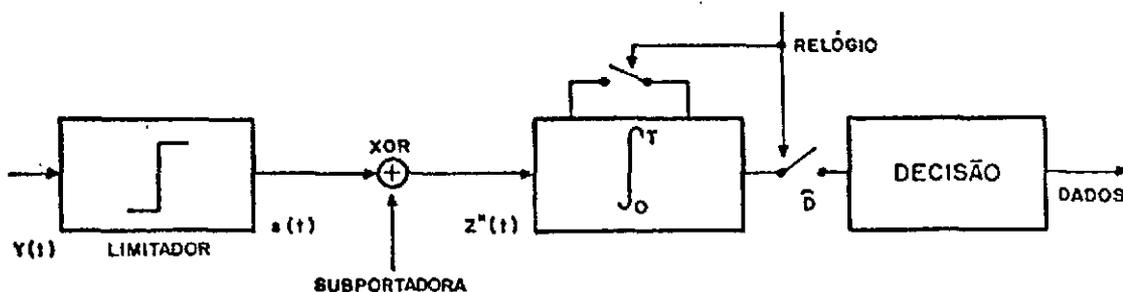


Fig. 3.7 - Modelo do demodulador.

Utiliza-se a seguinte notação. O sinal de entrada do demodulador é expresso por

$$y(t) = A \cos[W_0 t + \phi(t)] + n(t), \quad (81)$$

onde $\phi(t)$ é a modulação (0 ou π rad), W_0 é a frequência da subportadora (8 kHz) de período τ' ($\tau' = 2\pi/W_0$), e $n(t)$ é um processo passa-faixa gaussiano centrado em W_0 , de faixa $B_1 = 2/T$, média nula e variância $\sigma^2 = N_0 B_1$. A relação sinal ruído à entrada é dada por

$$(S/N) = \frac{A^2}{2\sigma^2} = 13 \text{ dB.}$$

3.4.2 - DESENVOLVIMENTO ANALÍTICO

Pode-se escrever

$$y(t) = A \cos [W_0 t + \phi(t)] + n_c(t) \cos [W_0 t + \phi(t)] - n_s(t) \sin [W_0 t + \phi(t)], \quad (82)$$

onde $n_c(t)$ e $n_s(t)$ são processos gaussianos de banda básica, independentes, de média nula e variância σ^2 . Alternativamente, escreve-se

$$y(t) = \sqrt{[A + n_c(t)]^2 + n_s^2(t)} \cos [W_0 t + \phi(t) + \gamma(t)], \quad (83)$$

onde

$$\gamma(t) = \text{tg}^{-1} \left[\frac{n_s(t)}{n_c(t) + A} \right]. \quad (84)$$

Para um determinado símbolo (e.g., para $\phi(t) = 0$) tem-se

$$s(t) = V \text{sgn} [\cos[\omega_0 t + \gamma(t)]], \quad (85)$$

onde $\text{sgn}(\cdot)$ denotando a função sinal. Para a subportadora, considera-se uma onda quadrada sem tremor de fase. Uma forma de onda típica resultante da operação ou-exclusivo entre a subportadora e o sinal $s(t)$ é ilustrada na Figura 3.8.

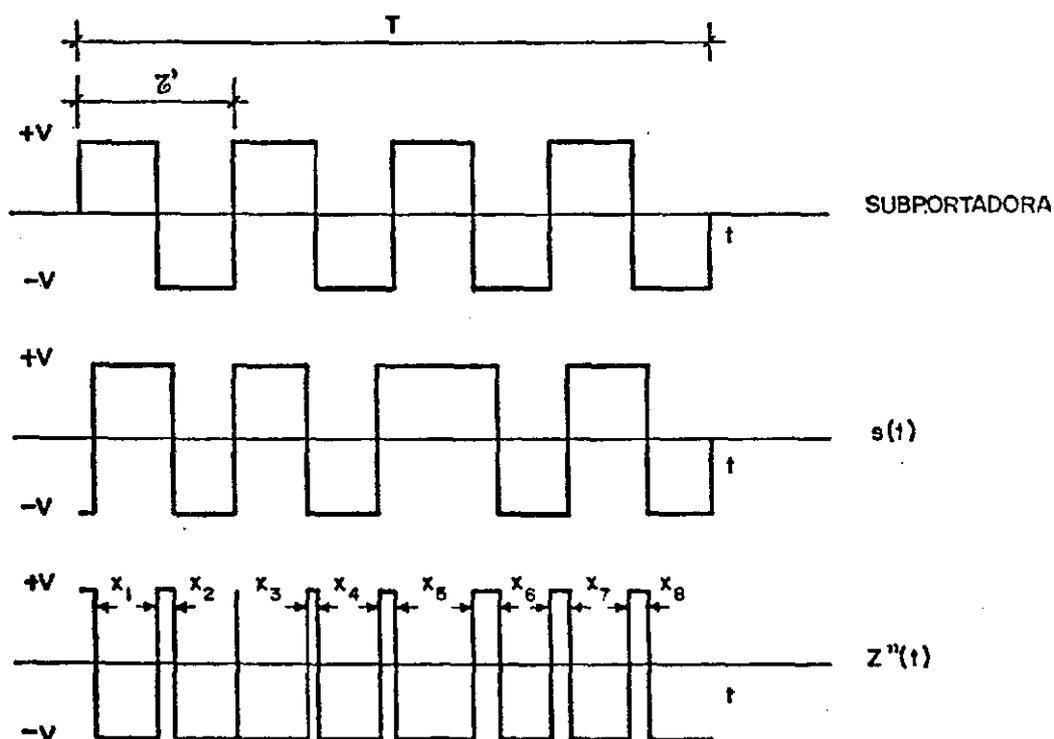


Fig. 3.8 - Diagramas de tempo típicos dos sinais de subportadora, $s(t)$ e $Z''(t)$.

Conforme se observa na Figura 3.8, surgem em $Z''(t)$, devido a ruído, pulsos X_i ($i = 1 \dots 8$) de largura aleatória nos instantes de transição da subportadora. Da Equação 85, cada pulso apresenta largura (em radianos) igual a

$$X_i = | \gamma(t_i) | = | \gamma_i |, \quad i = 1, 2, \dots, 8, \quad (86)$$

onde t_i denota os pontos de cruzamento de zero do sinal $s(t)$.

Como $A \gg n_c(t)$ e $A \gg n_s(t)$, e como $n_s(t)$ é um processo banda básica com faixa de 2 kHz, é razoável desprezar a ocorrência de "clicks" e de superposições de pulsos no sinal $Z''(t)$, bem como supor que o sinal $s(t)$ não apresenta múltiplos cruzamentos de zeros em torno dos instantes de transição de subportadora. Deste modo, a amostra da saída do integrador ao fim de cada símbolo é dada por

$$\hat{D} = K \left[\pm 8\pi \mp \sum_{i=1}^8 X_i \right], \quad (87)$$

onde K denota uma constante. Ocorre um erro quando o símbolo transmitido é "1" e $\hat{D} \leq 0$ ou quando "0" é transmitido e $\hat{D} > 0$. Considerando símbolos equiprováveis, a probabilidade de erro de bit (PEB) é

$$PEB = \frac{1}{2} P[1|0] + \frac{1}{2} P[0|1], \quad (88)$$

onde $P[1|0]$ representa a probabilidade de transmitir "1" e decidir "0" e $P[0|1]$ é a probabilidade de transmitir "0" e decidir "1". Da Equação 87 e das considerações acima, pode-se escrever

$$PEB = P[1|0] = P[0|1] = P \left[\sum_{i=1}^8 X_i \geq 4\pi \right]. \quad (89)$$

Segundo Schwartz [16], a função densidade de probabilidade de γ_i é

$$p_{\gamma_i}(\gamma) = \begin{cases} \frac{e^{-\rho^2}}{2\pi} + \frac{1}{2} \sqrt{\frac{\rho^2}{\pi}} \cos\gamma e^{-\rho^2 \sin^2\gamma} [1 + \operatorname{erf}(\rho \cos\gamma)], & |\gamma| < \pi, \\ 0, & |\gamma| \geq \pi, \end{cases} \quad (90)$$

onde ρ^2 denota a relação sinal/ruído (i.e., $\rho^2 = \frac{A^2}{2\sigma^2}$) e

$$\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-y^2} dy \text{ é a função de erro.}$$

Seja W a variável aleatória definida por

$$W = \sum_{i=1}^8 X_i = \sum_{i=1}^8 |\gamma_i|. \quad (91)$$

A obtenção da função densidade de probabilidade de W é extremamente difícil. Além da expressão de $p_{\gamma_i}(\gamma)$ ser bastante complicada, tem-se ainda que os diversos γ_i ($i=1, \dots, 8$) são variáveis correlacionadas, pois $n(t)$ tem faixa limitada. Simplificando o problema, pode-se supor que todos γ_i 's sejam idênticos (máxima correlação). Alternativamente supõe-se que todos γ_i 's sejam independentes (correlação nula). O caso real está entre estas duas simplificações extremas. Supor que todas variáveis γ_i sejam iguais conduz a uma variável aleatória W de variância oito vezes maior que a obtida quando as variáveis γ_i são consideradas independentes*. Isto leva a intuir que a hipótese de máxima correlação representa o pior caso.

* Numa aplicação simples de desigualdade de Schwartz, pode-se também mostrar que $\operatorname{Var}(W) \leq \operatorname{Var}(8 X_1)$.

3.4.3 - ANÁLISE DOS CASOS SIMPLIFICADOS

Supondo que as variáveis $X_i = |\gamma_i|$ são idênticas para $i=1, \dots, 8$ é suficiente efetuar a análise em torno de uma transição da subportadora. Da Equação 89, a probabilidade de erro P_{e_1} associada a esta simplificação do problema pode ser expressa por

$$P_{e_1} = P[X_1 > \pi/2] = \int_{\pi/2}^{\pi} p_{X_1}(x) dx. \quad (92)$$

A área sombreada da Figura 3.9 representa a probabilidade P_{e_1} .

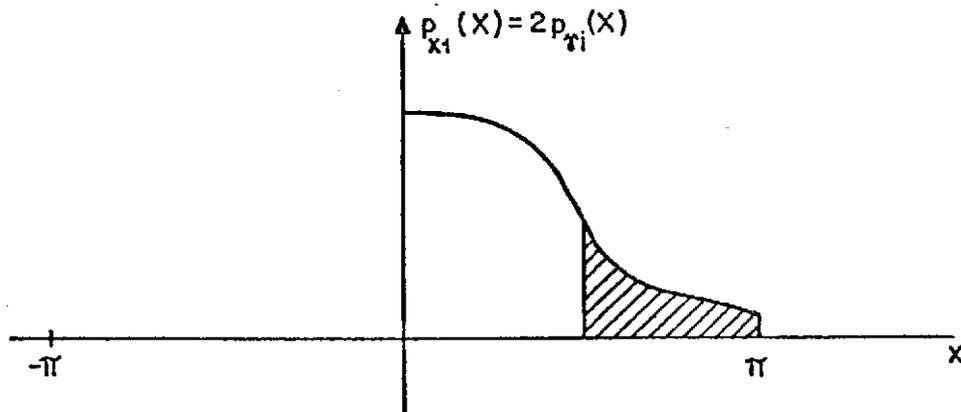


Fig. 3.9 - Esboço da função densidade de probabilidade de $X_1 = |\gamma_1|$.

Usando as Equações 90 e 92, obtêm-se por métodos numéricos os valores de probabilidade de erro apresentados na Tabela 1.

TABELA 3.1

PROBABILIDADE DE ERRO ASSOCIADA À HIPÓTESE DE MÁXIMA CORRELAÇÃO

E/N_0 (dB)	$\rho = E/2 N_0$	P_{e1}
16	19,95	$0,1332 \times 10^{-9}$
15	15,84	$0,9006 \times 10^{-8}$
14	12,58	$0,2612 \times 10^{-6}$
13	10,00	$0,3872 \times 10^{-5}$
12	7,94	$0,3362 \times 10^{-4}$
11	6,30	$0,1909 \times 10^{-3}$
10	5,01	$0,7726 \times 10^{-3}$
8	3,16	$0,5954 \times 10^{-2}$
7	2,51	$0,1250 \times 10^{-1}$

A probabilidade de erro P_{e0} de um demodulador BPSK ideal é dado por

$$P_{e0} = Q \left(\sqrt{\frac{2E_0}{N_0}} \right), \quad (93)$$

onde

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} e^{-y^2/2} dy$$

denota a função complementar de erro. Comparando os valores da Tabela 3.1 com os valores de P_{e0} obtidos da Equação 93 conclui-se que o desempenho do sistema hipotético é aproximadamente 3 dB inferior ao do demodulador ideal.

Na suposição de que todas variáveis γ_i , $i=1, \dots, 8$ são independentes, a distribuição da variável W pode ser aproximada, segundo o Teorema do Limite Central, por uma gaussiana de média

$$E(W) = 8 E [X_i] \quad (94)$$

e variância

$$\text{Var}(W) = 8 \text{Var}[X_i]. \quad (95)$$

Por métodos numéricos podem-se avaliar $E[W]$ e $\text{Var}(W)$, assim como a probabilidade de erro $P_{e_2} \triangleq P[W \geq 4\pi]$ associada a esta hipótese de correlação nula. Os resultados apresentam valores de P_{e_2} inferiores aos valores correspondentes de P_{e_0} (do demodulador ideal).

Os argumentos heurísticos apresentados indicam que P_{e_1} representa um limitante superior da probabilidade de erro de bit do modelo em estudo*, isto é, que o desempenho do modelo é menos que 3 dB inferior ao desempenho do demodulador ideal. Na realidade, as medidas realizadas no protótipo construído demonstram que o desempenho do sistema, sem filtrar o sinal PSK, é da ordem de 1 dB inferior ao ideal.

* Por outro lado, P_{e_2} representa um limitante inferior desta probabilidade. Aparentemente um limitante inútil, pois em todos os casos avaliados ($7 \leq E/N_0 \leq 16$ dB), P_{e_2} foi inferior a P_{e_0} , um trivial limitante inferior da PEB.

CAPÍTULO 4

CIRCUITOS E MEDIDAS DO DEMODULADOR BPSK

4.1 - INTRODUÇÃO

A configuração completa do demodulador BPSK é representada na Figura 4.1.

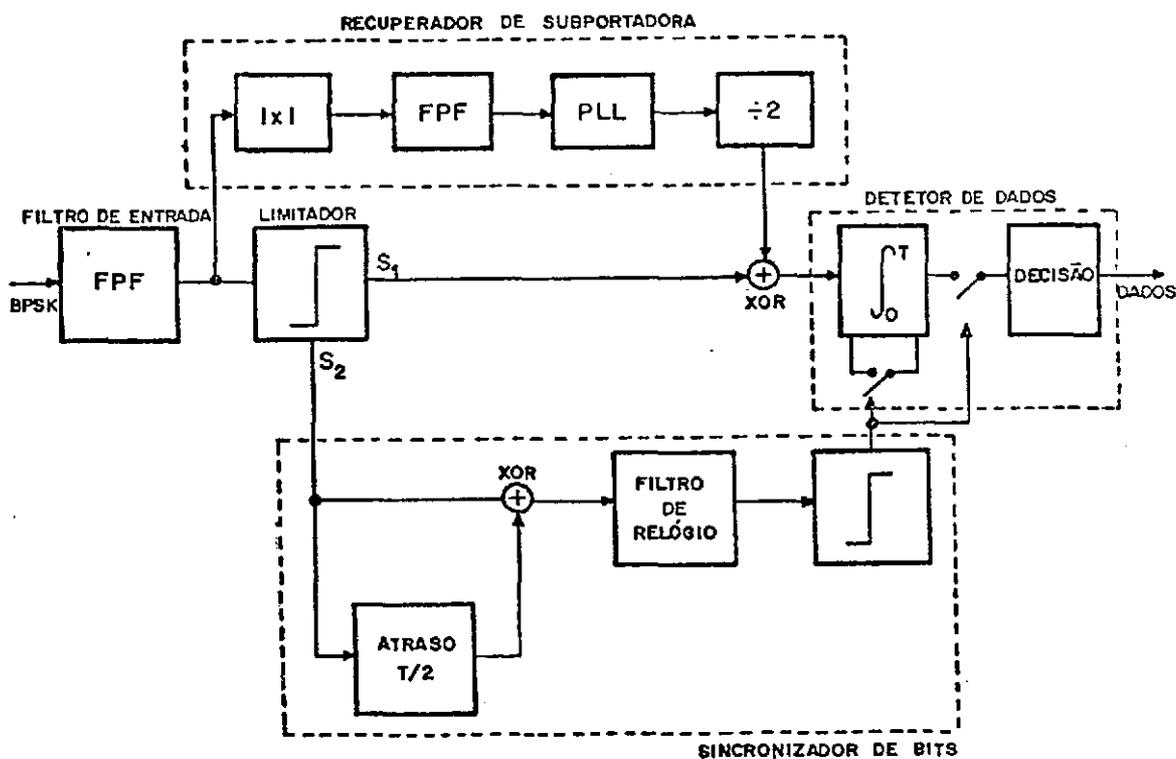


Fig. 4.1 - Configuração completa do demodulador.

Neste capítulo apresentam-se os circuitos de todos os blocos da Figura 4.1, bem como os resultados das medidas feitas em laboratório.

4.2 - FILTRO DE ENTRADA

O filtro montado é do tipo passa-faixa Butterworth, de quinta ordem, com frequência central igual a 7745 Hz, frequência de corte (3 dB) em 6 kHz e 10 kHz, ganho unitário na frequência central e atenuação em 16 kHz superior a 40 dB.

O filtro é implementado com cinco estágios em cascata do tipo representado na Figura 4.2. O projeto do filtro baseia-se na referência [17]. R_2 é uma associação em série de um resistor fixo e um potenciômetro para ajuste de filtro. A alimentação dos operacionais é de $\pm 5V$.

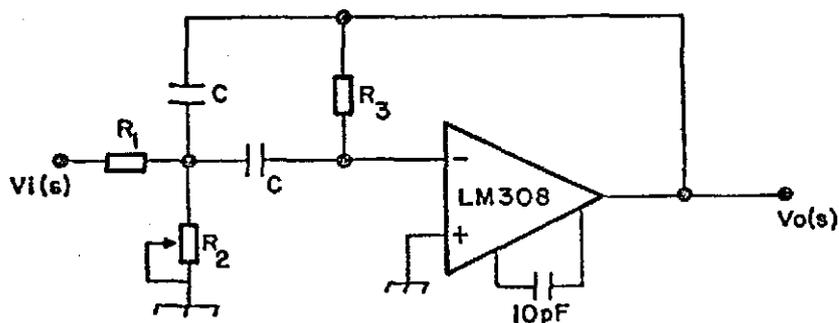


Fig. 4.2 - Estágio básico do filtro passa-faixa de entrada.

Os valores de projeto para cada um dos estágios estão apresentados na Tabela 4.1. Define-se a seguinte notação: Q é o fator de mérito, f_r é a frequência de ressonância e A_r é o ganho na frequência de ressonância do estágio.

TABELA 4.1

VALORES DE PROJETO DO FILTRO DE ENTRADA

ESTÁGIO	Q	f_r (Hz)	A_r	R_1 (Ω)	R_2 (Ω)	R_3 (Ω)	C (KpF)
1º	2,4224	6.635	1,2515	17.195	2.052	43.039	2,7
2º	2,4224	9.041	1,2515	12.618	1.506	31.584	2,7
3º	6,4550	6.066	3,3389	18.784	784	125.436	2,7
4º	6,4550	9.889	3,3389	11.523	480	76.949	2,7
5º	1,9365	7.745	1,0000	14.736	2.267	29.473	2,7

4.3 - CIRCUITO LIMITADOR DE ENTRADA

O esquema é mostrado na Figura 4.3.

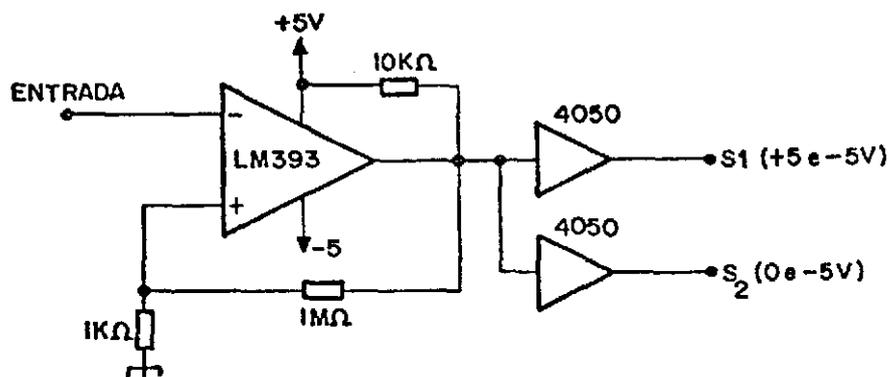


Fig. 4.3 - Circuito limitador.

O circuito integrado LM393 é um comparador de tensão de baixo consumo. A histerese introduzida pelos resistores de 1M Ω e 1K Ω evita oscilações em torno das transições. Os circuitos integrados 4050 atuam como "buffers".

A saída S_2 para o circuito sincronizador de bits é de 0 e -5V, o que, como visto adiante, permite uma redução significativa no consumo deste circuito.

4.4 - CIRCUITO RECUPERADOR DA SUBPORTADORA

4.4.1 - CIRCUITO $|x|$

O circuito que implementa a função módulo $|x|$ é mostrado na Figura 4.4. O projeto baseia-se na Referência [18].

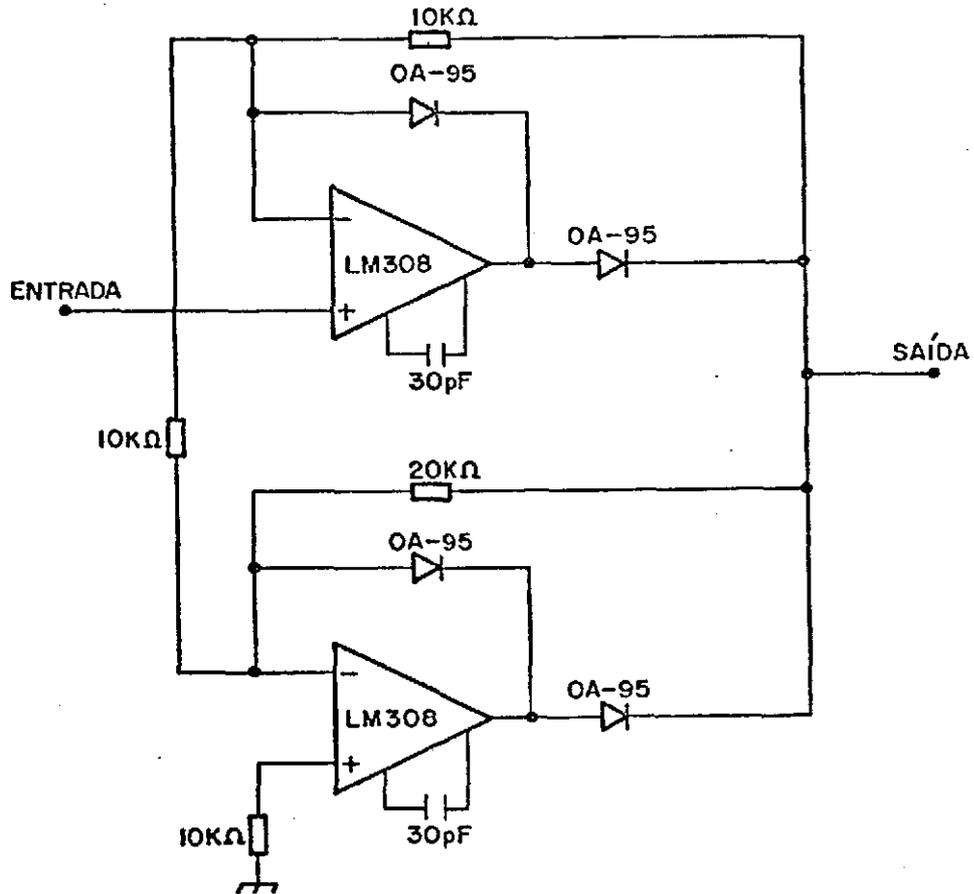


Fig. 4.4 - Circuito $|x|$.

O circuito integrado LM308 é um amplificador operacional de baixo consumo alimentado por +5 e -5V. O ganho de tensão da configuração é igual a 2.

4.4.2 - FILTRO DO RECUPERADOR DE SUBPORTADORA

O filtro passa-faixa adotado é ativo, com frequência central igual a 16 kHz e banda passante (3 dB) de aproximadamente 1000 Hz. A configuração escolhida [17] é apresentada na Figura 4.5.

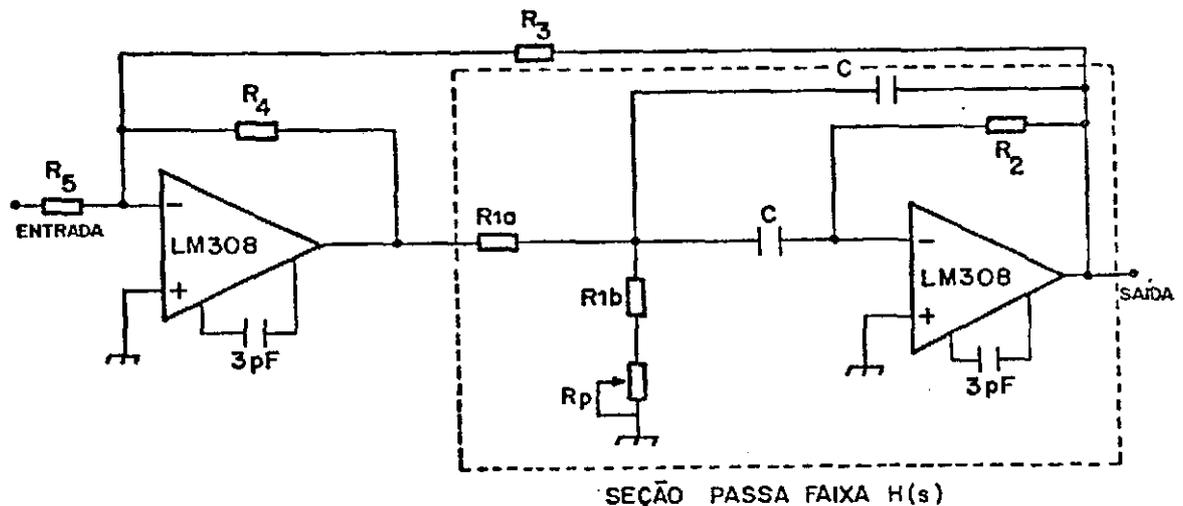


Fig. 4.5 - Filtro passa-faixa do recuperador de subportadora.

A realimentação através de R_3 permite um aumento do fator de mérito Q da seção passa-faixa $H(s)$, destacada na Figura 4.5. A seção $H(s)$ possui frequência de ressonância f_r e ganho unitário nesta frequência. A função de transferência da configuração completa é dada por

$$T(s) = \frac{\frac{2\pi f_r s}{Q}}{s^2 + \frac{2\pi f_r s}{Q} + (2\pi f_r)^2}, \quad (1)$$

onde β relaciona o fator de mérito Q da seção $H(s)$ com o fator de mérito efetivo Q_{eff} da configuração através de

$$\beta = 1 - \frac{Q}{Q_{eff}}. \quad (2)$$

Outras equações de projeto [17] são

$$R_3 = R/\beta, \quad (3)$$

$$R_4 = R_5 = R, \quad (4)$$

$$R_2 = \frac{Q}{\pi f_r C}, \quad (5)$$

$$R_{1a} = \frac{R_2}{2}, \quad (6)$$

e

$$R_{1b} + R_p = \frac{R_{1a}}{2Q^2 - 1} \quad (7)$$

Especificando

$$Q = 5,$$

$$Q_{eff} = 15,$$

$$f_r = 16 \text{ kHz},$$

$$C = 2,2 \text{ KpF},$$

e

$$R = 100 \text{ K}\Omega,$$

obtem-se

$$\beta = 2/3,$$

$$R_{1a} = 22.607\Omega,$$

$$R_{1b} + R_p = 460\Omega,$$

$$R_2 = 45.214\Omega,$$

$$R_3 = 150 \text{ K}\Omega,$$

e .

$$R_4 = R_5 = 100 \text{ K}\Omega.$$

O ganho de tensão da configuração completa na frequência de ressonância é dado por

$$A_r = \frac{1}{1 - \beta} = 3.$$

Na prática, os valores de R_{1a} , R_2 e $(R_{1b} + R_p)$ usados não são exatamente iguais aos valores calculados. O fator de mérito efetivo Q_{eff} medido obtido foi um pouco maior que 15.

4.4.3 - PHASE-LOCKED LOOP (PLL)

O circuito adotado para o PLL é o circuito integrado CD4046 mostrado na Figura 4.6.

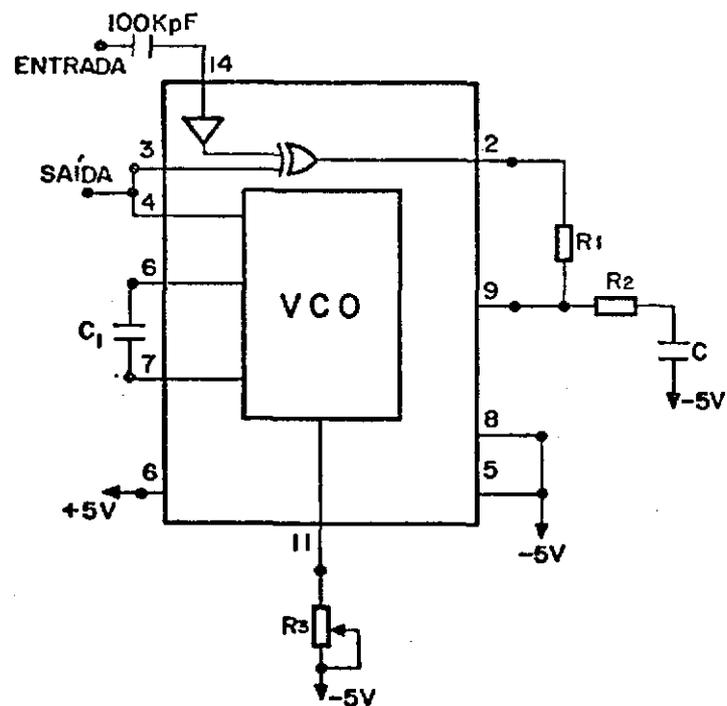


Fig. 4.6 - Circuito PLL com o CD4046.

Os resistores R_1 , R_2 e o capacitor C formam o filtro de malha com função de transferência:

$$F(s) = \frac{1 + \tau_2 s}{1 + \tau_1 s},$$

onde

$$\tau_1 = (R_1 + R_2)C$$

e

$$\tau_2 = R_2 C.$$

Tomando $C = 2,2 \mu\text{F}$ e usando os resultados obtidos na análise do Capítulo 3, obtêm-se

$$R_1 \cong 79 \text{ K}\Omega,$$

e

$$R_2 \cong 1 \text{ K}\Omega.$$

O capacitor C_1 e o resistor R_3 determinam a frequência livre (f_L) do oscilador controlado a tensão (VCO). No circuito montado, $C_1 = 1 \text{ KpF}$ e R_3 é um potenciômetro de $100 \text{ K}\Omega$ ajustado para que $f_L = 16 \text{ kHz}$. A variância da frequência livre do VCO com a temperatura especificada pelo fabricante do CD4046 é de aproximadamente $+600 \text{ ppm}/^\circ\text{C}$. O capacitor C_1 e o resistor R_3 devem ser escolhidos de modo a compensar ou minimizar esta variação para que a frequência recebida esteja dentro do "lock-in range" do PLL.

4.4.4 - DIVISOR POR DOIS

O divisor é implementado por um simples flip-flop do tipo D, como mostrado na Figura 4.7.

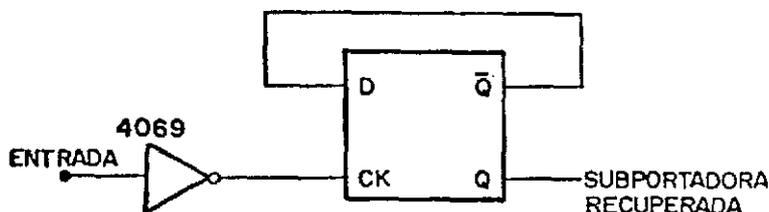


Fig. 4.7 - Circuito divisor por 2.

A porta inversora CMOS 4069 é necessária para compensar a defasagem introduzida pelo PLL e pelo circuito $|x|$.

4.4.5 - RESULTADOS

Na Tabela 4.2 apresentam-se as medidas do tremor de fase de pico (J_p) e rms (J_{rms}) da subportadora recuperada, com e sem ruído gaussiano aditivo, para as seguintes seqüências de símbolos: seqüência de "0s" e "1s" alternados (0101...), seqüência cíclica de um "1" e sete "0s" (1/8), seqüência cíclica de um "1" e quinze "0s" (1/16) e seqüência pseudo-aleatória (PRN) com periodicidade de $(2^{16}-1)$. O valor de J_{rms} foi estimado a partir de cem amostras do desvio de fase entre a subportadora e a referência.

TABELA 4.2

TREMOR DE FASE DA SUBPORTADORA RECUPERADA

SEQÜÊNCIA	E/N ₀ (dB)	J _p (%)	J _{rms} (%)	J _{rms} (rad)
0101 ...	∞	0,10	desprezível	-
1/8	∞	0,80	0,07	$0,44 \times 10^{-2}$
1/16	∞	0,80	0,07	$0,44 \times 10^{-2}$
PRN	∞	2,00	0,84	$0,52 \times 10^{-1}$

(continua)

Tabela 4.2 - Conclusão

SEQÜENCIA	E/N ₀ (dB)	J _p (%)	J _{rms} (%)	J _{rms} (rad)
0101 ...	16	3,60	0,87	0,55 × 10 ⁻¹
1/8	16	3,20	0,82	0,51 × 10 ⁻¹
1/16	16	3,20	0,85	0,53 × 10 ⁻¹
PRN	16	4,00	1,16	0,73 × 10 ⁻¹

Estes valores concordam razoavelmente com o valor de projeto da Equação 18 do Capítulo 3. As discrepâncias, particularmente para PRN, podem ser atribuídas ao fato de as implementações do gerador BPSK e do recuperador de subportadora não serem ideais. Ainda assim, a degradação introduzida por um circuito recuperador de subportadora com estas características é desprezível [19].

O tempo de aquisição medido está dentro do esperado, inferior a 10 ms.

4.5 - CIRCUITO SINCRONIZADOR DE BITS

4.5.1 - ATRASO T/2

O atraso de T/2 segundos é conseguido fazendo o sinal BPSK limitado passar por um conjunto de registradores de deslocamento com um total de n = 256 estágios ativados por um relógio de frequência F = 1024 kHz, conforme mostra a Figura 4.8.

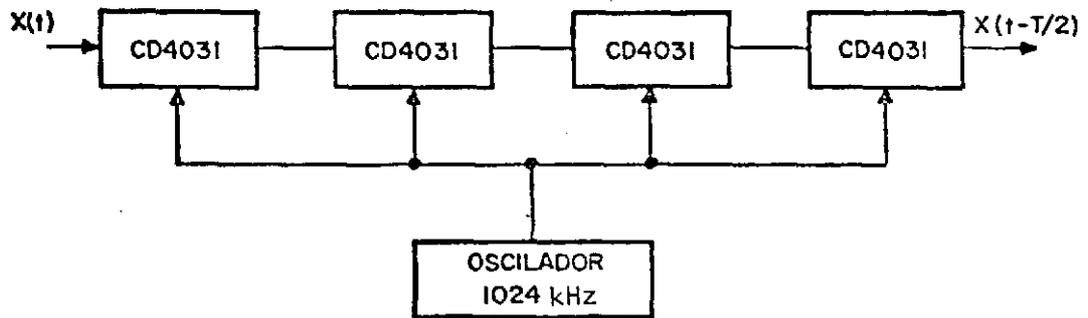


Fig. 4.8 - Atrasador $T/2$.

O circuito integrado CD4031 é um registrador de deslocamento CMOS de 64 estágios, alimentado com 0 e -5V.

O atraso (τ) da configuração é dado por

$$\tau = \frac{n}{F} = \frac{256 \text{ s}}{1024 \times 10^3} = T/2,$$

onde T é a duração de um bit.

O uso do grande número de estágios (256) permite a redução do erro no atraso decorrente da não-coerência do sinal de entrada com o oscilador de 1024 kHz. É fácil mostrar que este erro vale no máximo $1/F$. Com $F = 1024 \text{ kHz}$ e desprezando o desvio de frequência do oscilador, o erro relativo a $T/2$ é no máximo 0,4%. Isto resulta em uma perda desprezível de potência na raia situada em $f = 1/T$, conforme a Equação 46 do Capítulo 3.

Para garantir uma boa estabilidade de frequência com a temperatura, adota-se um oscilador de 1024 kHz a cristal, cujo circuito é mostrado na Figura 4.9. O projeto baseia-se na referência [20].

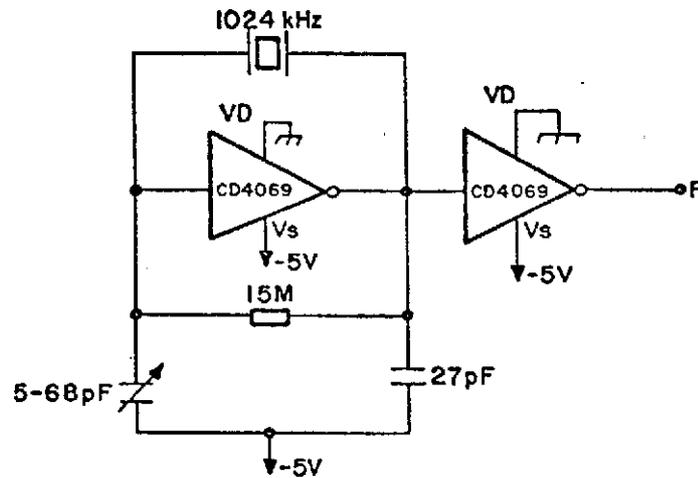


Fig. 4.9 - Oscilador a cristal de 1024 kHz.

O circuito integrado CD4069 é uma porta inversora CMOS. Quanto maior a diferença entre a tensão de dreno V_D e a tensão de fonte V_S , maior o consumo de potência. Deste modo adotam-se $V_D = 0V$ e $V_S = -5V$. Isto determina a alimentação de 0 e -5V dos registradores de deslocamento e justifica a conversão de nível feita no limitador de entrada (Figura 4.3).

O consumo do oscilador é inferior a 3 mW.

4.5.2 - MULTIPLICADOR

O multiplicador é implementado por meio de uma porta ou-exclusivo CMOS, o circuito integrado CD4070. O circuito é mostrado na Figura 4.10.

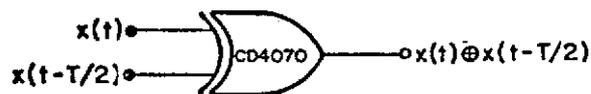


Fig. 4.10 - Circuito multiplicador.

4.5.3 - FILTRO DE RELÓGIO

O filtro de relógio é um filtro ativo, sintonizado, com frequência de ressonância $f_r = 2 \text{ kHz}$, ganho na frequência de ressonância $A_r \cong 1$ e fator de mérito $Q \cong 100$. Adota-se a configuração Biquad [17], que é especialmente adequada quando se deseja um alto valor de Q e baixa sensibilidade (em relação aos valores dos componentes). A Figura 4.11 ilustra a configuração.

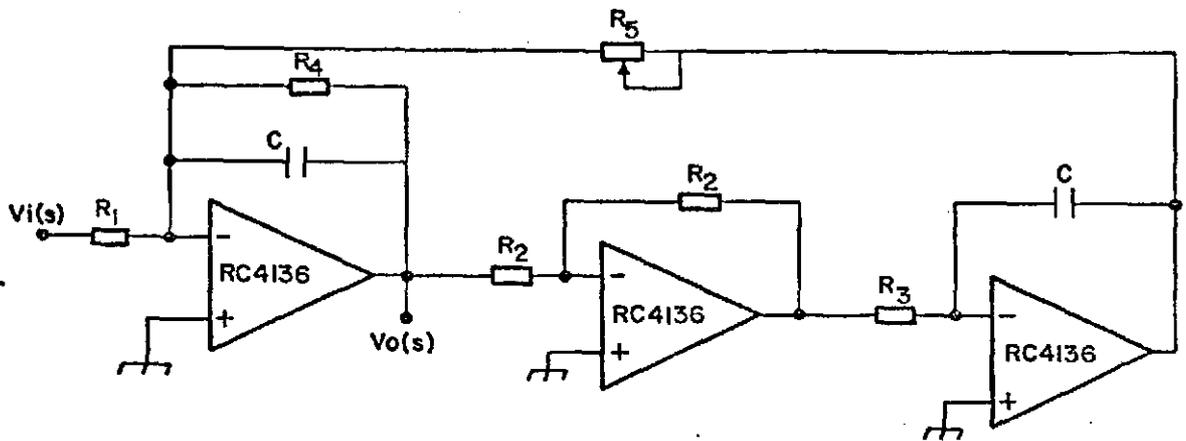


Fig. 4.11 - Filtro de relógio.

A função de transferência dessa configuração é

$$\frac{V_o(s)}{V_i(s)} = \frac{\frac{2\pi f_r A_r}{Q} s}{s^2 + \frac{2\pi f_r s}{Q} + (2\pi f_r)^2}, \quad (8)$$

onde

$$f_r = \frac{1}{2\pi C \sqrt{R_3 R_5}}, \quad (9)$$

$$A_r = \frac{R_4}{R_1}, \quad (10)$$

e

$$Q = \frac{R_4}{\sqrt{R_3 R_5}}. \quad (11)$$

Observou-se no protótipo montado, conforme prevê a literatura [17], o efeito denominado "Q enhancement", que consiste num aumento do Q real com relação ao valor de projeto. Este efeito decorre do fato de a largura de banda de um amplificador operacional real ser finita. Um valor de Q excessivamente alto pode levar o circuito à instabilidade. Isto leva a usar o operacional RC-4136 em lugar do LM308, que apresenta consumo inferior mas largura de banda insuficiente.

Os valores de projeto são

$$Q = 85^*,$$

$$A_r = 1$$

e

$$f_r = 2 \text{ kHz.}$$

Fazendo $R_2 = 10 \text{ K}\Omega$, $R_3 = R_5$ e $C = 6,8 \text{ KpF}$ e usando as Equações 9, 10 e 11, obtêm-se $R_1 = R_4 = 1 \text{ M}\Omega$ e $R_3 = R_5 = 11.702\Omega$. Na verdade, R_5 é uma associação série de um resistor fixo e de um potenciômetro para ajuste de f_r . No protótipo montado, com valores de projeto, mediram-se

$$Q \cong 96$$

e

$$A_r = 1,12,$$

que confirmam o efeito "Q enhancement".

* O efeito "Q enhancement" se encarrega de levar a figura de mérito ao valor desejado de aproximadamente 100.

4.5.4 - LIMITADOR DO SINCRONIZADOR DE BITS

O circuito limitador é ilustrado na Figura 4.12. O projeto baseia-se na referência [22].

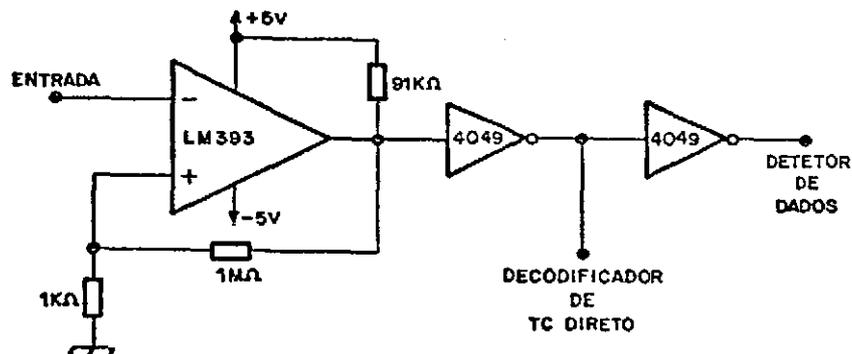


Fig. 4.12 - Circuito limitador.

O circuito integrado LM393 é um comparador de voltagem de baixo consumo. Os resistores de $1k\Omega$ e $1M\Omega$ introduzem histerese e previnem oscilações [21]. Os circuitos integrados 4049 são portas inversoras CMOS e atuam com "buffers" nas saídas.

O relógio recuperado que vai para o decodificador de telecomando direto deve ser invertido, pois deste modo a transição positiva coincide com o meio do bit detetado.

4.5.5 - RESULTADOS

Apresentam-se nesta seção medidas do tremor de fase de pico (J_p') e rms (J_{rms}') do relógio recuperado com e sem ruído, para as mesmas seqüências de símbolos definidos na Seção 4.4.5.

Para ter noção do efeito do filtro de entrada no desempenho do sincronizador de bits, primeiro efetuaram-se medidas sem filtrar o sinal, como mostra o esquema da Figura 4.13.

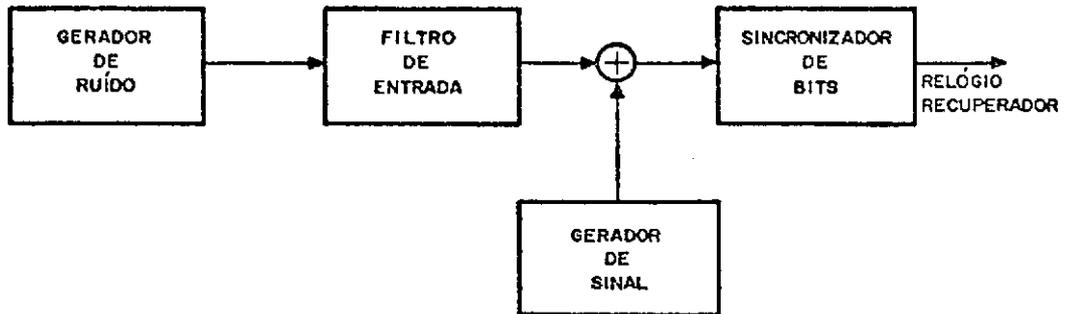


Fig. 4.13 - Esquema de medida sem filtrar o sinal.

Na Tabela 4.3 apresentam-se os resultados.

TABELA 4.3

MEDIDAS DO J_p' E J_{rms}' DO RELÓGIO RECUPERADO SEM FILTRAR O SINAL

SEQUÊNCIA	E/N_0 (dB)	J_p' (%)	J_{rms}' (%)
0101 ...	∞	0,1	$0,75 \times 10^{-1}$
1/8	∞	0,2	0,11
1/16	∞	0,2	0,12
PRN	∞	0,2	0,10
0101 ...	16	0,4	$0,86 \times 10^{-1}$
1/8	16	1,2	0,37
1/16	16	2,6	0,76
PRN	16	0,6	0,21

Observa-se que estes valores concordam razoavelmente com os resultados da análise da Seção 3.3.5.

O esquema de medidas com filtragem do sinal BPSK/NRZ-L é ilustrado na Figura 4.14.

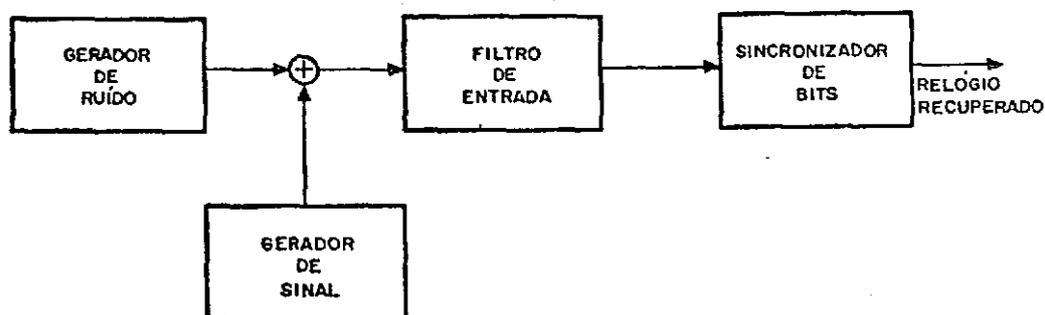


Fig. 4.14 - Esquema de medida com o sinal filtrado.

A Tabela 4.4 relaciona os resultados.

TABELA 4.4

MEDIDAS DE J_p E J_{rms} DO RELÓGIO RECUPERADO COM FILTRAGEM DO SINAL

SEQÜÊNCIA	E/N_0 (dB)	J_p (%)	J_{rms} (%)
0101 ...	∞	0,1	0,10
1/8	∞	0,2	0,14
1/16	∞	0,3	0,22
PRN	∞	0,4	0,14
0101 ...	16	1,6	0,47
1/8	16	3,6	0,98
1/16	16	4,6	1,63
PRN	16	2,4	0,80

Constata-se, comparando estas tabelas, que o uso do filtro de entrada realmente afeta o desempenho do sincronizador de bits. Mesmo assim, segundo Lindsey [4], um sincronizador de bits com o desempenho da Tabela 4.4 provoca uma degradação menor que 0,2 dB num demodulador convencional.

O tempo de aquisição é inferior a 10 ms, bem inferior à especificação de 64 ms.

4.6 - CIRCUITO MULTIPLICADOR

O circuito multiplicador que precede o detetor de dados efetua o batimento do sinal de entrada com a subportadora recuperada. É implementado por uma porta CMOS ou-exclusivo CD4070, alimentada com $\pm 5V$. Em consequência, o sinal resultante é bipolar.

4.7 - DETETOR DE DADOS

O esquema do detetor de dados é apresentado na Figura 4.15.

A borda de subida do relógio recuperado gatilha o monoestável CMOS CD4528 que fornece, à saída Q, um pulso estreito ($5\mu s$). Este pulso provoca o fechamento da chave CD4066 que descarrega o capacitor de 1 KpF, levando o integrador ao estado inicial. O amplificador operacional LM308, o resistor de 470 K Ω e o capacitor de 1 KpF formam o circuito integrador.

O comparador de tensão LM393 implementa um circuito limitador. Se a saída do integrador é positiva, então a saída do limitador é de -5V; caso contrário, é de +5V. A borda de subida do relógio recuperado transfere este valor (+5 ou -5V) para a saída Q do flip-flop CD4013. É importante frisar a ordem dos eventos. Primeiro, a saída do limitador é transferida para a saída Q do flip-flop pela borda do relógio; são então, o integrador é zerado.

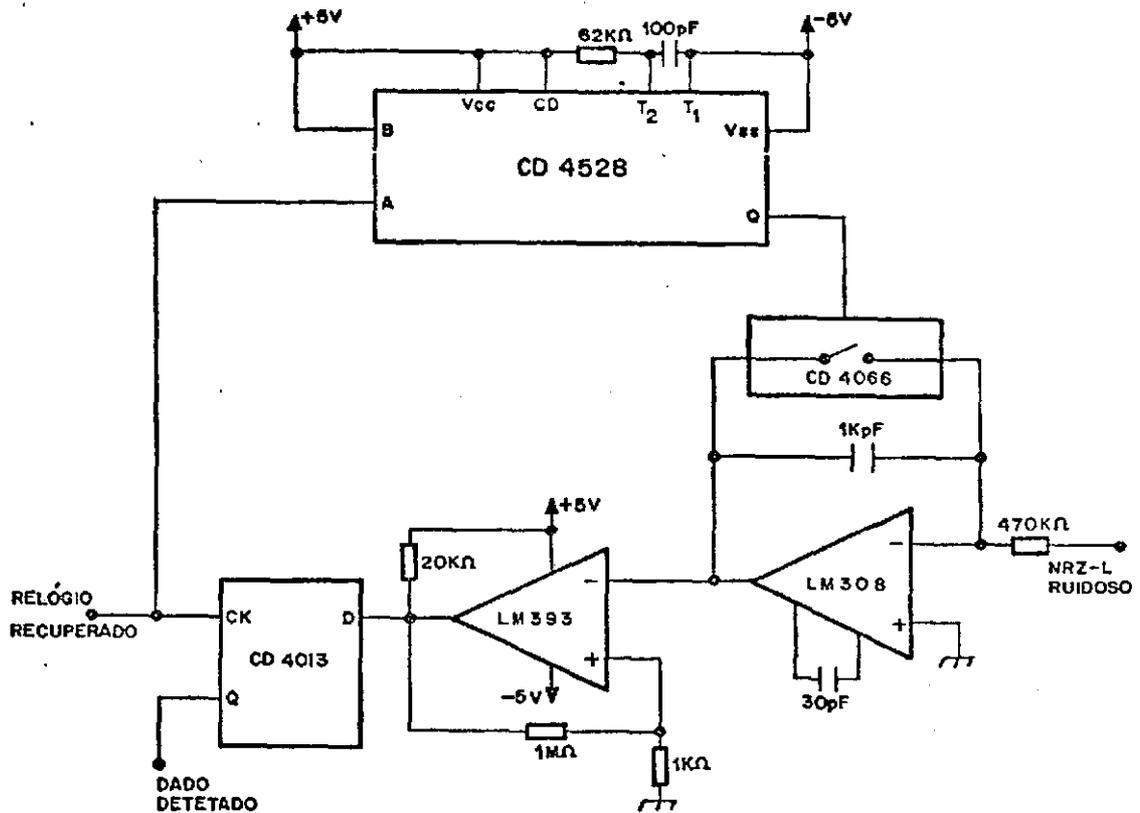


Fig. 4.15 - Circuito detetor de dados.

A inversão de dados provocada pelo circuito limitador não acarreta nenhum problema, pois, na verdade, o sinal NRZ-L da entrada do detetor de dados já apresenta ambigüidade. Não é possível dizer, sem informação adicional, se os bits do sinal NRZ-L recuperado são os transmitidos ou complementados. Esta ambigüidade decorre do processo de recuperação da subportadora e é inerente à demodulação BPSK com subportadora suprimida [12]. Assim, a inversão no limitador não altera esta condição de ambigüidade. O decodificador de telecomando deve ser capaz de solucionar esta ambigüidade.

4.8 - DESEMPENHO DO DEMODULADOR

Mediu-se a probabilidade de erro de bit (PEB) em função da relação energia de símbolo/densidade de ruído (E/N_0) para o demodulador com e sem o filtro de entrada. As medidas, feitas após o sistema ter

atingido o regime, são baseadas na comparação bit a bit entre a seqüência (obtida de um gerador de seqüências pseudo-aleatórias) que modula a subportadora de telecomando e a seqüência demodulada.

A PEB é estimada como

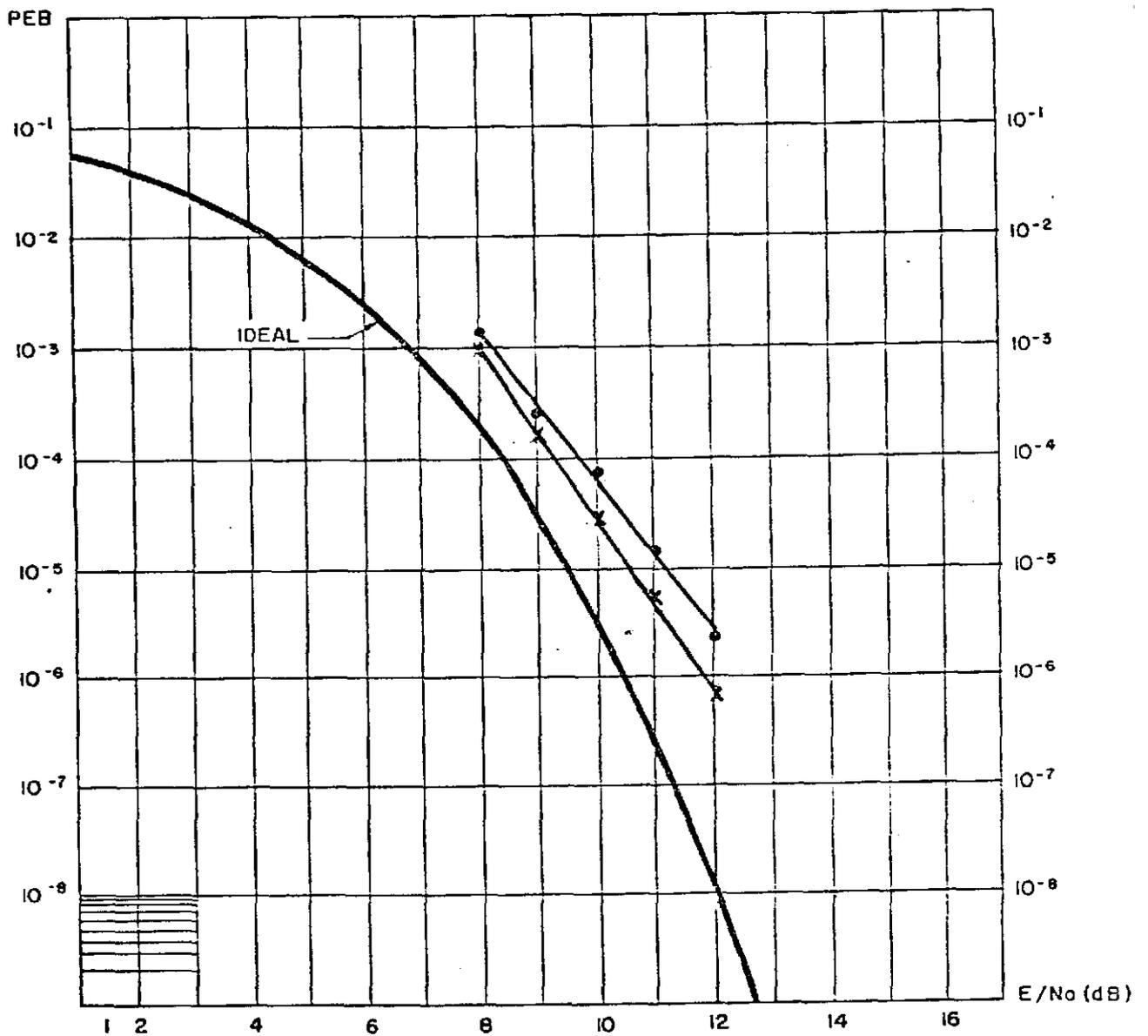
$$PEB = \frac{N_e}{N_t},$$

onde N_e é o número de erros observados e N_t é o número de bits transmitidos. Em cada medida, observaram-se no mínimo 10 erros. Isto limita o erro da estimativa no eixo E/N_0 da curva PEB versus E/N_0 a $\pm 0,3$ dB com um coeficiente de confiança de 90% [22]. Outra fonte de erro é a medida do valor da densidade de ruído N_0 , que leva a uma imprecisão de até $-0,5$ dB no eixo E/N_0 da curva de desempenho. A imprecisão tem sinal negativo, pois se mediu o valor máximo de N_0 . Deste modo, as curvas traçadas estão sujeitas a um erro total de $-0,8$ a $+0,3$ dB no eixo horizontal.

A Figura 4.16 apresenta os pontos medidos, assim como a curva de desempenho do demodulador ótimo ideal.

As curvas da Figura 4.16 mostram que a especificação de $PEB = 10^{-5}$ para $E/N_0 = 16$ dB é facilmente atingida com ou sem o filtro de entrada. Também é evidente uma degradação de cerca de $0,5$ dB devida ao uso do filtro, que distorce o sinal de entrada*. Como visto no Capítulo 2, o filtro é necessário para remover os tons de localização e limitar o ruído.

* Entre os efeitos nefastos causados pela distorção do sinal de entrada inclui-se a interferência intersimbólica.



(•) - CONFIGURAÇÃO COM FILTRO DE ENTRADA.

(x) - CONFIGURAÇÃO SEM FILTRAR O SINAL BPSK.

Fig. 4.16 - Desempenho medido com (•) e sem (x) filtro de entrada e desempenho do demodulador ideal.

4.9 - CONCLUSÃO

Os resultados obtidos são satisfatórios. A perda de implementação para E/N_0 na faixa medida (8 a 12 dB) é inferior a 2 dB. Isto mostra que apesar de terem sido adotadas configurações diferentes das convencionais, na operação em alta relação sinal/densidade de ruído, o desempenho praticamente não se degrada. É provável que o desempenho das configurações adotadas não tenha a mesma sorte na operação em baixa relação sinal/densidade de ruído.

A especificação de tempo de aquisição é também facilmente atingida.

O intento de obter um demodulador de baixo consumo é plenamente alcançado. O consumo total da configuração é inferior a 150 mW.

Observa-se ainda que a configuração realizada é bastante simples, o que traz benefícios de confiabilidade.

CAPÍTULO 5

DECODIFICADOR DE TELECOMANDO DIRETO

5.1 - INTRODUÇÃO

O decodificador de telecomando direto (TCD) recebe do demodulador o sinal de telecomando na forma NRZ-L formatado segundo o padrão ESA, efetua a decodificação da mensagem e entrega os telecomandos decodificados à interface de atuação na forma de pulsos. Para desempenhar essas funções, o decodificador deve executar as seguintes tarefas:

- detetar a palavra de sincronismo e endereço (PSE) ou a seqüência complementada ($\overline{\text{PSE}}$);
- resolver a ambigüidade do sinal NRZ-L a partir do conhecimento da palavra de sincronismo e endereço;
- detetar e aceitar a palavra de modo;
- testar e validar as palavras de comando recebidas;
- validar o quadro recebido;
- entregar cada comando à interface de atuação através de uma linha dedicada, na forma de pulso.

Por problemas de qualificação espacial, consumo de potência e mesmo filosofia de projeto, uma solução com microprocessador é descartada. O que se deseja é um dispositivo simples, que use componentes com qualificação espacial e que apresente baixo consumo de potência. Assim, o decodificador de telecomando é projetado e implementado usando apenas circuitos integrados CMOS da série 4000.

Neste capítulo apresentam-se o funcionamento, o projeto e considerações pertinentes ao decodificador de telecomando direto.

5.2 - CRITÉRIOS PARA ACEITAÇÃO DO TELECOMANDO

Os critérios para aceitação de comandos são a base do projeto e seguem o padrão ESA de telecomando descrito no Capítulo 1. Relacionam-se as seguintes condições:

- 1) Os telecomandos s̄o s̄o executados depois da aceitação do quadro.
- 2) Um quadro ẽ aceito quando:
 - ẽ reconhecida uma palavra de sincronismo e endereço no começo do quadro e outra imediatamente depois do quadro;
 - pelo menos uma das palavras de modo est̄a correta (modo ou modo repetido);
 - pelo menos uma das duas palavras de cada comando est̄a correta em todos os trẽs comandos do quadro; se, por exemplo, tanto o comando A como o comando A repetido estiverem incorretos, todo o quadro ẽ rejeitado.
- 3) A palavra de sincronismo e endereço ẽ aceita se pelo menos 15 dos 16 bits est̄ao corretos. A palavra recebida pode estar na forma complementada.
- 4) A palavra de modo est̄a correta se for exatamente 1100. O bit mais significativo ẽ o primeiro a ser transmitido.
- 5) Uma palavra de comando ẽ considerada correta quando nenhum erro ẽ detetado pelo cõdigo de Hamming.

Os telecomandos n̄o s̄o executados simultaneamente. Primeiro ẽ executado o comando A, depois o comando B e, por ulti- mo, o comando C.

5.3 - FUNCIONAMENTO DO DECODIFICADOR DE TELECOMANDO DIRETO

O diagrama de blocos do decodificador de telecomando direto é mostrado na Figura 5.1. Seguindo este diagrama apresenta-se uma descrição do funcionamento do decodificador.

Inicialmente os dados passam através do eliminador de ambigüidade, que, dependendo da PSE detetada, funciona como uma porta inversora. Em seguida os dados são carregados no registrador de entrada. Têm-se assim disponível, em paralelo, os 16 últimos bits recebidos. No início do quadro, sempre que a palavra de sincronismo e endereço é detetada, tem-se um pulso (SINC) à saída do detetor. Se a palavra detetada estiver na forma complementada, apresenta-se na outra saída do detetor um pulso ($\overline{\text{PSE}}$) que muda o estado do eliminador de ambigüidade. Este passa a entregar o restante dos dados do quadro ao registrador de entrada na forma correta, sem ambigüidade.

O sinal SINC zera o contador de bits para iniciar a contagem. Na saída deste contador há dois detetores. Um detetor do número 7, que indica o fim da palavra de modo, e um detetor do número 95, que indica o fim da PSE do próximo quadro. Quando 7 é detetado, o detetor da palavra de modo é habilitado, gerando o sinal MOK ou $\overline{\text{MOK}}$, conforme o teste seja positivo ou negativo, respectivamente. O sinal MOK habilita o contador de bits de comando, que neste instante inicia a contagem. $\overline{\text{MOK}}$ indica que ambas as palavras de modo estão incorretas e atua através do bloqueador de decodificação, inibindo o contador de bits.

Na saída do contador de bits de comando há dois detetores. O detetor do número 4 gera um sinal que inicializa o codificador Hamming para a recepção dos bits de informação da palavra de comando. Ao final da palavra de comando, o detetor do número 12 gera um sinal que zera o contador de bits de comando para nova contagem. Esse sinal também incrementa o seletor de comando a ser armazenado e atua no detetor e memorizador de erros.

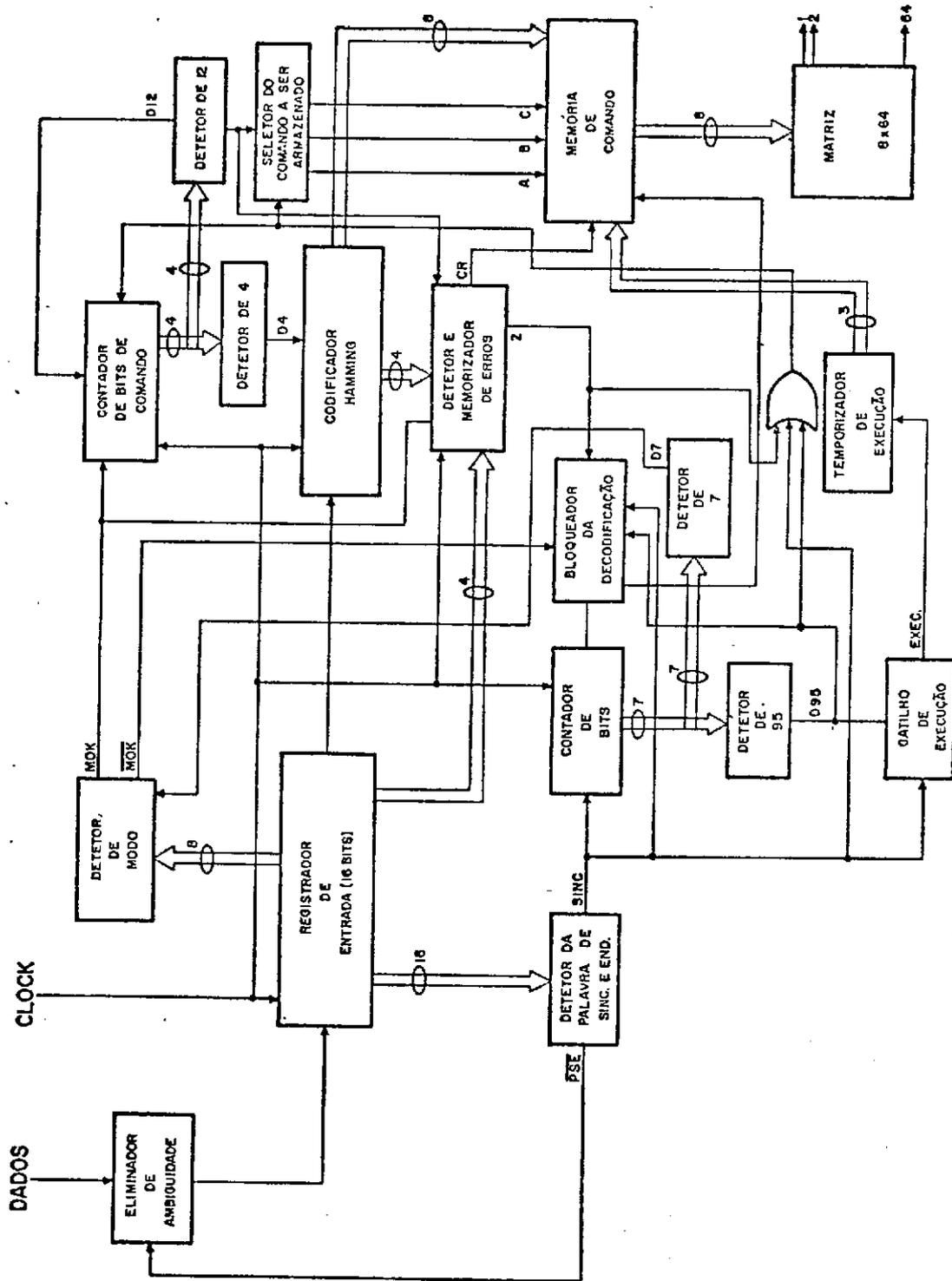


Fig. 5.1 - Diagrama de bloco do decodificador de telecomando direto.

O codificador Hamming, a partir dos bits de informação, gera os quatro bits de paridade. Esses bits são entregues ao detetor e memorizador de erros, que calculam a síndrome e detetam a ocorrência de erro na palavra recebida. Se não há erro, o sinal CR é enviado para a memória de comando. Caso contrário, a condição de erro é memorizada e a recepção da palavra de comando repetida é aguardada. Se esta palavra também contém erro, o detetor e memorizador de erros gera o sinal Z que inibe o contador de bits de comando, o seletor de comando e o contador de bits, interrompendo assim a decodificação do quadro.

A saída A do seletor de comando só é ativada na recepção do comando A e A repetido. Do mesmo modo, a saída B só é ativada para o comando B e B repetido, e analogamente para a saída C. Estes sinais indicam a posição da memória no bloco memória de comando, onde o comando será armazenado. O carregamento ocorre em decorrência do pulso CR que vem do detetor e memorizador de erros. No fim da recepção do quadro, têm-se os três telecomandos acumulados na memória de comando na forma binária, com 8 bits cada um.

A saída dos telecomandos da memória de comando para a matriz 8x64 é controlada pelo temporizador de execução. Cada linha do circuito temporizador endereça, por um período de 5 ms, um dos três comandos armazenados na memória de comando. A matriz executa apenas a decodificação de 8 para 64. A temporização é ativada pelo pulso EXEC gerado pelo gatilho de execução. Esse pulso ocorre somente quando, imediatamente após um quadro, é detetada a PSE. Se nesta posição não é detetada a PSE, o bloqueador da decodificação inibe o contador de bits e apaga os comandos já acumulados na memória de comando.

O contador de bits de comando e o seletor de comando a ser armazenado são inicializados (e inibidos) sempre que se detetar a PSE, ou o número 95, ou quando o sinal Z for ativado.

5.4 - PROJETO E FUNCIONAMENTO

5.4.1 - REGISTRADOR DE ENTRADA

O registrador de entrada efetua uma conversão sêrie/paralelo. É implementado com dois circuitos integrados CD4015, que são registradores de deslocamento de 8 estâgios. O registrador é gatilhado pela borda de subida do relógio, e nas saídas paralelas estão disponíveis os últimos 16 bits recebidos. Suas ligações são feitas conforme a Figura 5.11.

5.4.2 - DETETOR DA PALAVRA DE SINCRONISMO E ENDEREÇO (PSE)

A palavra a ser detetada contém 16 bits, pode se apresentar na forma normal ou complementada e deve ser aceita mesmo que no máximo um bit esteja incorreto.

Para dar maior flexibilidade ao sistema, as 16 saídas do registrador de entrada são inicialmente comparadas bit a bit com uma PSE programada a priori na placa, como mostra a Figura 5.2. Nesta figura, $Q_i (i = 1, \dots, 16)$ denota os bits recebidos, disponíveis à saída do registrador de entrada; $P_i (i = 1, \dots, 16)$ representa os bits da PSE, programados na placa; $S_i (i = 1, \dots, 16)$ é o resultado da operação ou-exclusivo.

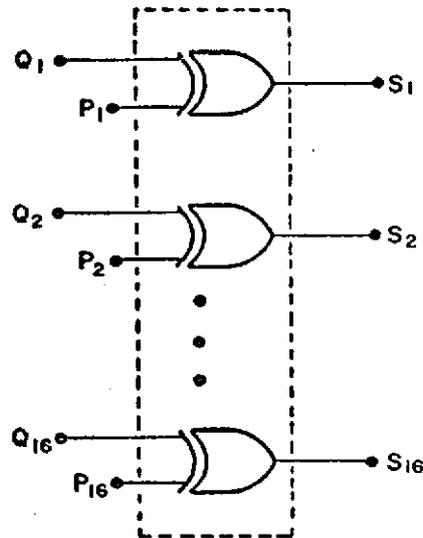


Fig. 5.2 - Comparador da palavra de sincronismo e endereço.

O problema então se reduz ao exame de $S_1 S_2 \dots S_{16}$. Se os bits recebidos formam exatamente a PSE, então todos S_i s são "0". Se há um erro, o S_i correspondente é "1". Se, devido à ambigüidade, a PSE está invertida, então todos S_i s são "1". Havendo um erro o S_i correspondente é "0". Basta, portanto, detetar todas estas situações.

Há, evidentemente, mais de uma solução para a implementação. Por questões de simplicidade e consumo, a solução adotada é um circuito combinacional. A Tabela 5.1 mostra a tabela verdade das variáveis envolvidas.

A função minimizada que implementa SINC é

$$\begin{aligned}
 \text{SINC}(S_1, \dots, S_{16}) = & \bar{S}_2 \bar{S}_3 \bar{S}_4 \dots \bar{S}_{15} \bar{S}_{16} + \bar{S}_1 \bar{S}_3 \bar{S}_4 \dots \bar{S}_{15} \bar{S}_{16} + \\
 & \bar{S}_1 \bar{S}_2 \bar{S}_4 \dots \bar{S}_{15} \bar{S}_{16} + \dots + \bar{S}_1 \bar{S}_2 \bar{S}_3 \bar{S}_4 \dots \bar{S}_{16} + \bar{S}_1 \bar{S}_2 \bar{S}_3 \bar{S}_4 \dots \bar{S}_{15} + \\
 & S_2 S_3 S_4 \dots S_{15} S_{16} + S_1 S_3 S_4 \dots S_{15} S_{16} + S_1 S_2 S_4 \dots S_{15} S_{16} + \dots \\
 & + S_1 S_2 S_3 S_4 \dots S_{16} + S_1 S_2 S_3 S_4 \dots S_{15}.
 \end{aligned} \tag{1}$$

A função mínima para \overline{PSE} é dada por

$$\overline{PSE} (S_1, \dots, S_{16}) = S_2 S_3 S_4 \dots S_{15} S_{16} + S_1 S_3 S_4 \dots S_{15} S_{16} + S_1 S_2 S_4 \dots S_{15} S_{16} + \dots + S_1 S_2 S_3 S_4 \dots S_{16} + S_1 S_2 S_3 S_4 \dots S_{15}. \quad (2)$$

TABELA 5.1

TABELA VERDADE DE SINC E \overline{PSE}

S ₁	S ₂	S ₃	S ₄	...	S ₁₅	S ₁₆	SINC	\overline{PSE}
0	0	0	0	...	0	0	1	0
1	0	0	0	...	0	0	1	0
0	1	0	0	...	0	0	1	0
0	0	1	0	...	0	0	1	0
0	0	0	1	...	0	0	1	0
			⋮				⋮	⋮
			⋮				⋮	⋮
0	0	0	0	...	1	0	1	0
0	0	0	0	...	0	1	1	0
1	1	1	1	...	1	1	1	1
0	1	1	1	...	1	1	1	1
1	0	1	1	...	1	1	1	1
1	1	0	1	...	1	1	1	1
1	1	1	0	...	1	1	1	1
			⋮				⋮	⋮
			⋮				⋮	⋮
1	1	1	1	...	0	1	1	1
1	1	1	1	...	1	0	1	1
			⋮				⋮	⋮
			⋮				⋮	⋮

} Todos os demais são "0".

O diagrama de blocos do detetor é apresentado na Figura 5.3. Os flip-flops (FF) são usados para tornar síncrona a atuação de SINC e $\overline{\text{PSE}}$.

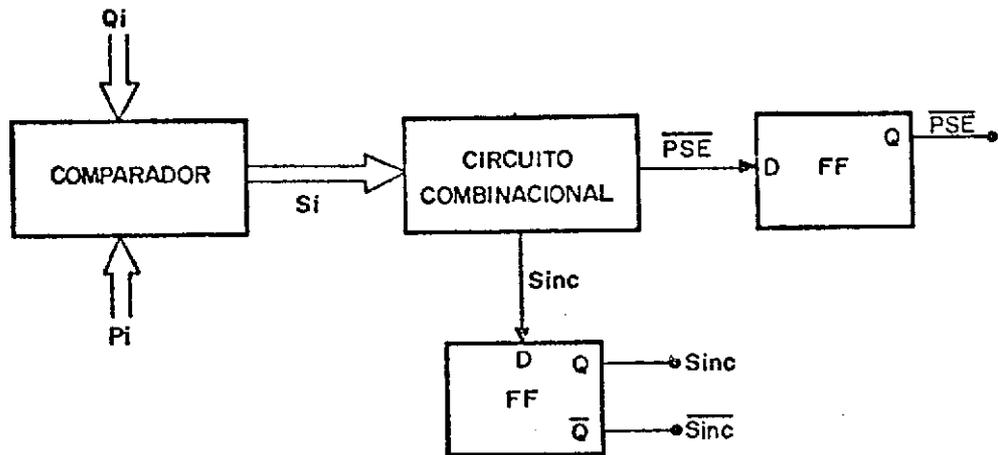


Fig. 5.3 - Circuito detetor da PSE.

5.4.3 - ELIMINADOR DE AMBIGÜIDADE

O esquema do eliminador de ambigüidade é apresentado na Figura 5.4.

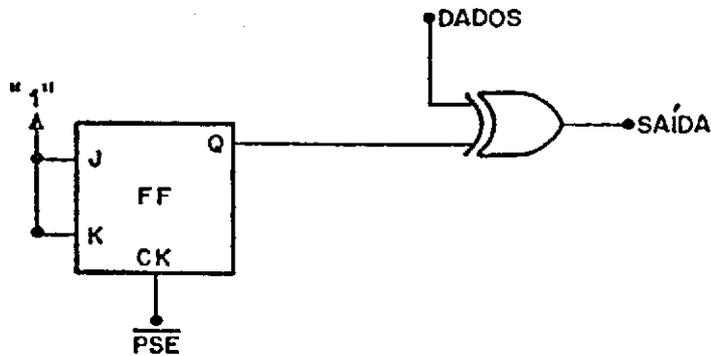


Fig. 5.4 - Eliminador de ambigüidade.

Sempre que a condição \overline{PSE} é detetada, o estado do flip-flop muda e a porta ou-exclusivo passa de porta não-inversora para inversora ou vice-versa.

5.4.4 - CONTADOR DE BITS

O contador de bits é implementado com dois contadores binários CD40161. Na saída deste contador estão os detetores de 7 e de 95. O "clock" deste contador é o próprio relógio de entrada de dados (ver Figura 5.11).

5.4.5 - DETETOR DE 7 E DE 95

Os detetores dos números 7 e 95 são implementados com circuitos combinacionais. O detetor de 7 só fornece saída "1" para a entrada 0000111. O detetor de 95 só fornece saída "1" para a entrada 1011111.

5.4.6 - DETETOR DE MODO

O detetor de modo é implementado com um circuito combinacional. O sinal MOK é ativado quando a palavra de modo ou modo repetido é 1100 e, simultaneamente, a saída do detetor de 7 é "1". \overline{MOK} é ativado quando a saída do detetor de 7 é "1" e nenhuma das duas palavras de modo (i.e., modo e modo repetido) são iguais a 1100.

5.4.7 - CONTADOR DE BITS DE COMANDO

O contador de bits de comando conta de 1 a 12. É inicializado e habilitado a contar pelo sinal MOK e é inibido por qualquer dos sinais SINC, Z ou D95. Seu "clock" é o próprio "clock" de entrada de dados. O circuito é implementado com um CD40161, que na verdade constitui um contador de 15. O sinal D12 se encarrega de inicializar este contador a cada contagem de 12 bits. À saída do contador têm-se um detetor de 4 e um detetor de 12.

5.4.8 - DETETORES DE 4 E DE 12

Os detetores dos números 4 e 12 são implementados com circuitos combinacionais. A detecção de 4 provoca um "clear" no circuito codificador Hamming, que começa a codificação no próximo bit. A saída do detetor de 12 é usada para inicializar o contador de bits de comando e como relógio do seletor de comando, e do detetor e memorizador de erros.

5.4.9 - SELETOR DO COMANDO A SER ARMAZENADO

O seletor de comando é implementado com um contador CD40161 e um circuito combinacional. O circuito integrado CD40161 conta as palavras de comando recebidas e o combinacional gera os sinais A, B e C, conforme a Tabela 5.2.

TABELA 5.2

TABELA VERDADE DAS SAÍDAS A, B E C

ESTADO DO CONTADOR	A	B	C
0 0 0 0	0	0	0
0 0 0 1	1	0	0
0 0 1 0	1	0	0
0 0 1 1	0	1	0
0 1 0 0	0	1	0
0 1 0 1	0	0	1
0 1 1 0	0	0	1
0 1 1 1	0	0	0
.	.	.	.
.	.	.	.
.	.	.	.

} Todos os demais são "0".

As saídas A, B e C indicam a memória de comando onde as mensagens de comando devem ser armazenadas.

5.4.10 - DETEÇÃO DE ERRO ATRAVÉS DO CÓDIGO HAMMING

Como visto no Capítulo 1, as palavras de comando pertencem a um código de bloco (12,8) sistemático. Sua estrutura é mostrada na Figura 5.5.

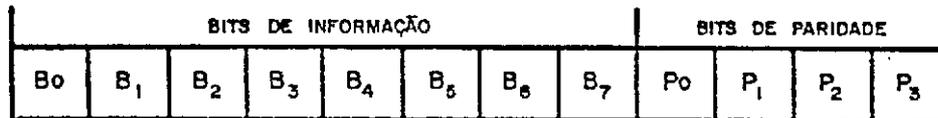


Fig. 5.5 - Palavra de comando.

Os bits de paridade são calculados pelas seguintes regras:

$$P_0 = B_5 \oplus B_4 \oplus B_2 \oplus B_0 ,$$

$$P_1 = B_6 \oplus B_5 \oplus B_3 \oplus B_1 \oplus B_0 ,$$

$$P_2 = B_7 \oplus B_6 \oplus B_4 \oplus B_2 \oplus B_1 \oplus B_0 ,$$

$$P_3 = B_7 \oplus B_4 \oplus B_3 \oplus B_1 .$$

O código (12,8) empregado é derivado por truncamento do código Hamming (15,11), que é um código cíclico. Assim, toda palavra do código derivado (12,8) é uma palavra do código (15,11) onde os três primeiros bits de informação são zero. Esta observação demonstra que se podem usar as propriedades do código Hamming (15,11) para detecção de erro nas palavras de comando.

A detecção de erro através de um código cíclico [23] consiste em verificar se a síndrome (\underline{S}) associada a palavra recebida é a "0000". Define-se a síndrome [23] por

$$\underline{S} = \begin{bmatrix} S_0 \\ S_1 \\ S_2 \\ S_3 \end{bmatrix} \underline{\Delta} \begin{bmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \end{bmatrix} \oplus \begin{bmatrix} C_0 \\ C_1 \\ C_2 \\ C_3 \end{bmatrix}, \quad (3)$$

onde $\underline{P} = [P_0 \ P_1 \ P_2 \ P_3]^t$ é formado pelos bits de paridade da palavra de comando recebida, e $\underline{C} = [C_0 \ C_1 \ C_2 \ C_3]^t$ é composto pelos bits de paridade resultantes da codificação dos bits de informações (B_0 a B_7) recebidos. Deste modo, a detecção de erro se resume a calcular \underline{C} , implementar a Equação 3 e testar o valor de \underline{S} . O codificador de um código cíclico pode ser facilmente implementado com registradores de deslocamento, conforme mostrado na Figura 5.6.

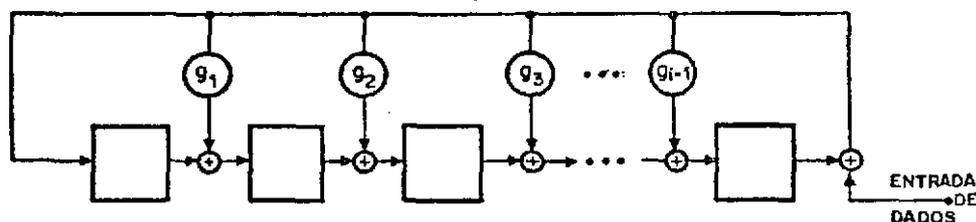


Fig. 5.6 - Codificador de um código cíclico (n, k).

Os valores g_1, g_2, \dots, g_{i-1} são os coeficientes do polinômio gerador do código $g(x) = x^i + g_{i-1}x^{i-1} + \dots + g_1x + 1$. Os bits de informação do código são colocados serialmente na entrada de dados. A cada bit é feito um deslocamento. Para o código (n, k), com k bits de informação, ao final do k -ésimo deslocamento têm-se os $(n-k)$ bits de paridade armazenados no registrador. O polinômio gerador $g(x)$ do código Hamming (15,11) é

$$g(x) = x^4 + x + 1. \quad (4)$$

Portanto, o codificador Hamming desejado pode ser implementado conforme o diagrama da Figura 5.7.

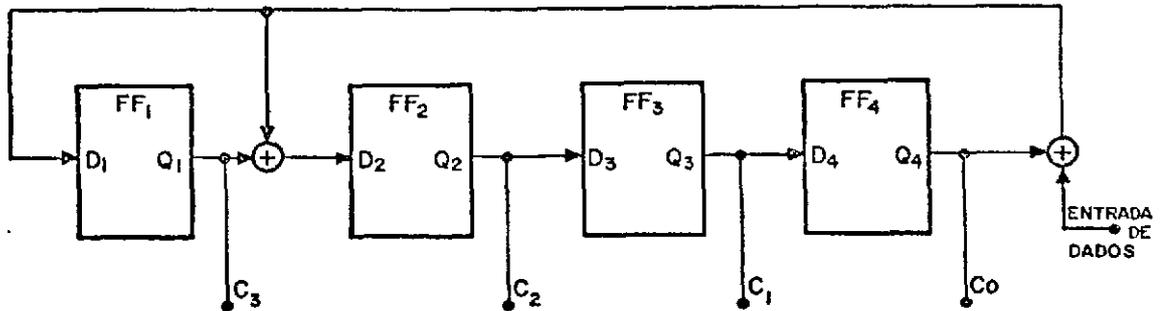


Fig. 5.7 - Codificador Hamming.

O detetor e memorizador de erros calcula a s̄ndrome (Equaçāo 3) para cada palavra de comando recebida. Se a s̄ndrome ̄ nula, ativa-se o sinal CR para carregamento dos bits de informaçāo da palavra de comando na mem̄ria de comando. Se o teste da s̄ndrome indica ocorr̄ncia de erro, o sinal CR = 0 ̄ enviado ao memorizador de erros.

A Figura 5.8 mostra o diagrama do circuito detetor e memorizador de erros.

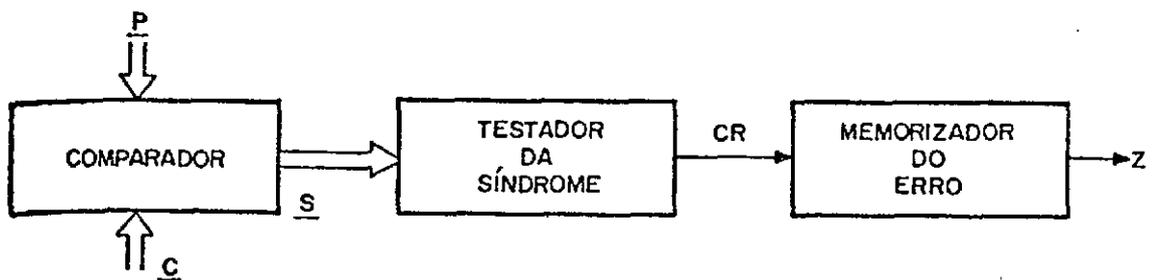


Fig. 5.8 - Detetor e memorizador de erros.

5.4.11 - MEMORIZADOR DE ERRO

Conforme os critérios estabelecidos na Seção 5.2, se em um quadro ambas as palavras de um mesmo comando contêm erro, o quadro deve ser rejeitado. Por outro lado, se pelo menos uma das palavras de cada comando está correta, o quadro é aceito. Este controle é feito pelo memorizador de erro, um circuito sequencial síncrono cujo diagrama de estado é apresentado na Figura 5.9.

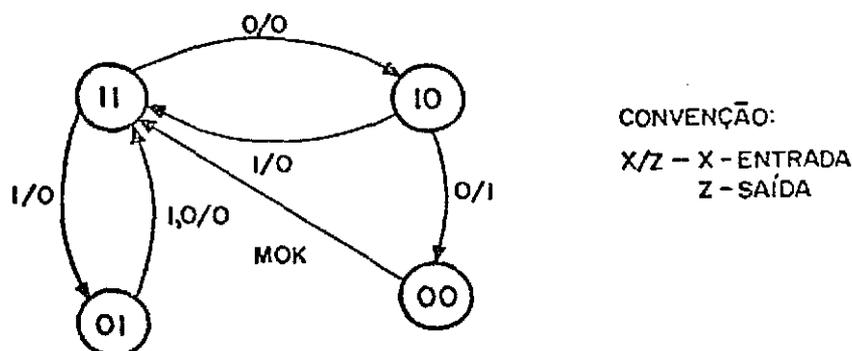


Fig. 5.9 - Diagrama de estado do memorizador de erros.

A variável de entrada deste circuito é o sinal CR, indicador de erro na palavra de comando recebida. A saída Z indica se ambas as palavras de comando (i.e., comando e comando repetido) estão incorretas. Durante a recepção do quadro, o sinal MOK (que indica modo correto) leva o circuito ao estado inicial 11. Assim, quando a primeira palavra de comando é recebida, o estado do circuito é 11. Seguindo o diagrama de estado (Figura 5.9) é fácil concluir que o circuito só atinge o estado 00 quando ambas as palavras de um mesmo comando estão incorretas. Neste estado, ativa-se o sinal Z. O circuito é mostrado na Figura 5.10. Seu relógio é derivado do detetor de 12.

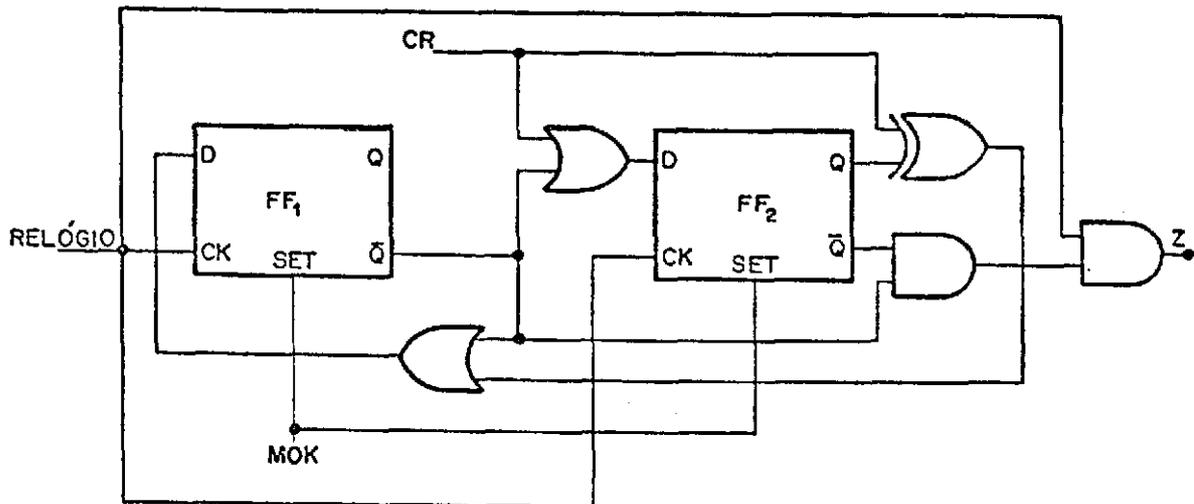


Fig. 5.10 - Memorizador de erro.

5.4.12 - MEMÓRIA DE COMANDO

Quando uma palavra de comando está correta, seus bits de informação são armazenados na memória de comando. O carregamento é controlado pelo sinal CR do detetor e memorizador de erros e pelas saídas A, B e C do seletor de comando.

O circuito é implementado com seis circuitos integrados CD4076. Cada CI armazena 4 bits. As saídas do CD4076 são "TRISTATE". Assim, para a execução de um comando, basta habilitar as saídas dos dois circuitos integrados que o armazenam.

5.4.13 - MATRIZ 8 x 64

Na execução de um telecomando direto, os 8 bits da saída da memória de comando são habilitados e a matriz 8 x 64 simplesmente decodifica estes bits numa de suas 64 linhas de saída. A matriz é implementada com dois circuitos integrados CD4514 (decodificadores 4 por 16) e 16 circuitos integrados CD4081 (portas lógicas AND). Para maior simplicidade, o protótipo construído apresenta apenas 15 saídas, como visto no diagrama completo da Figura 5.11.

5.4.14 - TEMPORIZADOR DE EXECUÇÃO

O temporizador de execução, ao receber EXEC, gera sequencialmente três pulsos (mutuamente exclusivos) que habilitam as saídas dos telecomandos armazenados na memória de comando. É implementado com três monoestáveis CD4538.

5.4.15 - GATILHO DE EXECUÇÃO

O gatilho de execução gera o sinal EXEC quando são detectados SINC e D95 num mesmo período de bit. É implementado com uma simples porta AND e um flip-flop D. O flip-flop é necessário para manter o sincronismo.

5.4.16 - BLOQUEADOR DE DECODIFICAÇÃO

O bloqueador de decodificação recebe os sinais SINC, D95, Z e \overline{MOK} , e desempenha as seguintes funções:

- se ocorre D95 e a PSE não é detetada, o circuito inibe o contador de bits e apaga os telecomandos armazenados na memória de comando;
- se ocorre Z ou \overline{MOK} , o circuito inibe o contador de bits e apaga os telecomandos armazenados na memória de comando.

O circuito é implementado apenas com algumas portas (AND e OR) e um flip-flop que funciona no modo assíncrono.

5.5 - CONCLUSÃO

O protótipo do decodificador foi montado conforme o diagrama global da Figura 5.11. Os testes feitos em laboratório mostram que o circuito atende as especificações funcionais. O consumo de potência, com alimentação de +5 e -5V, é da ordem de 50 mW. Também foram feitos testes integrados do demodulador e do decodificador, que indicam desempenho satisfatório.

REFERÊNCIAS BIBLIOGRÁFICAS:

- [1] INSTITUTO DE PESQUISAS ESPACIAIS (INPE). *Missão Espacial Completa Brasileira*. São José dos Campos, dez. 1979, Anexo 2.
- [2] SPILKER, J.J. *Digital communications by satellite*. Englewood Cliffs, NJ, Prentice-Hall, 1977.
- [3] FEHER, K.; TAKHAR, G.S. A new symbol timing recovery technique for burst modem applications. *IEEE Transactions on Communications*, COM-26(1):100-108, Jan. 1978.
- [4] LINDSEY, W.C.; SIMON, M.K. *Telecommunication engineering*. Englewood Cliff, NJ, Prentice-Hall, 1973.
- [5] FRANKS, L.E. Carrier and bit synchronization in data communication - A tutorial review, *IEEE Transaction on Communications*, COM-28(8): 1107-1120, Aug. 1980.
- [6] OBERST, J.F.; SCHILLING, D.L. The SNR of a frequency doubler. *IEEE Transaction on Communication Technology*, COM-19(1):97-99, Feb. 1971.
- [7] MOGHAZY, A.E.; MARAL, G.; BLANCHARD, A. Digital PCM bit synchronizer and detector. *IEEE Transaction on Communication*, COM-28(8):1197-1203, Aug. 1980.
- [8] NOSAKA, K.; OGAWA, A.; MURATANI, T. PSK demodulator with delay line for PCM-TDMA system. *IEEE Transactions on Communication Technology*, COM-18(4):427-434, Aug. 1970.
- [9] IMBEAUX, J.C. Performances of the delay-line multiplier circuit for clock and carrier synchronization in digital satellite communication. *IEEE Journal on Selected Areas in Communication*, Vol. Sac-1(1):82-95, Jan. 1983.
- [10] BEST, R.E. *Phase-locked loops theory, design and applications*. New York: McGraw-Hill, 1984.

- [11] BLANCHARD, A. *Phase-locked loops, application to coherent receiver design*. New York, Wiley, 1976.
- [12] GARDNER, F.M. *Phaselock techniques*, 2. ed. New York, Wiley, 1979.
- [13] SPRINGET, J.C.; SIMON, M.K. An Analysis of the Phase Coherent-Incoherent output of the Bandpass Limiter. *IEEE Transaction on Communication Technology*, COM-19(1):42-49, Feb. 1971.
- [14] SPIEGEL, M.R. *Manual de fórmulas e tabelas matemáticas*. São Paulo, McGraw-Hill, 1973.
- [15] PAPOULIS, A. *Probability, random variables, and stochastic processes*. McGraw-Hill, New York, 1965.
- [16] SCHWARTZ, M. *Information transmission, modulation, and noise*. 2. ed. New York, McGraw-Hill, 1970.
- [17] WILLIAMS, A.B. *Electronic filter design handbook*. New York, McGraw-Hill, 1981.
- [18] GRAEME, J. *Designing with operational amplifiers*. New York, McGraw-Hill, 1977.
- [19] STIFFLER, J.J. *Theory of synchronous communications*, Englewood Cliffs, NJ: Prentice-Hall, 1971.
- [20] EATON, S.S. *Timekeeping advance through COS/MOS technology*. New York, RCA, 1971 (Application note ICAN 6086).
- [21] SMATHERS, R.T.; FREDERIKSEN, T.M.; HOWARD, W.M. *LM139/LM239/LM339 a quad of independently functioning comparators*. Santa Clara, National, 1973. (Application note AN 74).
- [22] KEELTY, J.M.; FEHER, K. On-line pseudo-error monitor for digital transmission systems. *IEEE Transactions on Communications*, COM-26 (8):1275-1282, Aug. 1978.
- [23] LUCKY, R.W.; SALZ, J.; WELDON JR., E.J. *Principles of data communication*, McGraw-Hill, New York, 1968.

APÊNDICE A

AVALIAÇÃO DE $R_Q(\tau)$

O processo $Q(t)$ é definido por

$$Q(t) = \frac{2}{\pi} |\Delta(t)|,$$

onde $\Delta(t) = \gamma(t) - \gamma(t - T/2)$ e $\gamma(t) \equiv n_s(t)/A$. O processo $n_s(t)$ é o ruído de quadratura à saída do filtro $H(f)$ de entrada (cf. Figura 3.3). É um processo gaussiano de média zero e variância $\sigma^2 \ll A^2$. Como o filtro de entrada é aproximadamente ideal, com banda de passagem $2/T$, a função de autocorrelação de $\gamma(t)$ é dada por

$$R_Y(\tau) = \frac{\sigma^2}{A^2} \frac{\text{sen} 2\pi\tau/T}{2\pi\tau/T}. \quad (\text{A.1})$$

Da equação 53 tem-se

$$R_\Delta(\tau) = 2R_Y(\tau) - R_Y(\tau - T/2) - R_Y(\tau + T/2); \quad (\text{A.2})$$

portanto,

$$R_\Delta(\tau) = \frac{\sigma^2}{A^2} \text{sen} 2\pi\tau/T \left[\frac{1}{\pi\tau/T} + \frac{1}{2\pi(\tau/T - 1/2)} + \frac{1}{2\pi(\tau/T + 1/2)} \right]. \quad (\text{A.3})$$

Da referência [15], a função de autocorrelação do processo $|\Delta(t)|$ em termos da função de autocorrelação do processo gaussiano $\Delta(t)$ é expressa por

$$R_{|\Delta|}(\tau) = \frac{2R_\Delta(0)}{\pi} \left[\sqrt{1 - \left(\frac{R_\Delta(\tau)}{R_\Delta(0)}\right)^2} + \frac{R_\Delta(\tau)}{R_\Delta(0)} \text{sen}^{-1} \left\{ \frac{R_\Delta(\tau)}{R_\Delta(0)} \right\} \right]. \quad (\text{A.4})$$

Finalmente, obtêm-se

$$R_Q(\tau) = \frac{8R_\Delta(0)}{\pi^3} \left[\sqrt{1 - \left(\frac{R_\Delta(\tau)}{R_\Delta(0)}\right)^2} + \frac{R_\Delta(\tau)}{R_\Delta(0)} \operatorname{sen}^{-1} \left\{ \frac{R_\Delta(\tau)}{R_\Delta(0)} \right\} \right]. \quad (\text{A.5})$$