



Ministério da
**Ciência, Tecnologia
e Inovação**



sid.inpe.br/mtc-m21b/2014/12.12.15.26-RPQ

GERADOR DE SINAIS BPSK EM FPGA PARA APLICAÇÕES ESPACIAIS

Antônio Macilio Pereira de Lucena
Paulo Daving Lima de Oliveira
Clauson Sales do Nascimento Rios
Magno Prudêncio de Almeida Filho
Diego Braga Pimentel
Karolina Monique Herrera Coutinho
Francisco de Assis Tavares Ferreira da Silva

URL do documento original:

<<http://urlib.net/8JMKD3MGP3W34P/3HJ29LP>>

INPE
São José dos Campos
2014

PUBLICADO POR:

Instituto Nacional de Pesquisas Espaciais - INPE

Gabinete do Diretor (GB)

Serviço de Informação e Documentação (SID)

Caixa Postal 515 - CEP 12.245-970

São José dos Campos - SP - Brasil

Tel.:(012) 3208-6923/6921

Fax: (012) 3208-6919

E-mail: pubtc@sid.inpe.br

CONSELHO DE EDITORAÇÃO E PRESERVAÇÃO DA PRODUÇÃO INTELLECTUAL DO INPE (RE/DIR-204):**Presidente:**

Marciana Leite Ribeiro - Serviço de Informação e Documentação (SID)

Membros:

Dr. Gerald Jean Francis Banon - Coordenação Observação da Terra (OBT)

Dr. Amauri Silva Montes - Coordenação Engenharia e Tecnologia Espaciais (ETE)

Dr. André de Castro Milone - Coordenação Ciências Espaciais e Atmosféricas (CEA)

Dr. Joaquim José Barroso de Castro - Centro de Tecnologias Espaciais (CTE)

Dr. Manoel Alonso Gan - Centro de Previsão de Tempo e Estudos Climáticos (CPT)

Dr^a Maria do Carmo de Andrade Nono - Conselho de Pós-Graduação

Dr. Plínio Carlos Alvalá - Centro de Ciência do Sistema Terrestre (CST)

BIBLIOTECA DIGITAL:

Dr. Gerald Jean Francis Banon - Coordenação de Observação da Terra (OBT)

REVISÃO E NORMALIZAÇÃO DOCUMENTÁRIA:

Maria Tereza Smith de Brito - Serviço de Informação e Documentação (SID)

Yolanda Ribeiro da Silva Souza - Serviço de Informação e Documentação (SID)

EDITORAÇÃO ELETRÔNICA:

Maria Tereza Smith de Brito - Serviço de Informação e Documentação (SID)

André Luis Dias Fernandes - Serviço de Informação e Documentação (SID)



Ministério da
**Ciência, Tecnologia
e Inovação**



sid.inpe.br/mtc-m21b/2014/12.12.15.26-RPQ

GERADOR DE SINAIS BPSK EM FPGA PARA APLICAÇÕES ESPACIAIS

Antônio Macilio Pereira de Lucena
Paulo Daving Lima de Oliveira
Clauson Sales do Nascimento Rios
Magno Prudêncio de Almeida Filho
Diego Braga Pimentel
Karolina Monique Herrera Coutinho
Francisco de Assis Tavares Ferreira da Silva

URL do documento original:

<<http://urlib.net/8JMKD3MGP3W34P/3HJ29LP>>

INPE
São José dos Campos
2014



Esta obra foi licenciada sob uma Licença Creative Commons Atribuição-NãoComercial 3.0 Não Adaptada.

This work is licensed under a Creative Commons Attribution-NonCommercial 3.0 Unported License.

RESUMO

Este relatório apresenta o projeto de um gerador *BPSK* (Binary Phase Shift Keying) implementado em *FPGA* (Field Programmable Gate Array). O modelo proposto faz o melhor uso da flexibilidade intrínseca dos dispositivos lógicos reprogramáveis, permitindo o ajuste dos parâmetros do sinal *BPSK*, tais como amplitude, frequência portadora e taxa de bits. Além disso, possibilita a emulação dos seguintes efeitos do canal espacial sobre o sinal modulado: desvio de frequência, desvio de fase, inserção de atraso e adição de ruído Gaussiano. No desenvolvimento do projeto, adota-se a metodologia de Síntese de Modelagem Matemática em Hardware (SMMH) que permite obter a solução final para a arquitetura do sistema de uma forma bastante eficiente em termos de horas de projeto. O gerador *BPSK* projetado apresenta um excelente balanceamento de fase e amplitude, uma característica difícil de ser obtida em moduladores analógicos tradicionais. Essa solução representa uma melhoria tecnológica, dentro da perspectiva de aplicações em sistemas de comunicação robustos a serem testados e validados nas condições impostas pelo ambiente espacial.

Palavras-chave - *FPGA*, Modulação *BPSK*, Gerador de Sinal, Telecomando Espacial.

FPGA-BASED *BPSK* SIGNAL GENERATOR FOR SPACE APPLICATIONS

ABSTRACT

This report presents the design of a BPSK (Binary Phase Shift Keying) generator to be implemented in FPGA (Field Programmable Gate Array). The proposed model, taking advantage of the intrinsic flexibility of reprogrammable logic devices, allows adjustments to be made to the BPSK signal parameters such as amplitude, carrier frequency and bit rate. It additionally allows the emulation of the following channel effects: frequency deviation, phase offset, time delay and addition of Gaussian noise. The project is developed using a new methodology for the FPGA design, based on Mathematical Modeling Synthesis in Hardware (MMSH), which allows to obtain a final solution for the final architecture of the system by a very efficient way in terms of hours worked. Another remark of the proposed BPSK generator is the excellent balancing of phase and amplitude, a property that is hardly feasible with traditional analog modulators. These achievements represent a technological improvement from the perspective of applications that demand robust communication systems to be tested and validated against space channel impairments.

Keywords - FPGA, BPSK Modulation, Signal Generator, Space Telecommand.

LISTA DE FIGURAS

	<u>Pág.</u>
Figura 1 – Diagrama de blocos do gerador de sinais <i>BPSK</i> discreto.....	4
Figura 2 – Diagrama de blocos da geração do sinal <i>BPSK</i> analógico.	4
Figura 3 – Gerador <i>BPSK</i> : (a) Diagrama de blocos da parte digital; (b) Modelo <i>Simulink</i> equivalente.....	5
Figura 4 – Visão geral do gerador de sinais <i>BPSK</i> no ambiente do <i>System Generator</i>	6
Figura 5 – Diagrama de blocos <i>Random Data Generator</i>	7
Figura 6 – Diagrama de blocos <i>Bipolar Encoder</i>	7
Figura 7 - <i>Rectangular Pulse Filter</i>	8
Figura 8 – Implementação detalhada do bloco <i>Variable Fractional Delay</i>	8
Figura 9 – Diagrama de blocos do <i>Delay Integer</i>	9
Figura 10 – Diagrama interno do bloco <i>Carrier</i> , gerador do sinal da portadora, com ou sem deslocamento de fase e frequência.	10
Figura 11 – Circuito que implementa o bloco <i>Noise</i>	11
Figura 12 – Implementação do bloco <i>Noise Level</i>	12
Figura 13 – Bancada de testes do gerador de sinais <i>BPSK</i>	14
Figura 14 – Sinal de saída do gerador <i>BPSK</i>	15
Figura 15 – Espectro de potência do sinal <i>BPSK</i> simulado.	15
Figura 16 – Espectro de potência do sinal <i>BPSK</i> gerado.....	16
Figura 17 – Sinal <i>BPSK</i> no domínio do tempo sem ruído (traçado em amarelo) e com ruído (traçado em verde, $SNR=8dB$).	16

LISTA DE SIGLAS E ABREVIATURAS

AWGN	Additive White Gaussian Noise
BPSK	Binary Phase Shift Key
CCSDS	Consultative Committee for Space Data Systems
DAC	Digital to Analog Converter
DSP	Digital Signal Processing
FMC	FPGA Mezzanine Card
FPGA	Field Programmable Gate Array
HDL	Hardware Description Language
IF	Intermediate Frequency
INPE	Instituto Nacional de Pesquisas Espaciais
LUT	Look-Up Tables
NRZ	Non-Return-to-Zero
SMMH	Mathematical Modeling Synthesis in Hardware
SNR	Signal-to-Noise Ratio

LISTA DE SÍMBOLOS

A	Amplitude do sinal.
A_{SNR}	Ganho para uma determinada SNR
$x[n]$	Representa o símbolo <i>BPSK</i> .
T	Período do Bit.
f_c	Frequência da portadora.
f_d	Desvio de frequência.
f_s	Frequência de Amostragem.
$g(t)$	Pulso retangular em banda-base.
L	Número de amostras por símbolo.
τ	Atraso de propagação.
ϕ	Desvio de fase.
$n(t)$	Denota o ruído gaussiano branco de média nula e densidade de potência espectral $N_0/2$.
$s(t)$	Sinal <i>BPSK</i> contínuo.
$s[k]$	Sinal <i>BPSK</i> discreto.
$SNR_{(dB)}$	valor da relação sinal-ruído em dB.
V_N	Variância do sinal de ruído.
V_S	Variância do sinal na saída do estágio de IF.

SUMÁRIO

	<u>Pág.</u>
1	INTRODUÇÃO..... 1
2	METODOLOGIA 3
	2.1. Sinal <i>BPSK</i> 3
	2.2. Implementação do Gerador <i>BPSK</i> 4
3	RESULTADOS DOS TESTES..... 14
4	CONCLUSÃO 17
	REFERÊNCIAS BIBLIOGRÁFICAS 19

1 INTRODUÇÃO

BPSK (do inglês, *Binary Phase Shift Keying*) é uma técnica de modulação digital que oferece melhor desempenho em termos de taxa de erro de bits nos sistemas de potência limitada (1). Por esta razão, este esquema de modulação é recomendado pelo *CCSDS* (*Consultative Committee for Space Data Systems*) na comunicação terra-espaço dos enlaces de telecomando (2). O *CCSDS* recomenda modulação *BPSK* para todos os sistemas de telecomando, independente da taxa de transmissão e da categoria da missão.

Considerando as demandas em um futuro próximo por satélites de alta complexidade, o Instituto Nacional de Pesquisas Espaciais (INPE) está desenvolvendo um modem *BPSK* de portadora suprimida, conforme as recomendações do *CCSDS*, para sistemas de telecomando de alta velocidade (até 2048 kbps). O sinal modulado em *BPSK* é gerado na frequência intermediária (*IF*) nominal de 70 MHz, e em seguida, passa por um estágio de conversão para alta frequência sendo transmitido na banda S.

Este trabalho apresenta o projeto de um gerador de sinais *BPSK*, com mais detalhes do que já foi publicado em (3), que pode ser utilizado tanto como o modulador *BPSK* da estação terrena para o enlace de telecomando ou também servir como um equipamento de suporte para testes do demodulador *BPSK* de alta velocidade a ser embarcado nos futuros satélites do INPE.

O sistema proposto, quando for utilizado como equipamento de suporte para os testes do demodulador *BPSK*, é capaz de emular as imperfeições introduzidas pelo canal espacial ao sinal transmitido (4). As principais distorções provocadas pelo canal espacial são o efeito de *Doppler* e o ruído térmico (5). Portanto, é possível introduzir no sinal *BPSK* gerado, os desvios de frequência e fase, atraso de propagação, e também ruído *AWGN* (do inglês, *Additive White Gaussian Noise*) (1). Além disso, o projeto é flexível suficiente para permitir alterações nas amplitudes do sinal e do ruído, na taxa de bits e na frequência da portadora. Como a modulação é realizada no estágio de *IF*, pelo

estágio atual da tecnologia eletrônica, é possível implementar o gerador de sinais *BPSK* utilizando técnicas de processamento de sinais digitais (6).

A solução proposta é totalmente flexível, é baseada em processamento digital de sinais, faz uso de uma nova metodologia para projetos em *FPGA* (do inglês, *Field Programmable Gate Array*) (7, 8) e utiliza a interface gráfica de desenvolvimento *System Generator* da *Xilinx*. Por intermédio do *System Generator* é possível criar o arquivo de programação da *FPGA*, diretamente do ambiente de simulação, como, por exemplo, o *Simulink* da *Mathworks*, sem a necessidade do protótipo ser desenvolvido na linguagem de descrição de hardware, *HDL* (do inglês, *Hardware Description Language*) (14,15). Como pode ser observada em (13), a metodologia de Síntese de Modelagem Matemática em Hardware (SMMH) utilizada, parte do princípio que há um modelo matemático bem definido, o qual será sintetizado em hardware, numa forma automática ou semiautomática.

Este relatório está organizado da seguinte forma: a arquitetura do gerador de sinais *BPSK* e sua implementação são descritas na Seção 2; Os resultados da simulação e os testes de hardware são apresentados na Seção 3; E por fim, as conclusões são exibidas na Seção 4.

2 METODOLOGIA

2.1. Sinal BPSK

O sinal *BPSK* pode ser expresso por:

$$s(t) = A \left\{ \sum_{n=0}^{\infty} x[n]g[(t - nT) + \tau] \right\} \cos[2\pi(f_c + f_d)t + \phi] + n(t). \quad (2.1)$$

O sinal $s(t)$ também pode ser representado por:

$$s(t) = A \left[\sum_{n=0}^{\infty} x[n]g((t - nT) + \tau) \right] [\cos(2\pi f_d t + \phi) \cos(2\pi f_c t) - \sin(2\pi f_d t + \phi) \sin(2\pi f_c t)] + n(t), \quad (2.2)$$

em que, A é amplitude do sinal, T é o período do bit, τ é atraso de propagação, f_c é a frequência da portadora, f_d é o desvio de frequência e ϕ é o desvio de fase. O termo $g(t)$ indica o pulso retangular em banda-base. O sinal $x[n]$ representa o símbolo *BPSK* e pode assumir os seguintes valores +1 e -1. E $n(t)$ denota o ruído gaussiano branco de média nula e densidade de potência espectral $N_0/2$.

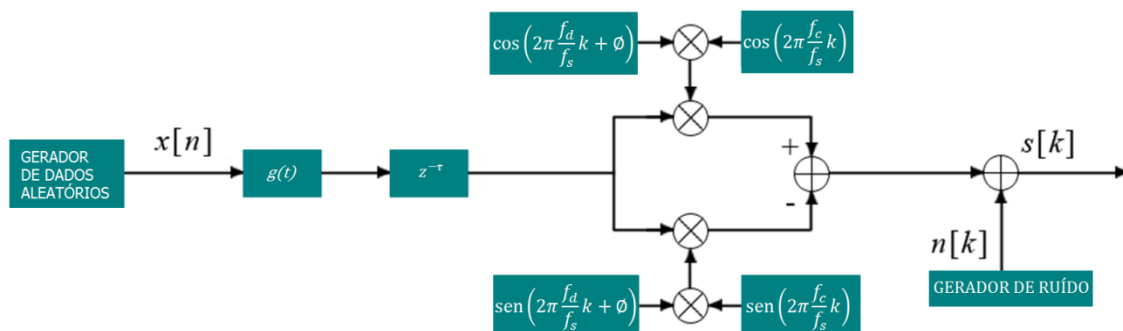
O sinal discreto correspondente ao sinal $s(t)$ é dado por $s[k] = s(k/f_s)$, em que f_s representa a frequência de amostragem, e pode ser expresso por:

$$s[k] = A \left[\sum_{n=0}^{\infty} x[n]g\left(\frac{k}{f_s} - nT + \tau\right) \right] \left[\cos\left(2\pi \frac{f_d}{f_s} k + \phi\right) \cos\left(2\pi \frac{f_c}{f_s} k\right) - \sin\left(2\pi \frac{f_d}{f_s} k + \phi\right) \sin\left(2\pi \frac{f_c}{f_s} k\right) \right] + n[k]. \quad (2.3)$$

A Figura 1 exibe o diagrama de blocos do gerador de sinais *BPSK* baseado na Equação (2.3) e ilustra as operações de processamento de sinal necessárias. A versão discreta do sinal *BPSK*, $s[k]$, depois de gerada internamente na *FPGA* passa por um conversor *D/A* (*DAC*), resultando no sinal analógico $s(t)$, conforme ilustrado na Figura 2. Este modelo representa o gerador de sinais em banda passante, desta maneira é possível à rápida

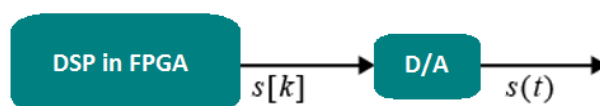
prototipagem do circuito digital via software, e a implementação em hardware do circuito na *FPGA*.

Figura 1 – Diagrama de blocos do gerador de sinais *BPSK* discreto.



Fonte: Produção do autor.

Figura 2 – Diagrama de blocos da geração do sinal *BPSK* analógico.



Fonte: Produção do autor.

Na próxima subseção detalha-se a implementação do sinal *BPSK* discreto.

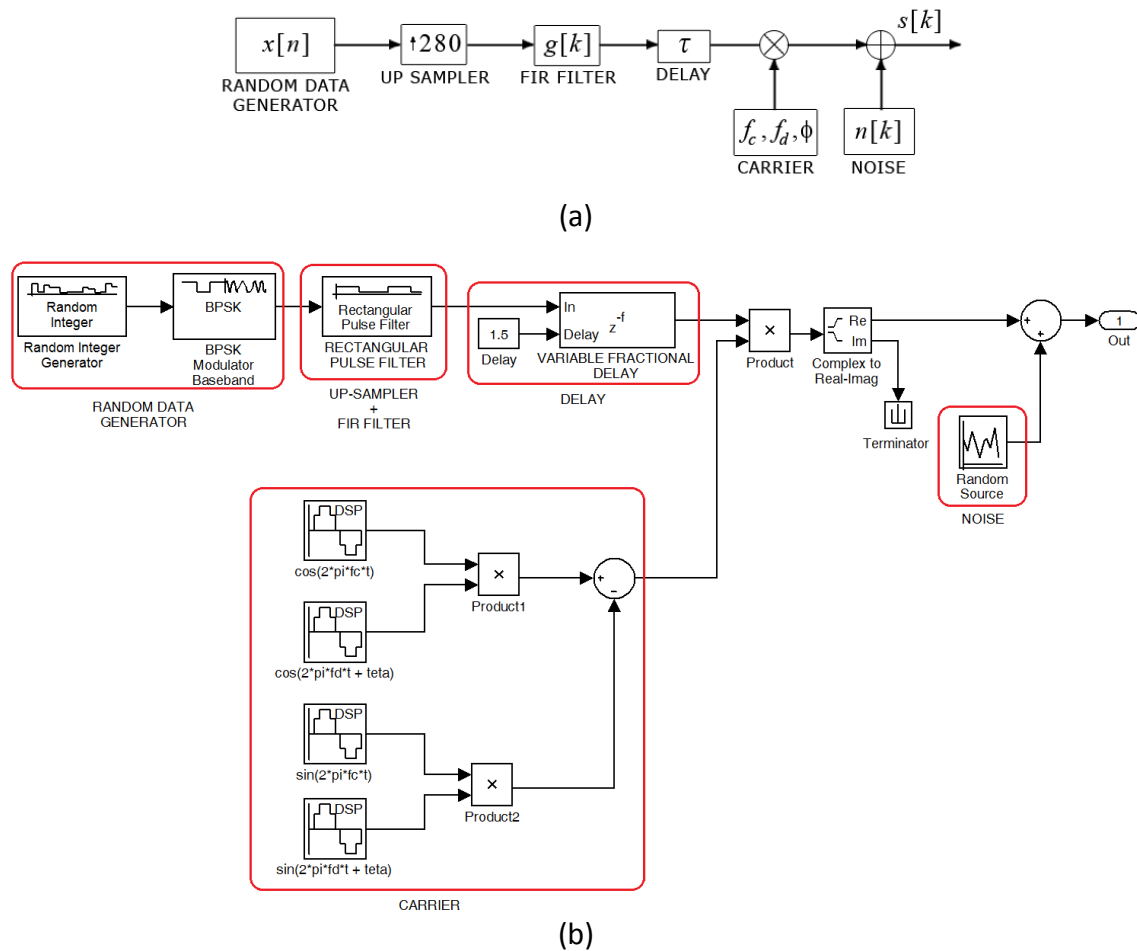
2.2. Implementação do Gerador *BPSK*

Este trabalho está focado na implementação de um circuito gerado através de uma ferramenta de síntese automática que utiliza como ponto de partida o modelo do sistema desenvolvido em ambiente de simulação. Inicialmente, o modelo (9) foi desenvolvido através do software *Simulink* da *Mathwork*. O modelo *Simulink* serviu de referência para os testes e validação dos sinais *BPSK* gerados e dos efeitos de propagação do canal espacial.

A Figura 3(a) mostra outro diagrama da parte digital do gerador proposto. A Figura 3(b) ilustra implementação deste diagrama de blocos em ambiente *Simulink*. No modelo em *Simulink*, o bloco *Random Data Generator* é implementado através dos blocos *Random Integer Generator* e *BPSK*

Modulador de forma que na saída tem-se os números complexos no formato $\pm \exp(j\theta)$, em que θ assume valores $\{0, \pi\}$. O bloco *Rectangular Pulse Filter* realiza a sobre amostragem e a filtragem do sinal. O atraso é implementado com o bloco *Variable Fractional Delay* que possibilita a inserção de atrasos de propagação fracionários. O bloco *Carrier* implementa a portadora no estágio de *IF*, com possíveis erros de frequência (f_d) fase (ϕ). O bloco *Noise* implementado com o *Random Source* do *Simulink* gera as amostras de ruído Gaussiano e branco.

Figura 3 – Gerador *BPSK*: (a) Diagrama de blocos da parte digital; (b) Modelo *Simulink* equivalente.



Fonte: Produção do autor.

Segue uma breve descrição da função de cada bloco da implementação em *Simulink*, Figura 3(b):

Random Integer Generator - Responsável pela geração do sinal aleatório discreto de valores inteiros a partir de uma distribuição uniforme;

BPSK Modulator Baseband - Realiza a modulação dos bits aleatórios em símbolos discretos que assumem valores -1 e +1, respectivamente;

Rectangular Pulse Filter - Insere 279 cópias de cada amostra do sinal de entrada a uma taxa 280 vezes maior que a taxa da entrada utilizando um filtro retangular ideal de ganho unitário e 280 coeficientes;

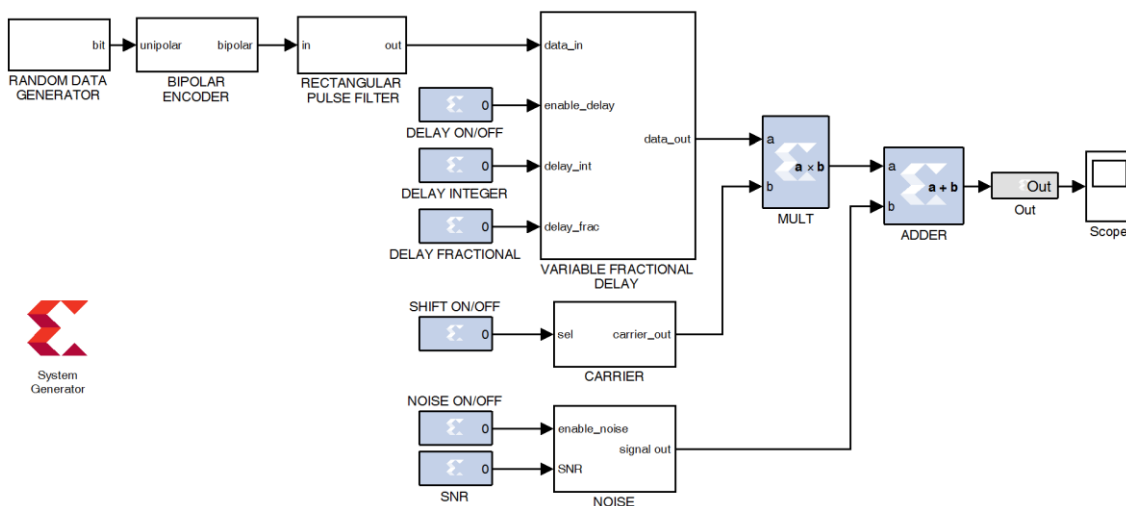
Variable Fractional Delay - Atrasa o sinal de entrada através de um interpolador linear;

Carrier - Gera uma onda senoidal com erros de fase e frequência configuráveis, em que f_c , f_d , ϕ , são respectivamente, frequência da portadora, desvio frequência e fase;

Complex to Real-Imag - Separa a parte imaginária e real do sinal de entrada;

Noise - Gera as amostras com ruído *AWGN* para cada *SNR*.

Figura 4 – Visão geral do gerador de sinais *BPSK* no ambiente do *System Generator*.



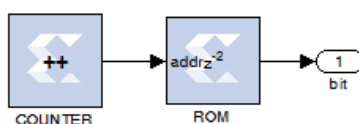
Fonte: Produção do autor.

A Figura 4 apresenta a diagrama de blocos do gerador *BPSK* desenvolvido no ambiente gráfico *Xilinx's System Generator* integrado ao

Simulink. Este modelo tem as mesmas funcionalidades do modelo *Simulink* da Figura 3(b).

Entre os vários blocos implementados, pode-se citar: os blocos de *LUT* (*Look-Up Table*), multiplexação, adição, filtros, interpoladores, produto, blocos de atraso, devidamente arranjados de forma a produzir o sinal *BPSK* contendo as imperfeições impostas pelo canal espacial (5). A seguir, cada bloco que compõe o gerador de sinais *BPSK* será explicado detalhadamente.

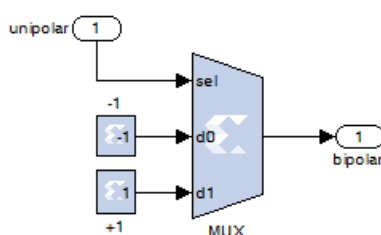
Figura 5 – Diagrama de blocos *Random Data Generator*



Fonte: Produção do autor.

O bloco *Random Data Generator*, foi implementado conforme ilustrado na Figura 5. O bloco *Counter* fornece os valores dos endereços da *LUT* (*look-up table*) que por sua vez armazena bits aleatórios em cada endereço. Estes bits aleatórios foram obtidos através do *Matlab* a partir da combinação das funções *round()* e *rand()*.

Figura 6 – Diagrama de blocos *Bipolar Encoder*.

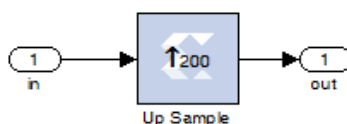


Fonte: Produção do autor.

A saída do bloco *Random Data Generator* está conectada na entrada do bloco *Bipolar Encoder*, que realiza a conversão dos dígitos binários 0s e 1s, para valores de amplitude -1 e +1, respectivamente. A Figura 6 ilustra a implementação deste bloco. Para qualquer sequência de dados binários,

submetida à entrada 'sel' do multiplexador, este bloco responderá da seguinte maneira: se a entrada for 0 a saída do multiplexador será -1, caso contrário, se 'sel' for igual a 1, a saída do multiplexador será 1.

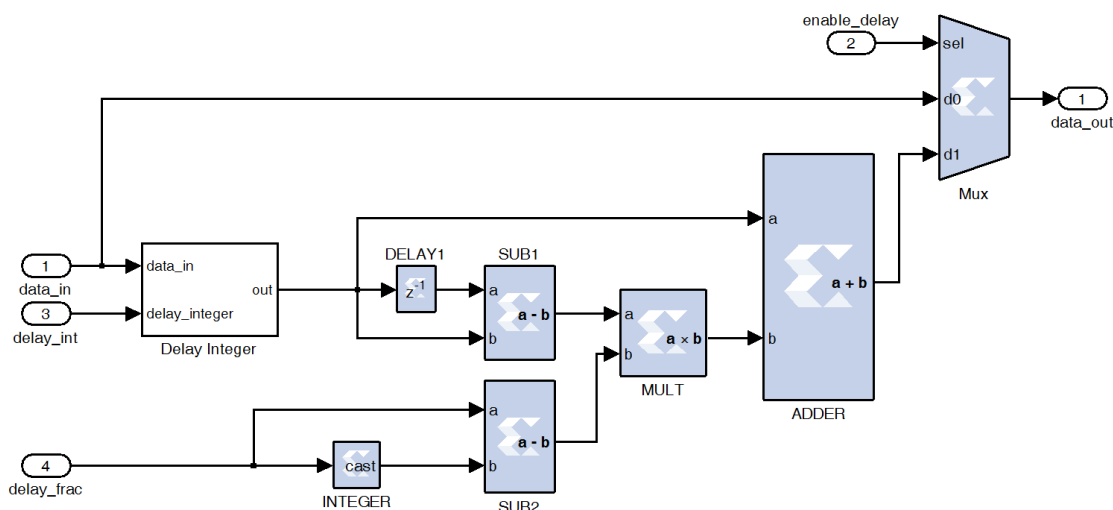
Figura 7 - *Rectangular Pulse Filter*



Fonte: Produção do autor.

A saída deste codificador é aplicada ao bloco *Rectangular Pulse Filter* como indicado na Figura 4. Este bloco como indicado na Figura 7 é implementado pela função *up-sample*, nativa do *System Generator*, e aumenta a taxa de amostragem do sinal por um fator de $4f_cT$.

Figura 8 – Implementação detalhada do bloco *Variable Fractional Delay*.

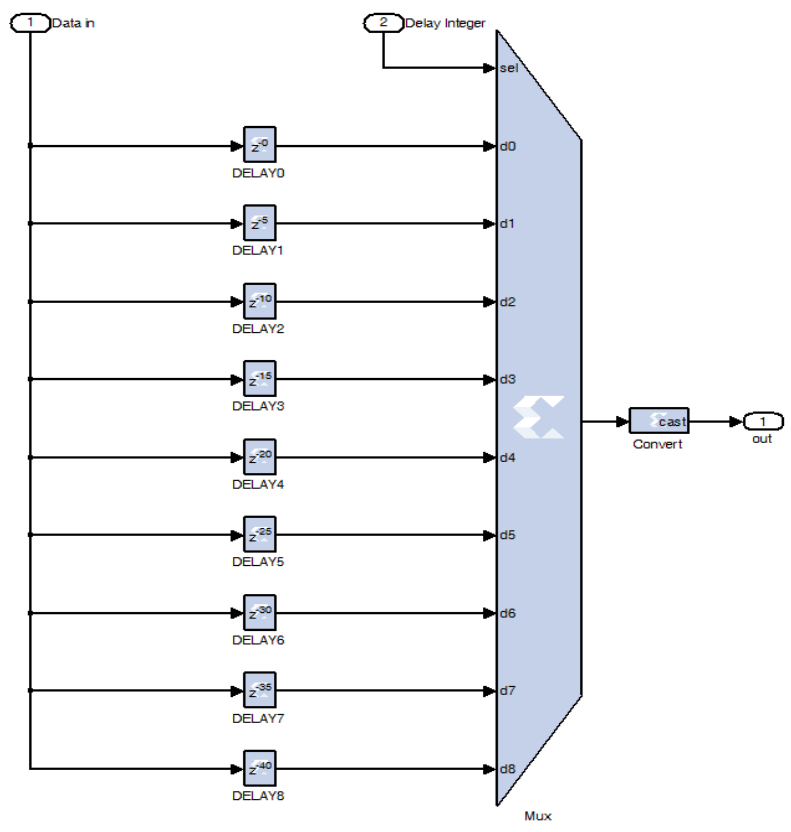


Fonte: Produção do autor.

O próximo estágio do processo de modulação, seguindo o diagrama da Figura 4, é a inserção do atraso de propagação do canal espacial que é implementado através do bloco *Variable Fractional Delay* (11). A Figura 8

mostra os detalhes de implementação deste bloco, enquanto a Figura 9 exibe o circuito interno do diagrama de blocos do *Delay Integer*.

Figura 9 – Diagrama de blocos do *Delay Integer*



Fonte: Produção do autor.

Tabela 1 – Valores da parte inteira do atraso.

Delay Int	0	1	2	3	4	5	6	7	8
Atraso	0	5	10	15	20	25	30	35	40

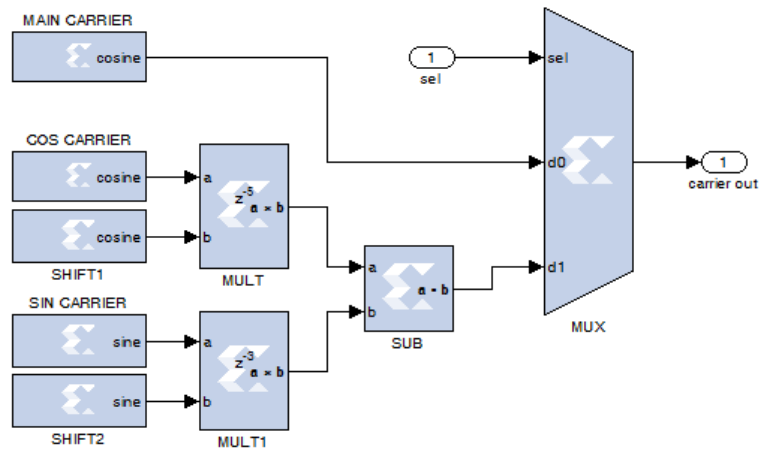
Fonte: Produção do autor.

O bloco *Variable Fractional Delay* permite a escolha entre duas situações, em que, “0” na entrada *enable_delay*, o sinal não sofre atraso, e “1” possibilita a seleção de um atraso definido por uma parte inteira, *delay_int*, e uma parte fracionária, *delay_frac*. O atraso da parte inteira é selecionável, ao

passo de 5 amostras, iniciando em zero, podendo chegar até 40 amostras, através da mudança do valor da constante na entrada *delay_int*, conforme a Tabela 1. Da mesma forma, a parte fracionária é alterada mudando o valor da constante de atraso na entrada *delay_frac*, este atraso está limitado aos valores maiores que 0 e menores que 1, com resolução de 12 *bits* fracionários.

O sinal da saída do bloco *Variable Fractional Delay* é convertido para frequência intermediária (*IF*) através do produto com o sinal da saída do bloco *Carrier*, conforme indicado na Figura 4.

Figura 10 – Diagrama interno do bloco *Carrier*, gerador do sinal da portadora, com ou sem deslocamento de fase e frequência.



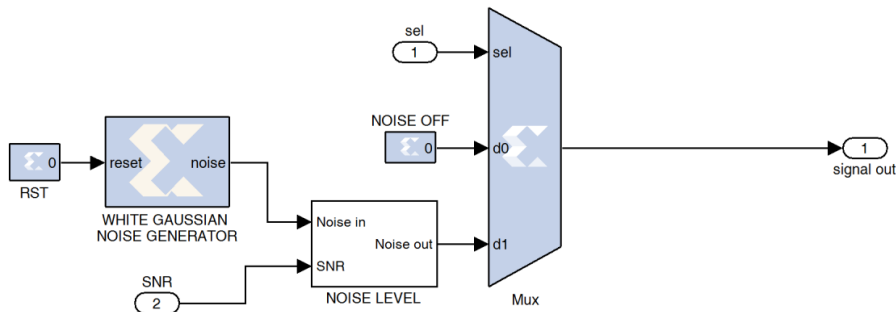
Fonte: Produção do autor.

$$c[k] = \begin{cases} \cos(2\pi f_c k/f_s), & sel = 0; \\ \cos(2\pi f_d k/f_s + \phi) \cos(2\pi f_c k/f_s) - \\ \sin(2\pi f_d k/f_s + \phi) \sin(2\pi f_c k/f_s), & sel = 1. \end{cases} \quad (2.4)$$

O bloco *Carrier* é responsável pela geração do sinal da portadora. Neste bloco é possível adicionar deslocamentos de fase e frequência. A Figura 10

apresenta o diagrama de blocos do circuito que gera o sinal da portadora, os cossenos e os senos são gerados através de uma *LUT* (*look-up table*). A entrada seletora do multiplexador define o sinal de saída, quando ‘sel’ é igual a 0, o sinal de saída é uma portadora de frequência f_c , livre de desvios de frequência e fase. Caso contrário, quando ‘sel’ é igual a 1, a portadora gerada conterá erros de frequência e fase, denotados por f_d e ϕ , respectivamente. A Equação (2.4) exhibe os possíveis sinais de saída, para as condições mencionadas anteriormente.

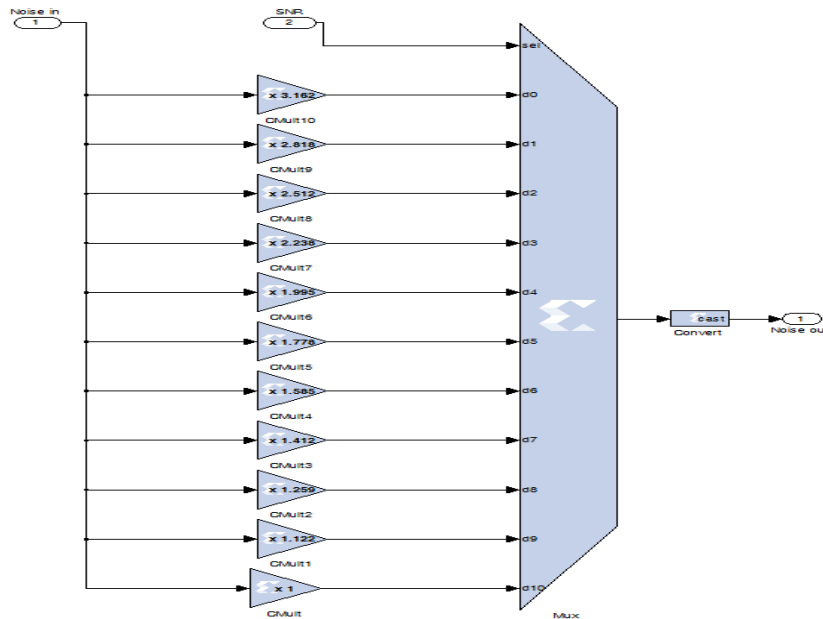
Figura 11 – Circuito que implementa o bloco *Noise*.



Fonte: Produção do autor.

Ao sinal em *IF* é adicionado ruído Gaussiano através do bloco *Noise* que está descrito na Figura 11. O bloco *Noise* gera as amostras de ruído através do bloco *White Gaussian Noise Generator* e permite a seleção da relação sinal-ruído (*SNR*) por meio da variável *SNR*, na faixa de 0 á 10 dB. A entrada ‘sel’ possibilita selecionar sinal *BPSK* modulado com ruído ou sem ruído.

Figura 12 – Implementação do bloco *Noise Level*.



Fonte: Produção do autor.

Com relação à geração de ruído, o *System Generator* possui módulos nativos para geração de ruído com características de uma distribuição Gaussiana. Esta fonte de ruído é resultado da combinação do algoritmo *Box-Muller* e o teorema do limite central, portanto, este módulo é capaz de produzir em sua saída uma palavra de 12 *bits* com ponto fixo.

A Figura 12 detalha a implementação do bloco *Noise Level* que controla a variância do sinal de ruído, de modo que é possível selecionar uma dada relação sinal-ruído (*SNR*), no intervalo de 0 á 10 dB. Os valores das constantes do bloco *Noise Level* correspondem à raiz da variância do sinal de ruído, e pode ser determinado através da Equação (2.5).

$$A_{SNR} = \sqrt{V_N} = \sqrt{\frac{L}{2} \cdot \frac{V_S}{10^{\frac{SNR_{(dB)}}{10}}}}, \quad (2.5)$$

em que,

A_{SNR} – é o ganho para uma determinada relação sinal-ruído;

V_N – Variância do sinal de ruído;

L – Número de amostras por símbolo;

V_S – Variância do sinal no estágio de IF;

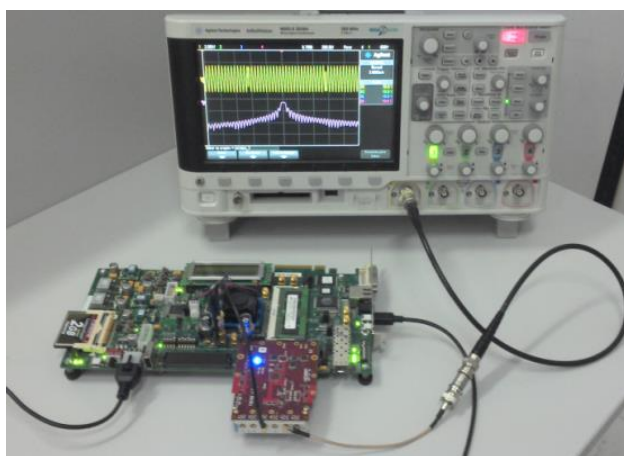
$SNR_{(dB)}$ – valor da relação sinal-ruído em dB.

Na próxima seção, apresenta-se alguns resultados obtidos através de co-simulação com o modelo do *System Generator* e outros resultados do sinal real gerado em *hardware*. Vale ressaltar que para a implementação em *hardware*, utilizou-se um *kit* de desenvolvimento em *FPGA* (10) e uma placa conversora *D/A* (11).

3 RESULTADOS DOS TESTES

Esta secção apresenta os resultados das simulações e dos testes feitos no gerador *BPSK* proposto. Nas simulações, foi utilizado o ambiente do *System Generator da Xilinx's* integrada ao *Mathwork's Simulink*. Para o teste de *hardware*, utilizou-se o *kit de desenvolvimento ML605*, da *AVNET* (10) que é equipado com a *FPGA Virtex-6*.

Figura 13 – Bancada de testes do gerador de sinais *BPSK*.



Fonte: Produção do autor.

Os parâmetros da simulação são:

Taxa de Símbolos: $1/T = 1 \text{ Mbps}$;

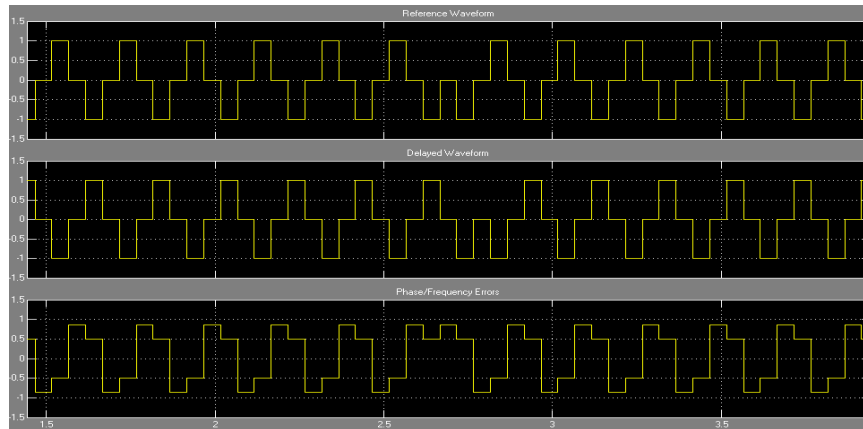
Frequência da Portadora: $f_c = 50\text{MHz}$;

Deslocamento de frequência: $f_d = 10 \text{ Hz}$;

Deslocamento de Fase: $\phi = \pi/6$;

Como descrito na Figura 2, o sinal discreto gerado na secção de *DSP* do sistema é aplicada ao conversor *D/A (DAC)*. Este conversor consiste numa extensão de *hardware* (12) e está ligado à *ML605* através de um conector *FMC* (12) (*FPGA Mezzanine Card*). A Figura 13 exhibe a bancada de testes em que pode-se identificar o *kit de desenvolvimento com a FPGA Virtex-6 (ML605, placa verde)*, o conversor *D/A (FMC150, placa vermelha)* conectado e o osciloscópio de 4-canais da *Agilent*.

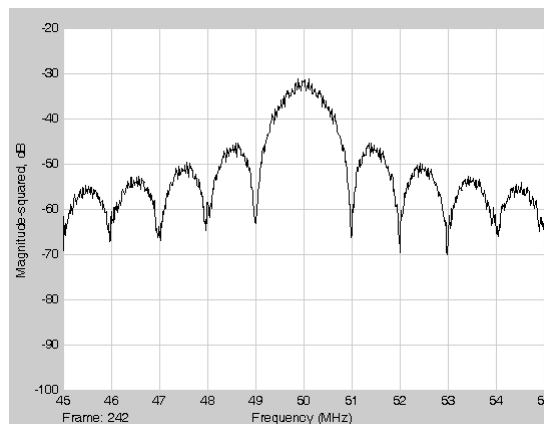
Figura 14 – Sinal de saída do gerador *BPSK*.



Fonte: Produção do autor.

A Figura 14 ilustra o sinal de saída do gerador *BPSK*. Nesta Figura, observa-se o sinal de referência (parte superior), livre de ruído, erros de fase, frequência e atrasos. O segundo sinal (centro), é uma versão do primeiro sinal com atraso. E o terceiro sinal (parte inferior) é uma versão do primeiro sinal com adição de erros de fase e frequência.

Figura 15 – Espectro de potência do sinal *BPSK* simulado.

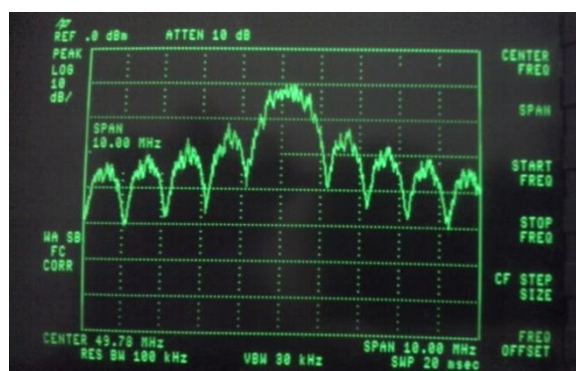


Fonte: Produção do autor.

Nota-se na Figura 14, a combinação perfeita da fase e amplitude, comparando as formas de onda antes e depois da transição de símbolo no primeiro e segundo gráfico. Este desempenho, em relação ao balanceamento de fase e amplitude é difícil de ser alcançado em implementações tradicionais de moduladores *BPSK* analógicos.

A Figura 15 exibe o espectro de potência do sinal *BPSK* simulado com o modelo *System Generator*. Na Figura 16, tem-se o display do espectro de potência do sinal *BPSK*, gerado no kit de desenvolvimento, o qual é medido com um analisador de espectro. Observa-se uma grande similaridade entre os espectros simulados e medidos.

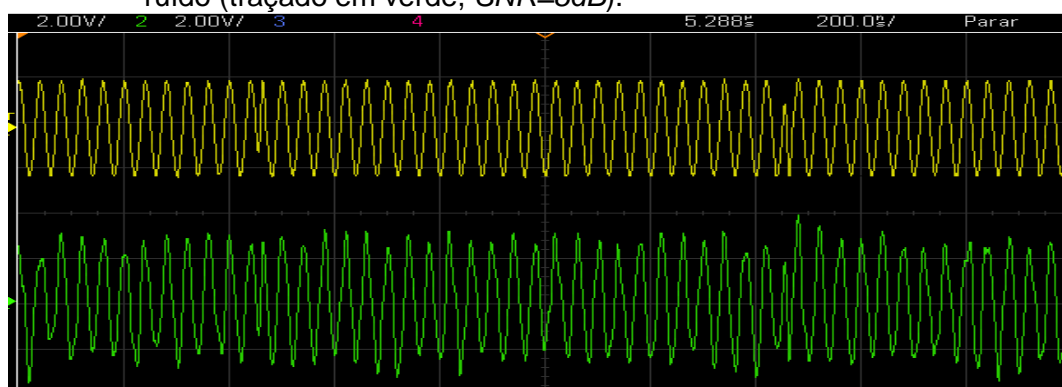
Figura 16 – Espectro de potência do sinal *BPSK* gerado.



Fonte: Produção do autor.

Finalmente, a Figura 17 ilustra os sinais no domínio do tempo, obtidos na saída do conversor *D/A*. A forma de onda superior exibe o sinal de referência sem inserção de erros e com duas transições de símbolo. A segunda forma de onda representa o mesmo sinal com adição de ruído Gaussiano ($SNR=8dB$).

Figura 17 – Sinal *BPSK* no domínio do tempo sem ruído (traçado em amarelo) e com ruído (traçado em verde, $SNR=8dB$).



Fonte: Produção do autor.

4 CONCLUSÃO

Este relatório apresenta a implementação de um gerador de sinais *BPSK* em *FPGA*, seguindo a metodologia *SMMH*. Cada módulo do gerador *BPSK* foi implementado através da síntese semiautomática de circuitos através do ambiente de desenvolvimento *System Generator* que permitiu uma rápida prototipagem do gerador. Na solução proposta, é possível emular as distorções mais comuns de um canal espacial.

A utilização de *FPGA* no projeto representa uma melhoria tecnológica, sob a perspectiva de que isto permite a concepção de um projeto flexível, quer seja para aplicações como equipamento de suporte aos testes do demodulador de telecomando de bordo ou para a implementação do modulador da estação de solo. A flexibilidade deste sistema também fica evidente com a possibilidade de mudanças dos parâmetros do modulador, tais como frequência da portadora, erros de fase, e adição de ruído.

Os resultados demonstram que o gerador de sinais *BPSK* apresenta ótimo desempenho em relação às características espectrais do sinal modulado e balanceamento de fase e amplitude. O gerador foi validado para uma taxa de transferência de 1 Mbps e frequência intermediária de 70MHz, embora outras frequências e taxas de bits possam ser adotadas, considerando-se conversores DAC adequados.

Outra característica deste trabalho foi à adoção de uma nova metodologia de projeto aliada ao desenvolvimento de um gerador de sinal *BPSK* parametrizável com base nos conceitos de processamento digital de sinais aplicados a dispositivos lógicos reprogramáveis.

Como possíveis trabalhos futuros, podem-se considerar outros efeitos de propagação causados pelo canal espacial e a exploração desta nova metodologia em outros sistemas de interesse.

REFERÊNCIAS BIBLIOGRÁFICAS

- (1) PROAKIS, J. G. **Digital Communications**, 4 ed. New York: McGRAW-HILL, 2001. p. 1002.
- (2) Consultative Committee for Space Data Systems. **CCSDS 401.0-B: Radio Frequency and Modulation Systems – Part 1: Earth Stations and Spacecraft**. Washington, DC, USA. Jul. 2011. 239 p. Disponível em: <<http://mtc-m18.sid.inpe.br/col/sid.inpe.br/mtc-m18@80/2009/07.16.20.25/doc/CCSDS%20401.0-B-21.pdf>>. Acesso em: 25 de agosto de 2013.
- (3) LUCENA, A. M. P.; OLIVEIRA, P.D.L.; RIOS, Clauson Sales Do Nascimento; et. al. Flexible FPGA-based *BPSK* Signal *Generator* for Space Applications. **International Journal of Circuits, Systems And Signal Processing**, v.8, p. 160-165, 2014. Disponível em: <<http://www.naun.org/main/NAUN/circuitssystemssignal/2014/a262005-072.pdf>>
- (4) IPPOLITO Jr. L. J. **Satellite Communications Systems Engineering: Atmospheric Effects, Satellite Link Design and System Performance**, 1 ed. United Kingdom: John Wiley & Sons Ltd., 2008. 376 p.
- (5) MARAL G., BUSQUET M. **Satellite Communications Systems: Systems, Techniques and Technologies**, 5 ed. West Sussex: John Wiley & Sons Ltd., 2009. 742 p.
- (6) LI FANG; KE XIZHENG; LI QIANG. Design and Implement of OQPSK Modulator Based on FPGA. In: International Conference on Electronic Measurement & Instruments, n. VIII., 2007, Xi'an, China. Xi'an: ICEMI, 2007. p. 4-929-4-933. E-ISBN: 978-1-4244-1136-8.

- (7) DA SILVA, A. S.; MOTA, J. C. M.; LUCENA, A. M. P. Amostragem em Banda-passante e Conversão de Frequência em um Demodulador OQPSK Completamente Digital. In: XIX SIMPÓSIO BRASILEIRO DE TELECOMUNICAÇÕES, 2011, Curitiba.
- (8) NAGHMASH M. S.; AIN M. F.; HUI C. Y. FPGA Implementation of Software Defined Radio Model based 16QAM. **European Journal of Scientific Research**, v.35, n.2, p. 301-310, ago., 2009.
- (9) FIGUEREDO, C. G. **Demodulador BPSK Completamente Digital para Aplicações Espaciais** [trabalho de conclusão de curso]. Fortaleza: Universidade Federal do Ceará, Curso de graduação em Engenharia de Teleinformática, Departamento de Engenharia de Teleinformática; 2013.
- (10) XILINX. **ML605 Hardware User Guide**. v.1.8. USA: XILINX, 2012. p. 96. Disponível em:
<http://www.xilinx.com/support/documentation/boards_and_kits/ug534.pdf>. Acesso em: 25 ago. 2013.
- (11) ABRANTES, Sílvio A. Recuperação digital da temporização com amostragem assíncrona–Parte 1: transmissão em banda-base. 2010. Disponível em: <http://paginas.fe.up.pt/~sam/textos/temporizacao_BB.pdf>. Acesso em: 25 ago. 2013.
- (12) 4DSP LLC. **FMC150 User Manual**. r 1.9. USA: 4DSP LLC, 2012. p.19. Disponível em: <http://www.4dsp.com/pdf/FMC150_user_manual.pdf>. Acesso em: 25 ago. 2013.
- (13) SILVA, F.A.T.F.; ALMEIDA FILHO, M. P.; MOREIRA , N.A.; RIOS, C.S.N.; CAMUÇA, P.J.; LUCENA, A. M. P. Relatório parcial do projeto Prototipação de Circuitos e Equipamentos para Comunicações Espaciais via Síntese de Formalismos Matemáticos em Microeletrônica Reconfigurável (no prelo).

(14) BELL, C. G.; NEWELL, A. **Computer Structures: Readings and Examples**, 1 ed. New York: McGRAW-HILL, 1971. p.688.

(15) BOUTE, Raymond; MERMET, Jean P. **Fundamentals and Standards in Hardware Description Languages**, 1 ed. Netherlands: Springer, 1993. p.470.

PUBLICAÇÕES TÉCNICO-CIENTÍFICAS EDITADAS PELO INPE

Teses e Dissertações (TDI)

Teses e Dissertações apresentadas nos Cursos de Pós-Graduação do INPE.

Manuais Técnicos (MAN)

São publicações de caráter técnico que incluem normas, procedimentos, instruções e orientações.

Notas Técnico-Científicas (NTC)

Incluem resultados preliminares de pesquisa, descrição de equipamentos, descrição e ou documentação de programa de computador, descrição de sistemas e experimentos, apresentação de testes, dados, atlas, e documentação de projetos de engenharia.

Relatórios de Pesquisa (RPQ)

Reportam resultados ou progressos de pesquisas tanto de natureza técnica quanto científica, cujo nível seja compatível com o de uma publicação em periódico nacional ou internacional.

Propostas e Relatórios de Projetos (PRP)

São propostas de projetos técnico-científicos e relatórios de acompanhamento de projetos, atividades e convênios.

Publicações Didáticas (PUD)

Incluem apostilas, notas de aula e manuais didáticos.

Publicações Seriadas

São os seriados técnico-científicos: boletins, periódicos, anuários e anais de eventos (simpósios e congressos). Constam destas publicações o Internacional Standard Serial Number (ISSN), que é um código único e definitivo para identificação de títulos de seriados.

Programas de Computador (PDC)

São as sequências de instruções ou códigos, expressos em uma linguagem de programação compilada ou interpretada, a ser executada por um computador para alcançar um determinado objetivo. São aceitos tanto programas fonte quanto executáveis.

Pré-publicações (PRE)

Todos os artigos publicados em periódicos, anais e como capítulos de livros.