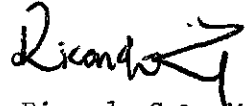

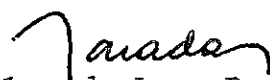


1. Publicação nº <i>INPE-2642-RTR/024</i>	2. Versão	3. Data <i>Fev., 1983</i>	5. Distribuição <input type="checkbox"/> Interna <input type="checkbox"/> Externa <input checked="" type="checkbox"/> Restrita
4. Origem <i>DEE/DEL</i>	Programa <i>SDA/SISMAG</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>PAINEL COMPUTADOR ASTRO P PROJETO SISMAG</i>			
7. C.D.U.: <i>681.322:621.38</i>			
8. Título <i>PAINEL DO COMPUTADOR ASTROP (PROJETO SISMAG) VERSÃO I</i>		10. Páginas: <i>80</i>	
		11. Última página: <i>H.1</i>	
9. Autoria <i>Almir Cavalcanti Lemos Filho</i>		12. Revisada por  <i>Ricardo C.O. Martins</i>	
Assinatura responsável 		13. Autorizada por  <i>Nelson de Jesus Parada Diretor</i>	
14. Resumo/Notas <p><i>Este manual contém as informações necessárias para a construção e manutenção do Painel do Computador ASTROP (desenvolvido no Projeto SISMAG pelo Grupo/Programa de Sistemas Digitais e Analógicos). Faz-se uma descrição funcional detalhada das partes que compõem o Painel, incluindo o processador microprogramado nele residente. No final são apresentados como documentação suplementar os desenhos relacionados ao "hardware", "firmware", partes mecânicas e placa de circuito impresso, além de tabelas contendo a Lista de Material e Listagem das Ligações.</i></p>			
15. Observações			

ABSTRACT

This manual contains the necessary information for the construction and maintenance of the ASTROP Computer's Panel (developed in the Group/Program of Digital and Analog Systems - SISMAG Project). A detailed functional description of the Panel parts is done, including the microprogrammed processor resident in it. At the en of the manual, as additional documentation, the drawings related to the hardware, firmware, machanical parts and the printed board, beyond the tables containing the Parts List and Interconection List, are presented.

SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS	v
LISTA DE TABELAS	vi
<u>CAPÍTULO 1 - INTRODUÇÃO</u>	1
<u>CAPÍTULO 2 - DESCRIÇÃO FUNCIONAL DO PAINEL</u>	3
2.1 - Circuitos de Reset	3
2.1.1 - Reset pelo Painel	3
2.1.2 - Reset por programa	4
2.1.3 - Reset por "power-up"	4
2.2 - Indicadores de sinais e "flags" internos da UCP	4
2.3 - Controle sobre o estado "RUN"/"HALT" da UCP	6
2.4 - Processador de Painel - Descrição funcional	7
2.4.1 - Protocolo entre UCP e Painel	8
2.4.1.1 - "Hardware" envolvido	8
2.4.1.2 - Comando "execute uma instrução"	11
2.4.1.3 - Comando "escreva"	12
2.4.1.4 - Comando "leia"	12
2.4.2 - Execução de programas passo a passo	12
2.4.3 - Acesso aos registros internos e à Memória	13
2.4.3.1 - Situação 1: UCP no estado de "RUN"	16
2.4.3.2 - Situação 2: UCP no estado de "HALT"	16
<u>CAPÍTULO 3 - PROCESSADOR DO PAINEL - "HARDWARE" CONTROLADO</u>	19
3.1 - Chaves de entrada de dados/endereço	19
3.2 - Seleção do significado das chaves 15-00	20
3.3 - Codificador das chaves 15-00	20
3.4 - Gerador de configuração PC	21
3.5 - Registro RER	21

	<u>Pág.</u>
3.6 - Lógica de decodificação e "display" <i>ENDEREÇO/REGISTRO</i>	22
3.7 - Controle fonte do barramento BPN e MUX	29
3.8 - Controle destino do barramento BPN	29
3.9 - Registro RID e "display" <i>DADO/INSTRUÇÃO</i>	30
<u>CAPÍTULO 4 - PROCESSADOR DO PAINEL - UNIDADE DE CONTROLE</u>	31
4.1 - A Unidade de Controle	31
4.2 - Palavra de microcontrole	34
4.2.1 - Campo 1: controle do sequenciador	34
4.2.2 - Campo 2: controle do registro RER	34
4.2.3 - Campo 3: controle do barramento BPN15-ØØ	34
4.2.4 - Campo 4: miscelânea	34
4.2.5 - Campo 5: endereço para "jump"	36
4.3 - Microprograma do Processador do Painel	40
<u>CAPÍTULO 5 - DOCUMENTAÇÃO SUPLEMENTAR</u>	41
APÊNDICE A - DESCRIÇÃO DOS PINOS DOS CONECTORES	
APÊNDICE B - DESENHOS - "FIRMWARE"	
APÊNDICE C - DESENHOS - "HARDWARE"	
APÊNDICE D - DESENHOS - PARTE MECÂNICA	
APÊNDICE E - LISTA DE MATERIAL	
APÊNDICE F - LISTAGEM DAS LIGAÇÕES DE "WIRE-WRAPPING"	
APÊNDICE G - PLACA DE CIRCUITO IMPRESSO	
APÊNDICE H - CABO ENTRE UCP E PAINEL	

LISTA DE FIGURAS

	<u>Pág.</u>
2.1 - Circuitos localizados na UCP, envolvidos na conversação entre UCP e Painel	9
2.2 - Formas de onda do comando "Execute uma instrução" (PNEXEC)	13
2.3 - Formas de onda do comando "Escreva" (PNESC)	14
2.4 - Formas de onda do comando "Leia" (PNLEIA)	15
3.1 - Bit destino no registro RER das chaves 15-00 quando $E/\bar{D} = "1"$, e $\overline{RG} = "1"$ (a) ou $\overline{RG} = "0"$ (b)	21
3.2 - "Display" <i>ENDEREÇO/REGISTRO</i> com a respectiva ordem de numeração	22
4.1 - Unidade de controle do Processador do painel	33
4.2 - Palavra de microcontrole do processador do painel	35
4.3 - Representação de microinstruções: (a) JUMP CONDICIONAL, (b) JUMP ou CONTINUE	40

LISTA DE TABELAS

	<u>Pág.</u>
2.1 - Comandos enviados do painel para a UCP	10
2.2 - Significado do conteúdo dos registros RIP e RER	11
3.1 - Chaves de seleção e conteúdo das chaves 15-00	20
3.2 - Controle do registro RER	22
3.3 - Caractere hexadecimal no "display" <i>ENDEREÇO/REGISTRO</i> (# 8) em função do conteúdo do registro RER	23
3.4 - Caractere hexadecimal no "display" <i>ENDEREÇO/REGISTRO</i> (# 7) em função do conteúdo do registro RER	24
3.5 - Caractere hexadecimal no "display" <i>ENDEREÇO/REGISTRO</i> (# 6) em função do conteúdo do registro RER	25
3.6 - Caractere hexadecimal no "display" <i>ENDEREÇO/REGISTRO</i> (# 5) em função do conteúdo do registro RER	27
3.7 - Conteúdo da PROM - PNL # 4	28
3.8 - Controle fonte do barramento BPN	29
3.9 - Controle destino do barramento BPN	29
4.1 - "Flags" usados pelo processador do painel	31
4.2 - Sinal selecionado pelo multiplexador	32
4.3 - Comandos enviados do painel para a UCP (bits de microcontro le)	36
4.4 - Campo 1: microoperações de controle do sequenciador	37
4.5 - Campo 2: microoperações de controle do registro RER	38
4.6 - Campo 3: microoperações de controle de transferência de da dos pelo barramento BPN	39

...

CAPÍTULO 1

INTRODUÇÃO

Este manual contém os dados para a construção e manutenção do Painel do Computador ASTROP ⁽¹⁾. As informações que dizem respeito somente à operação do Painel estão em manual específico: MANUAL DE OPERAÇÃO DO PAINEL DO COMPUTADOR ASTROP, a ser publicado.

Todos os controles e indicadores necessários para a operação do ASTROP estão localizados no Painel, que:

- a) Gera sinais de Reset para todo o ASTROP.
- b) Controla o estado "RUN"/"HALT" da Unidade Central de Processamento do ASTROP (UCP).
- c) Mostra sinais e "flags" internos da UCP.
- d) Permite o acesso aos registros internos da UCP e à Memória do ASTROP.
- e) Implementa a execução de programas passo a passo.

As funções (a), (b) e (c) são realizadas somente com "hardware". Já as funções (d) e (e) são implementadas com um processador (Processador do Painel) que envolvem "hardware" e "firmware".

Os desenhos referenciados no texto encontram-se nos Apêndices B, C, D e H.

(1) ASTROP - Computador microprogramado de 16 bits desenvolvido no Projeto SISMAG pelo Grupo/Programa de Sistemas Digitais e Analógicos do INPE.

...

CAPÍTULO 2

DESCRIÇÃO FUNCIONAL DO PAINEL

O Painel do ASTROP está dividido funcionalmente em 4 grandes partes (Desenho C.1 - SDA-811202):

- 1) Circuitos de "Reset".
- 2) Indicadores de sinais e "flags" internos da UCP.
- 3) Controles sobre o estado "RUN"/"HALT" da UCP.
- 4) Processador do Painel.

2.1 - CIRCUITOS DE RESET

Os Circuitos de Reset geram os sinais de Reset para o Painel (RSTPNL), o controlador de E/S (FRSTE/S) e a UCP (FRESET). Esses sinais podem ser ativados:

- a) por atuação sobre os controles específicos localizados no Painel;
- b) por execução da instrução RESET;
- c) quando os circuitos do ASTROP são energizados ("Power-up").

2.1.1 - RESET PELO PAINEL

No canto superior direito do Painel (Desenho D.1 - SDA-811205) encontram-se a chave *RESET BLOQ.* e os "pushbuttons" *RESET UCP* e *RESET CTR E/S*.

Se a chave estiver na posição "PARA BAIXO", os efeitos dos dois "pushbuttons" sobre os circuitos de Reset estarão bloqueados e o LED *RESET BLOQ.* acenderá indicando esta condição.

Com a chave na posição "PARA CIMA", o LED *RESET BLOQ.* ficará apagado, e, ao ser acionado o "pushbutton" *RESET UCP*, o sinal *RESET* ficará ativo durante 1 segundo, gerando os sinais de Reset para o Painel, controlador de E/S e UCP e acendendo os LEDs *RESET UCP* e *RESET CTR E/S*. Se o "pushbutton" acionado for *RESET CTR E/S*, somente será gerado Reset para o controlador de E/S, enquanto o "pushbutton" estiver pressionado. Neste caso, só o LED *RESET CTR E/S* acenderá.

2.1.2 - RESET POR PROGRAMA

Na execução da instrução *RESET*, a UCP envia para o Painel o pulso $\overline{\text{BRESET}}$, que leva o "Gerador de *RESET* por Programa" a ativar o sinal $\overline{\text{RSTPROG}}$ por 15 milissegundos e causa a ativação do sinal *RESET* por 1 segundo, acarretando os efeitos já descritos na Seção 2.1.1.

2.1.3 - RESET POR POWER-UP

Quando a fonte de + 5,0 volts do *ASTROP* é ligada e os circuitos do Painel são energidos, os circuitos de Reset mantêm o sinal *RESET* ativo por 1 segundo, ocasionando os efeitos já descritos na Seção 2.1.1.

2.2 - INDICADORES DE SINAIS E "FLAGS" INTERNOS DA UCP

Os indicadores de sinais e "flags" internos da UCP, importantes para a operação e manutenção do *ASTROP*, estão localizados no centro do Painel (Desenho D.1 - SDA-811205). Da esquerda para a direita aparecem os seguintes conjuntos de LEDs:

- a) *CONTROLE: UCP/PAINEL* - indica se a UCP está executando programas (estado de "RUN", LED *UCP* aceso e LED *PAINEL* apagado), ou se ela está parada (estado de "HALT", LED *UCP* apagado e LED *PAINEL* aceso), aguardando ou executando comandos de controle entrados pelo Painel. O controle sobre o estado "RUN"/"HALT" da UCP é discutido na Seção 2.3.

- b) *BASIS: UCP/ADM* - mostram o estado do sinal BLIV do BASIS (Barramento do Sistema ASTROP), gerado pelo Controlador de E/S e enviado para o Painel com o nome UCP/ADM.

Se o sinal BLIV estiver ativo, ou seja, se o Controlador de E/S liberou o BASIS para que algum Periférico realize acesso direto à Memória (ADM), o LED *UCP* estará apagado e o LED *ADM* aceso. Caso contrário, em que o "mestre" do BASIS é o Controlador de E/S da UCP, o LED *UCP* acenderá enquanto o LED *ADM* ficará apagado.

- c) *ESP. INT.* - permanecerá aceso somente quando a UCP estiver executando a instrução WAIT (espera interrupção). O sinal $\overline{\text{BESPINT}}$ leva esta informação para o Painel.
- d) *PED. INT.* - mostra o "flag" interno $\overline{\text{RINT}}$ da UCP, que a UCI (Unidade de Controle de Interrupção) envia para a UC μ P (Unidade de Controle de Microprograma). O "flag" $\overline{\text{RINT}}$ é ativado se existir algum pedido de interrupção pendente a ser atendido pela UCP. Para sinalizar esta situação, o sinal $\overline{\text{BRINT}}$ é ativado acendendo o LED *PED. INT.* no Painel.
- e) *CONTROLADOR E/S: TIMEOUT/PAL. IMPAR/ERRO PARID.* - mostram os três "flags" do Controlador de E/S enviados para a UC μ P (Unidade de Controle de Microprograma) após cada operação de E/S realizada.

Se a Memória não responder em tempo hábil aos sinais do Controlador de E/S, o "flag" FTMT (enviado para o Painel com o nome TMT) será ativado e o LED *TIMEOUT* acenderá.

Se ocorrer tentativa de acessar uma palavra de Memória por meio de endereço ímpar, o "flag" FPIMP (enviado para o Painel com o nome PIMP) ficará ativado e o Led *PAL. IMPAR* acenderá.

Caso haja erro de paridade na leitura de uma posição da Memória, o "flag" $\overline{\text{FPER}}$ (enviado para o Painel com o nome $\overline{\text{PARER}}$) é ativado e o LED *ERRO PARID.* acende.

- f) *REL. UCP* - mostra o relógio da UCP (levado para o Painel com o nome $\overline{\text{PREL}}$). Se este LED apagar, será uma indicação de que o relógio está bloqueado.
- g) *EST. PROIB. E/S* - indica que o Controlador de E/S se encontra bloqueado devido a falha de "hardware", tendo entrado em um "estado proibido". Essa informação vai para o Painel pelo sinal $\overline{\text{ESTPB}}$.

2.3 - CONTROLES SOBRE O ESTADO "RUN"/"HALT" DA UCP

A UCP do ASTROP pode se encontrar em dois estados básicos: executando instruções de programas ("RUN") ou parada ("HALT"). Quem comanda a UCP para passar de um estado a outro é o sinal $\overline{\text{HLTINT}}$, enviado do Painel para a UCP da UCP, gerado pelo "Flip-Flop" HLT/RUN localizado no Painel.

As chaves, LEDs e "pushbuttons", mencionados nesta seção, encontram-se na parte superior do Painel (Desenho D.1 - SDA-811205).

Sempre que o ASTROP for "*RESETADO*" (Seção 2.1), o F/F HLT/RUN desativará o sinal $\overline{\text{HLTINT}}$ comandando a UCP a ficar no estado de "RUN".

O F/F HLT/RUN ativará o sinal $\overline{\text{HLTINT}}$ forçando a UCP a ir para o estado de "HALT", dos seguintes modos:

- a) com o acionamento do "pushbutton" *PARE*, estando a chave *MODO PAINEL* na posição "LIVRE", o que gera o pulso PARE com o sinal $\overline{\text{BLOQ}} = "1"$;

- b) sob o comando de um programa pela execução da instrução HALT, que resulta no envio do pulso \overline{RHLT} para o Painel.

A desativação do sinal \overline{HLTINT} que obriga a UCP a retornar para o estado "RUN", sem se considerar os efeitos do Reset, só pode ser feita por meio do Painel, com o acionamento do "pushbutton" EXECUTE e as chaves PASSO A PASSO/LIVRE e MODO PAINEL ambas na posição "LIVRE", o que gera o pulso EXEC com os sinais $\overline{BLOQ} = 1$ e $\overline{SSTP} = 1$.

O F/F HLT/RUN apenas comanda a UCP a entrar nos estados de "RUN" ou "HALT", por meio do sinal \overline{HLTINT} . A indicação de em qual dos dois estados a UCP realmente se encontra está no sinal RUN/HLT. Este sinal é enviado da UCP para o Painel, onde é mostrado nas LEDs CONTROLE: UCP/PAINEL (Seção 2.2 e utilizado como "flag" pelo Processador do Painel (Capítulo 4).

2.4 - PROCESSADOR DO PAINEL - DESCRIÇÃO FUNCIONAL

A implementação das seguintes funções do Painel:

- a) execução de programas passo a passo,
- b) acesso aos registros internos e à Memória,

exigem um certo grau de processamento. Para aliviar o trabalho da UCP e reduzir o número de fios entre a UCP e o Painel, os controles relacionados com as funções acima, que juntamente com os indicadores se encontram na metade inferior do Painel (Desenho D.1 - SDA-811205), são supervisionados por um processador microprogramado (Processador do Painel).

O Processador do Painel possui dois registros, cujos conteúdos são mostrados em dois conjuntos de "displays" hexadecimais:

- 1) Registro RER que armazena o endereço de um registro interno da UCP, ou da Memória (Seção 3.5).

- 2) Registro RID que armazena uma cópia do dado contido no endereço apontado por RER.

Com a UCP no estado de "RUN" (sinal $\overline{\text{RUN/HLT}} = "1"$), o Processador do Painel fica no estado "busca PC" (LED *PAINEL OK* apagado) para que seja mostrado no Painel do ASTRO o conteúdo desse registro in terno da UCP (Seção 2.4.3.1).

Ao entrar no estado de "HAL" (sinal $\overline{\text{RUN/HLT}} = "\emptyset"$), a UCP passa a ser "escrava" do Processador do Painel e fica no estado "espera comando do Painel", enquanto o Processador do Painel vai para o estado de "supervisão dos controles" (LED *PAINEL OK* aceso), onde ele de codifica os controles estrados pelo Painel, e através de um pequeno pro cessamento e do envio de comandos, dados e endereços para a UCP e da busca de dados na UCP executa a sequência de ações necessárias para rea lizar funções descritas no início desta seção.

Antes do detalhamento dessas ações convém observar o Pro tocolo entre UCP e Painel.

2.4.1 - PROTOCOLO ENTRE UCP E PAINEL

2.4.1.1 - "HARDWARE" ENVOLVIDO

Na conversação entre UCP e Painel, tomam parte (veja Fi gura 2.1).

- a) Um barramento bidirecional (BPN15-00) por onde são enviados da dos, comandos e endereços do Painel para a UCP e dados no sen tido contrário. O Processador do Painel é quem determina o con teúdo deste barramento.
- b) Dois sinais ($\overline{\text{LER/ESC}}$ e SSTP) que são a palavra de comando que o Processador do Painel envia para a UCP (Tabela 2.1). O comando é armazenado em dois F/Fs na UCP.

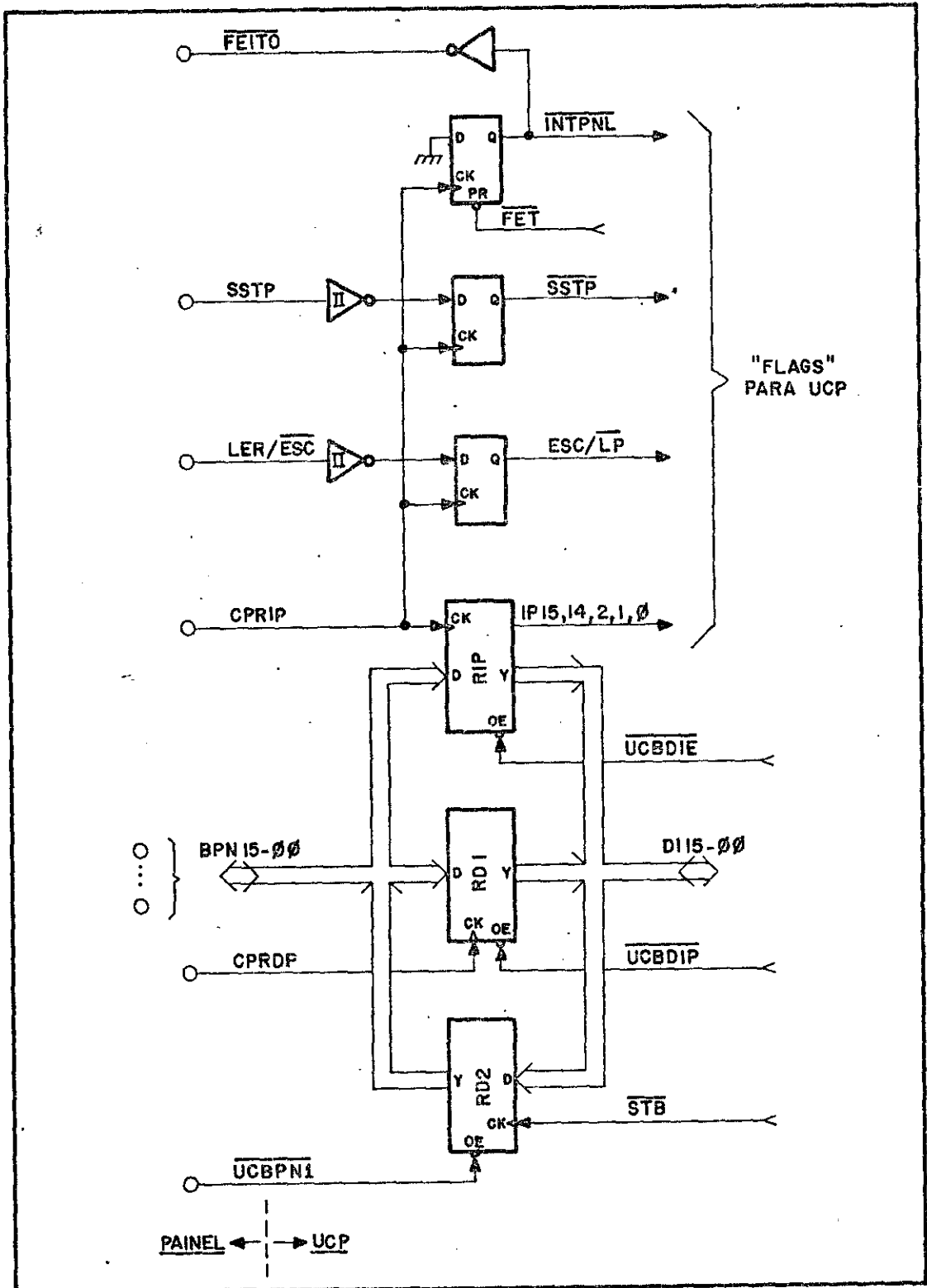


Fig. 2.1 - Circuitos localizados na UCP, envolvidos na conversação entre UCP e Painel.

TABELA 2.1

COMANDOS ENVIADOS DO PAINEL PARA A UCP

LER/ESC	SSTP	COMANDO	MNEMÔNICO
0	0	Escreva	PNESC
1	0	Leia	PNLEIA
0	1	Execute uma instru <u>ção</u>	PNEXEC
1	1	Comando inválido	-

- c) Três registros de 16 bits localizados na UCP: o registro RD1, no qual o Processador do Painel armazena os dados enviados do Painel para a UCP; o registro RD2, onde a UCP armazena os dados a serem enviados da UCP para o Painel; e o registro RIP, onde o Processador do Painel coloca os endereços codificados (Tabela 2.2) dos registros internos da UCP ou da Memória a serem acessados.
- d) Dois sinais de armazenamento: pulso CPRDP que na borda de subida coloca o conteúdo do barramento BPN15-00 no registro RD1, durante uma transferência de dados do Painel para a UCP; e o pulso CPRIP que na borda de subida armazena o conteúdo do Barramento BPN15-00 no registro RIP, armazena a palavra de comando (LER/ESC e SSTP) nos F/Fs que geram os "flags" para a UCP de "Comando do Painel" para ser executado.
- e) O sinal FEITO que a UCP ativa para avisar ao Processador do Painel o término da execução de um comando anteriormente transferido.
- f) O sinal UCBPN1 que coloca no barramento BPN15-00 o conteúdo do registro RD2. Este sinal usado para trazer para o Painel dados da UCP.

TABELA 2.2

SIGNIFICADO DO CONTEÚDO DOS REGISTROS RIP E RER

RIP/RER								SIGNIFICADO
15	14	13	...	E03	E02	E01	E00	
Ø	E15	E14	...	E04	E03	E02	E01	Endereço de Memória (*)
1	Ø	X	...	X	Ø	Ø	Ø	Registro RA (**)
1	Ø	X	...	X	Ø	Ø	1	Registro RB (**)
1	Ø	X	...	X	Ø	1	Ø	Registro RC (**)
1	Ø	X	...	X	Ø	1	1	Registro RD (**)
1	Ø	X	...	X	1	Ø	Ø	Registro RE (**)
1	Ø	X	...	X	1	Ø	1	Registro RF (**)
1	Ø	X	...	X	1	1	Ø	Registro SP (**)
1	Ø	X	...	X	1	1	1	Registro PC (**)
1	1	X	...	X	X	Ø	Ø	Registro PSW (**)
1	1	X	...	X	X	Ø	1	Registro LP (**)
1	1	X	...	X	X	1	Ø	Registro MK (**)
1	1	X	...	X	X	1	1	Registro REM (**)

(*) E15 - E01 são os 15 bits mais significativos de um endereço de Memória par.

(**) Registro interno da UCP/ASTROP.

Obs.: X - irrelevante.

2.4.1.2 - COMANDO "EXECUTE UMA INSTRUÇÃO"

Serve para a execução de programas passo a passo sob controle do Painel. Inicialmente (veja Figura 2.2) o Processamento do Painel envia o comando PNEEXEC (Tabela 2.1) para UCP que, após reconhecer o "flag" INTPNL ativo, executa completamente uma instrução, baixa o sinal FEITO e retorna ao estado "espera comando do Painel".

2.4.1.3 - COMANDO "ESCREVA"

É a maneira pela qual o Processador do Painel comanda a escrita em um registro interno da UCP ou na Memória.

O Processador do Painel (Figura 2.3) envia para a UCP primeiro o dado para o registro RD1, e a seguir o endereço codificado (Tabela 2.2), onde o dado deve ser armazenado para o registro RIP juntamente com o comando PNESC (Tabela 2.1). A UCP após reconhecer o "flag" INTPNL ativado, transfere o dado para o endereço especificado, ativa o sinal FEITO e retorna para o estado "espera comando do Painel".

2.4.1.4 - COMANDO "LEIA"

Com este comando, o Processador do Painel interroga a UCP sobre o conteúdo dos registros internos ou de posições da Memória.

Junto com o comando PNLEIA (Tabela 2.1), o Processador do Painel envia o endereço codificado (Tabela 2.2) para o registro RIP. Após reconhecer o "flag" INTPNL ativo, a UCP busca e coloca o dado no registro RD2, baixa o sinal FEITO e retorna para o estado "espera comando do Painel". O Processador do Painel traz então para o Painel o dado acessado. As formas de onda estão na Figura 2.4.

2.4.2 - EXECUÇÃO DE PROGRAMAS PASSO A PASSO

Com a UCP no estado de "HALT", a execução de programas passo a passo é feita pelo acionamento do "pushbutton" *EXECUTE*, estando a chave *PASSO A PASSO/LIVRE* na posição "PASSO A PASSO" e a chave *MODO PAINEL* na posição "LIVRE", o que ativa o "flag" *PASSO A PASSO* (FSSTP). Uma vez que o Processador do Painel reconheça este "flag", ele envia para a UCP o comando PNEXEC (Seção 2.4.1.2) e aguarda a ativação do sinal FEITO, retornando a seguir para o estado de "supervisão dos controles". O "flag" FSSTP só será reconhecido se o LED *PAI NEL OK* estiver aceso.

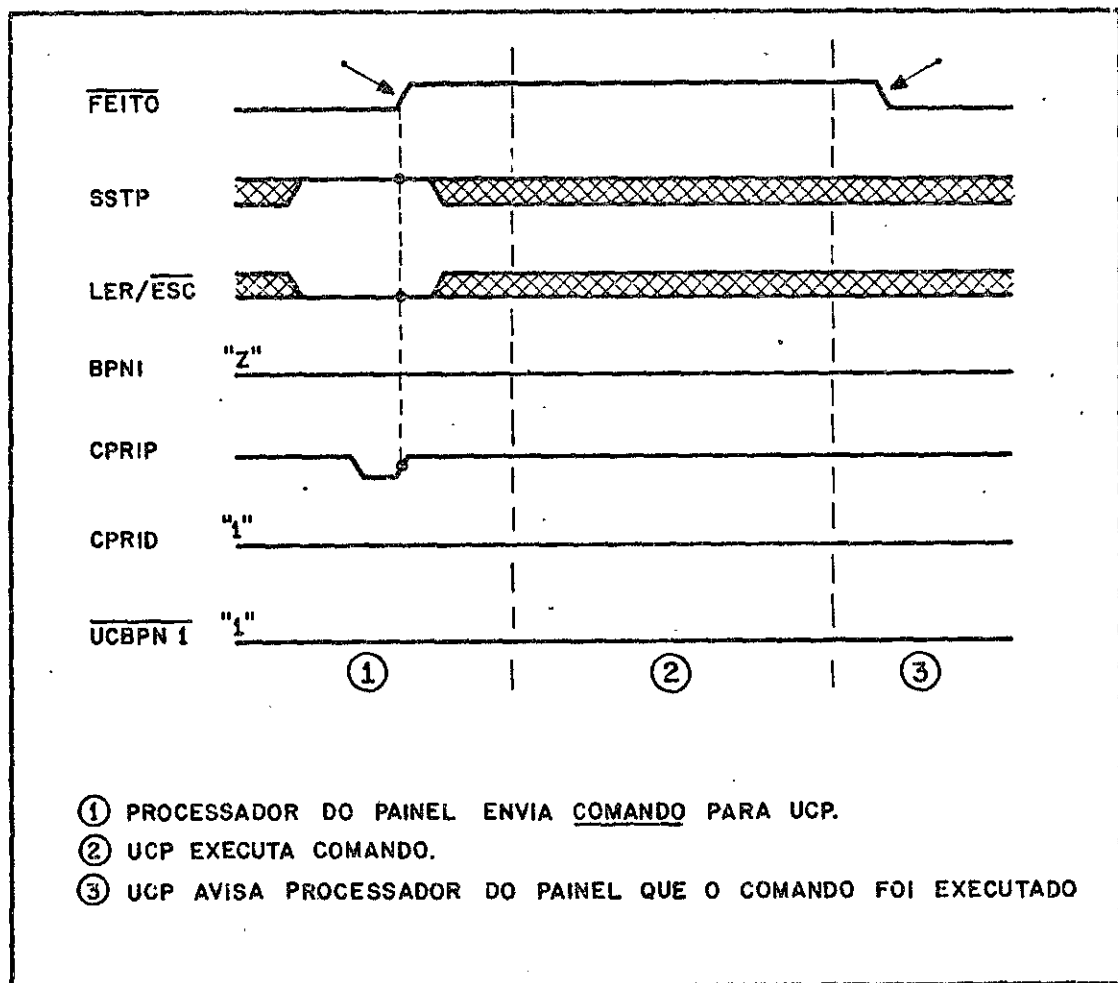


Fig. 2.2 - Formas de onda do comando "Execute uma instrução" (PNEXEC).

2.4.3 - ACESSO AOS REGISTROS INTERNOS E À MEMÓRIA

A implementação dessa função pelo Processador do Painel gira em torno de seus dois registros de trabalho:

- 1) registro RER que sempre armazena um endereço codificado (Tabela 2.2);
- 2) registro RID que armazena uma cópia do dado contido no endereço apontado por RER.

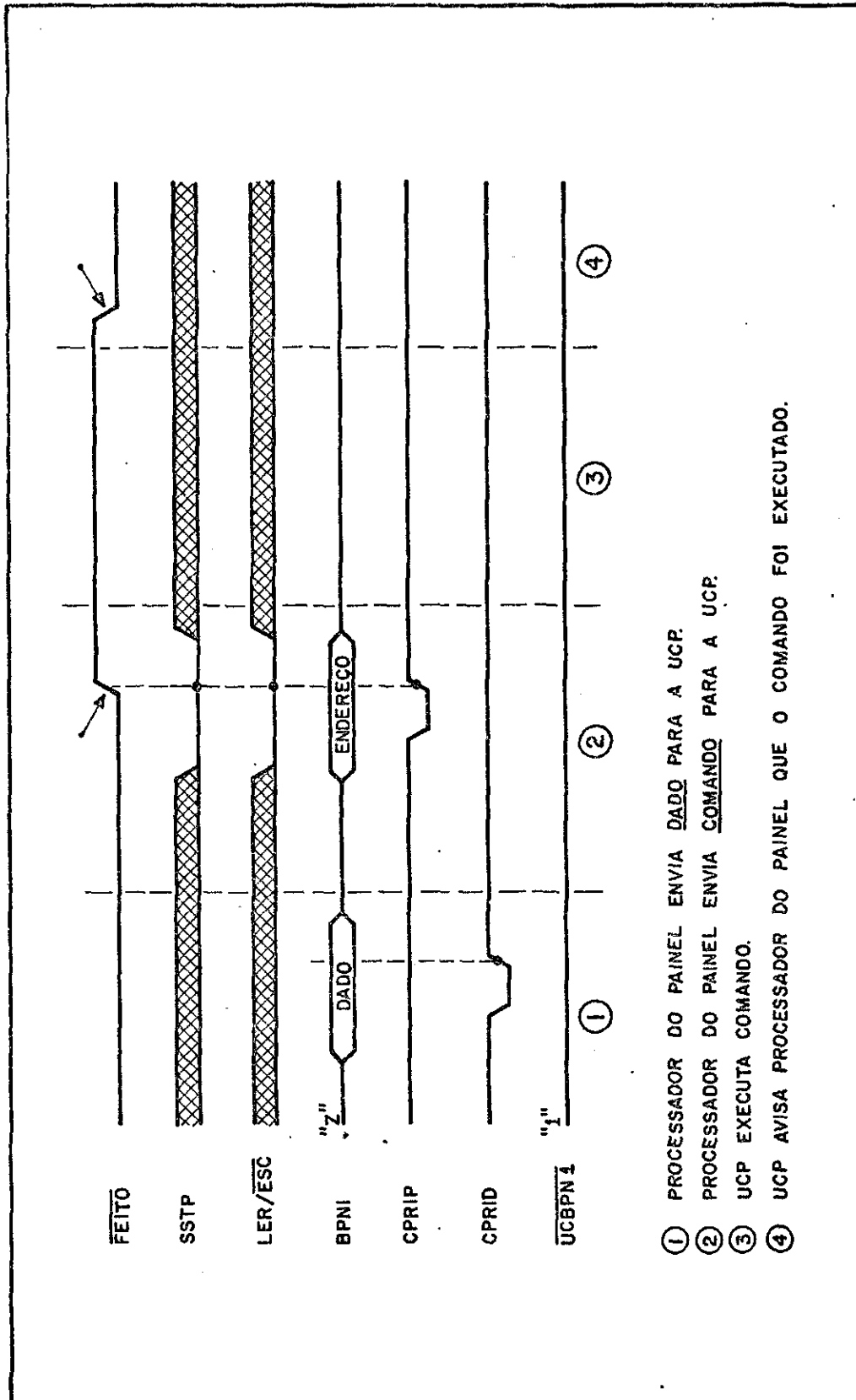


Fig. 2.3 - Formas de onda do comando "Escreva" (PNESC).

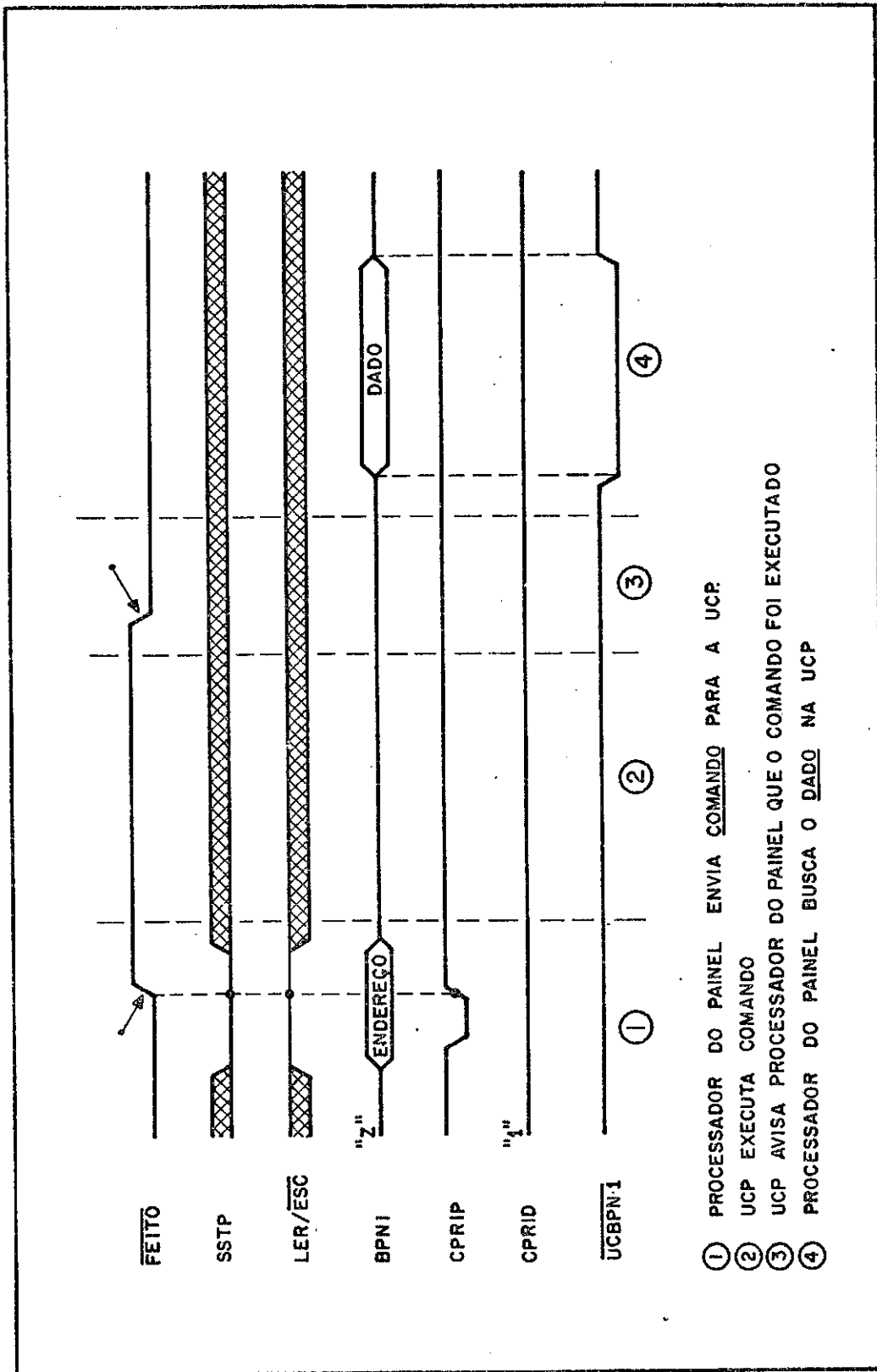


Fig. 2.4 - Formas de onda do comando "Leia" (PNLEIA).

Os conteúdos desses dois registros são mostrados em dois grupos de 4 "displays" hexadecimais existentes no Painel. O registro RID no "display" *DADO/INSTRUÇÃO*, o registro RER no "display" *ENDEREÇO/REGISTRO*.

2.4.3.1 - SITUAÇÃO 1: UCP NO ESTADO DE "RUN"

No estado de "RUN", a UCP está sempre colocando uma cópia do registro PC no registro RD2 (Figura 2.1), enquanto o Processador do Painel no estado "busca PC" fica armazenado no registro RER a configuração de bits correspondente ao endereço do registro PC e trazendo para o registro RID o conteúdo do registro RD2. Assim é mostrado no Painel do ASTROP o conteúdo do registro PC durante a execução de programas pela UCP (estado de "RUN").

2.4.3.2 - SITUAÇÃO 2: UCP NO ESTADO DE "HALT"

No estado de "HALT", a UCP fica esperando comandos do Painel, enquanto o Processador do Painel supervisiona os controles existentes no Painel. Analogamente à Seção 2.4.2, os "flags" resultantes do acionamento dos controles do Painel só serão reconhecidos se o LED *PAINEL OK* estiver aceso.

1) - INCREMENTE

Se o "pushbutton" *INCREMENTE* for acionado com a chave *MODO PAINEL* na posição "LIVRE" e a chave *ARMAZENE RÁPIDO* na posição "BLOQ.", o "flag" INCREMENTE (FINR) será ativado. Sendo este "flag" reconhecido pelo Processador do Painel, ele incrementa de um o conteúdo do registro RER, envia este novo conteúdo para o registro RIP e o comando PNLEIA (Seção 2.4.1.4) para a UCP, e fica esperando a ativação do sinal *FEITO*, após o que traz o dado do registro RD2 para o registro RID, retornando para supervisionar os controles.

2) - DECREMENTE

Com o acionamento de "pushbutton" *DECREMENTE*, estando a chave *MODO PAINEL* na posição "LIVRE" e a chave *ARMAZENE RÁPIDO* na posição "BLOQ.", o "flag" DECREM (FDCR) é ativado. Com o reconhecimento desse "flag" pelo Processador do Painel, ele executa ações idênticas às do item (1), só que inicialmente o conteúdo do registro RER decrementado de um.

3) - ARMAZENE

Estando a chave *MODO PAINEL* na posição "LIVRE" e a chave *ARMAZENE RÁPIDO* na posição "BLOQ.", o acionamento do "pushbutton" *ARMAZENE* ativa o "flag" ARMAZ (FARMZ) que, após ser reconhecido pelo Processador do Painel, o faz realizar algumas ações que dependem da posição da chave *REGISTRO/ENDEREÇO/DADO-INSTR.* Se esta chave estiver na posição "DADO/INSTR." é porque deseja-se armazenar o conteúdo das chaves 15-00 no registro interno da UCP, ou na posição de Memória endereçada pelo registro RER. Para isso, o Processador do Painel envia o conteúdo das chaves 15-00 para o registro RD1. A seguir, junto com o comando PNESC (Seção 2.4.1.3) para a UCP, transfere o endereço do registro para o registro RER para o registro RIP, e espera a ativação do sinal $\overline{\text{FEITO}}$. Quando isso ocorrer (fim do ciclo de escrita), o Processador do Painel envia o comando PNLEIA (Seção 2.4.1.4) juntamente com o endereço do registro RIP, e espera a ativação do sinal $\overline{\text{FEITO}}$, para transferir o dado de RD2 para RID, retornando para supervisionar os controles. Observe que o dado mostrado no "display" *DADO/INSTRUÇÃO*, após um ciclo de armazenamento de dado ou instrução, é o eco do que realmente foi escrito, e não o conteúdo das chaves 15-00 diretamente.

Se a chave *REGISTRO/ENDEREÇO/DADO-INSTR.* estiver na posição "ENDEREÇO", é porque deseja-se observar o conteúdo da posição de Memória indicado pelas chaves 15-00. O Processador do Painel armazena então este endereço, devidamente codificado (Tabela 2.2) no registro

RER, envia este novo conteúdo do registro RER para o registro RIP junto com o comando PNLEIA (Seção 2.4.1.4), e aguarda a ativação do sinal FEITO pela UCP, após o que transfere o dado do registro RD2 para o registro RID, e volta ao estado de supervisão dos controles.

Com a chave *REGISTRO/ENDEREÇO/DADO-INSTR.* na posição "REGISTRO", tudo se passa de forma idêntica ao parágrafo anterior, só que as chaves 15-00 indicam um registro interno da UCP.

4) - ARMAZENE RÁPIDO

Enquanto o "pushbutton" *ARMAZENE RÁPIDO* estiver sendo pressionado com as chaves *ARMAZENE RÁPIDO* e *MODO PAINEL* ambas na posição "LIVRE", o "flag" *CARREGA RÁPIDO (CRGRP)* fica ativo e o Processador do Painel executa continuamente as ações de incrementar o conteúdo do registro RER e armazenar nesse novo endereço o conteúdo das chaves 15-00 por meio de comandos PNESC (Seção 2.4.1.3) para a UCP.

CAPÍTULO 3

PROCESSADOR DO PAINEL - "HARDWARE" CONTROLADO

Na Seção 2.4 foram descritas as funções implementadas no Painel. Uma boa parte delas é realizada por meio de um processador, o Processador do Painel, que pode ser dividido em duas partes:

- 1) O circuito controlado que é todo o "hardware" necessário para o processador executar as suas funções: meios de armazenamento de dados (memórias, registros, "flip-flops", etc.), vias de dados por onde flui a informação dentro do processador, lógica combinacional, etc.
- 2) A Unidade de Controle que gera os sinais para todo o "hardware" do processador em uma sequência, de forma a realizar as funções exigidas do processador. Se a Unidade de Controle for microprogramada, essa sequência de sinais é gerada por um microprograma armazenado em algum meio não destrutivo (ROM, PROM, PLA, etc.).

Neste capítulo é descrito o "hardware" controlado do Processador do Painel. A Unidade de Controle e o respectivo microprograma são assuntos do capítulo seguinte. O texto a seguir deve ser lido observando-se o diagrama de blocos do painel (Desenho C.1 - SDA-811202).

3.1 - CHAVES DE ENTRADA DE DADOS/ENDEREÇO

São 16 chaves de 2 pólos x 2 posições (referenciadas como chaves 15-00) usadas para entrar com dados e endereços de registros internos da UCP, ou de posições de Memória (item (3) da Seção 2.4.3.2). Cada chave possui um LED associado que mostra o bit gerado: se "0" (LED apagado) ou "1" (LED aceso).

3.2 - SELEÇÃO DO SIGNIFICADO DAS CHAVES 15-00

A chave de 2 pólos x 3 posições que seleciona o conteúdo das chaves 15-00, fornecendo dois sinais: E/\bar{D} que é um "flag" para a Unidade de Controle, e $\bar{R}\bar{G}$ que vai para o Codificador das Chaves (veja Tabela 3.1).

3.3 - CODIFICADOR DAS CHAVES 15-00

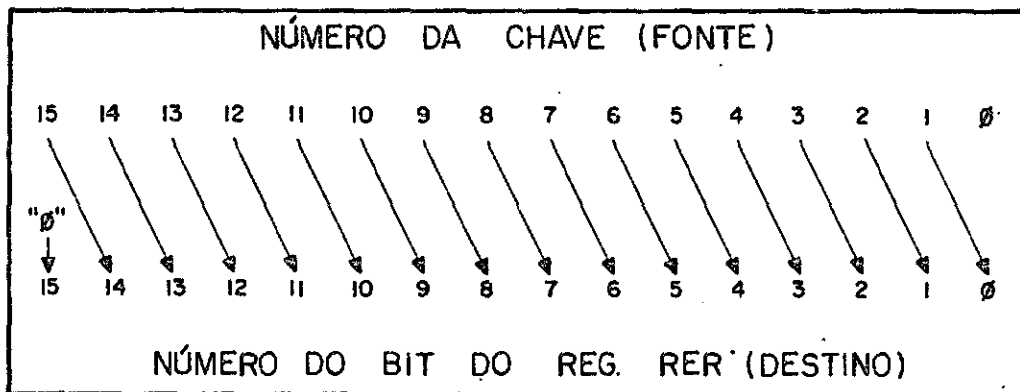
Quando as chaves 15-00 significarem endereço ($E/\bar{D} = "1"$), este codificador transforma os 16 sinais oriundos das chaves, de acordo com o Protocolo entre UCP e Painel (Tabela 2.2), antes de o endereço ser armazenado no registro RER (Veja Figura 3.1).

TABELA 3.1

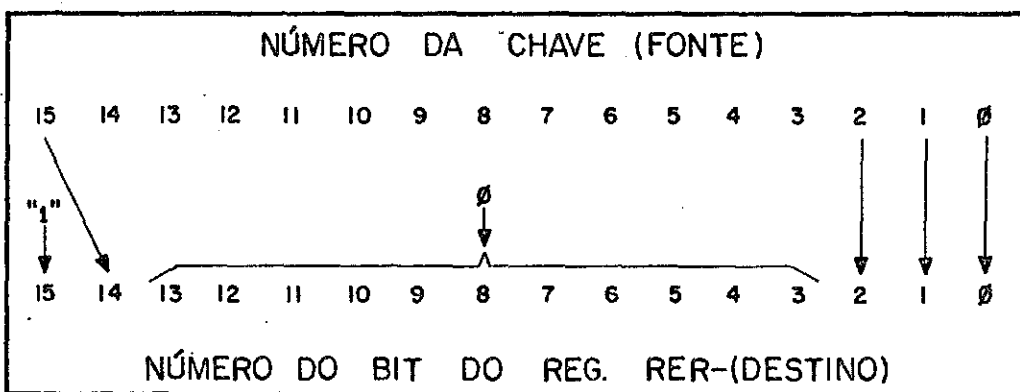
CHAVE DE SELEÇÃO E CONTEÚDO DAS CHAVES 15-00

POSIÇÃO DA CHAVE DE SELEÇÃO	$\bar{R}\bar{G}$	E/\bar{D}	SIGNIFICADO DAS CHAVES 15-00	
"REGISTRO"	0	1	Endereço de um registro interno da UCP	
			Número da chave 15 14 --- 3 2 1 0	Registro
			0 X --- X 0 0 0	Registro RA
			0 X --- X 0 0 1	Registro RB
			0 X --- X 0 1 0	Registro RC
			0 X --- X 0 1 1	Registro RD
			0 X --- X 1 0 0	Registro RE
			0 X --- X 1 0 1	Registro RF
			0 X --- X 1 1 0	Registro SP
			0 X --- X 1 1 1	Registro PC
			1 X --- X X 0 0	Registro PSW
			1 X --- X X 0 1	Registro LP
			1 X --- X X 1 0	Registro MK
			1 X --- X X 1 1	Registro REM
"ENDEREÇO"	1	1	16 bits de endereço de uma posição de Memória par. Portanto, o sinal gerado pela chave 00 é ignorado.	
"DADO/INSTR."	1	0	16 bits de dado a ser armazenado em um registro interno da UCP ou na Memória.	

Obs.: X - irrelevante



(a)



(b)

Fig. 3.1 - Bit destino no registro RER das chaves 15-00, quando $E/\bar{D} = "1"$, e $RG = "1"$ (a) ou $RG = "0"$ (b).

3.4 - GERADOR DE CONFIGURAÇÃO PC

Quando o sinal \$RSTP é ativado, o Gerador de Configuração PC coloca na entrada do registro RER o endereço codificado correspondente ao registro PC da UCP (Tabela 2.2) 8007_{HEX}.

3.5 - REGISTRO RER

Armazena um endereço codificado (Tabela 2.2) de acordo com o Protocolo entre UCP e Painel (Seção 2.4.1). É implementado com um contador "up/down" de 16 bits, controlado pelos bits de microcontroler $\overline{\$LOAD}$, $\overline{\$COUNT}$, $\overline{\$DOWN/UP}$ e \$RSTP. (Tabela 3.2).

TABELA 3.2

CONTROLE DO REGISTRO RER

$\overline{\$LOAD}$	$\$RSTP$	$\overline{\$COUNT}$	$\$DOWN/\overline{UP}$	CONTEÚDO DO REGISTRO RER APÓS A SUBIDA DO RELÓGIO
1	X	1	X	Inalterado
1	X	0	0	Incrementado de um
1	X	0	1	Decrementado de um
0	0	1	X	Endereço vindo das chaves 15-00
0	1	1	X	Endereço do "Registro PC"

Obs.: X - irrelevante

3.6 - LÓGICA DE DECODIFICAÇÃO E "DISPLAY" ENDEREÇO/REGISTRO

Para que o endereço contido no registro RER seja mostrado no "display" *ENDEREÇO/REGISTRO* (Figura 3.2), é necessário que ele sofra uma codificação. Se o bit mais significativo do registro RER for "0" (endereço de uma posição de Memória), então deve aparecer no "display" o conteúdo do registro RER deslocado para a esquerda, de um bit. Se for "1" (endereço de um registro interno da UCP), os três "displays" mais à esquerda (#8, #7 e #6 ficam apagados, e o "display" da direita (#5 deve apresentar um caractere alfanumérico entre dois pontos acesos.

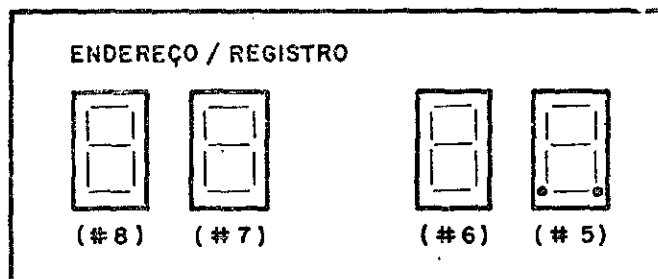


Fig. 3.2 - "Display" *ENDEREÇO/REGISTRO* com a respectiva ordem de numeração.

TABELA 3.3

CARACTERE HEXADECIMAL NO "DISPLAY" ENDEREÇO/REGISTRO (# 8)
EM FUNÇÃO DO CONTEÚDO DO REGISTRO RER

RER							DISPLAY # 8					
15	14	13	12	11	10	... 00	D	C	B	A	BLK	CARAC. HEX
0	0	0	0	0	X	... X	0	0	0	0	0	0
0	0	0	0	1	X	... X	0	0	0	1	0	1
0	0	0	1	0	X	... X	0	0	1	0	0	2
0	0	0	1	1	X	... X	0	0	1	1	0	3
0	0	1	0	0	X	... X	0	1	0	0	0	4
0	0	1	0	1	X	... X	0	1	0	1	0	5
0	0	1	1	0	X	... X	0	1	1	0	0	6
0	0	1	1	1	X	... X	0	1	1	1	0	7
0	1	0	0	0	X	... X	1	0	0	0	0	8
0	1	0	0	1	X	... X	1	0	0	1	0	9
0	1	0	1	0	X	... X	1	0	1	0	0	A
0	1	0	1	1	X	... X	1	0	1	1	0	B
0	1	1	0	0	X	... X	1	1	0	0	0	C
0	1	1	0	1	X	... X	1	1	0	1	0	D
0	1	1	1	0	X	... X	1	1	1	0	0	E
0	1	1	1	1	X	... X	1	1	1	1	0	F
1	X	X	X	X	X	... X	X	X	X	X	1	apagado

Obs.: X - irrelevante

TABELA 3.4

CARACTERE HEXADECIMAL NO "DISPLAY" ENDEREÇO/REGISTRO (# 7)
EM FUNÇÃO DO CONTEÚDO DO REGISTRO RER

RER										DISPLAY # 7						
15	14	...	11	10	09	08	07	06	...	00	D	C	B	A	BLK	CARAC. HEX
0	X	...	X	0	0	0	0	X	...	X	0	0	0	0	0	0
0	X	...	X	0	0	0	1	X	...	X	0	0	0	1	0	1
0	X	...	X	0	0	1	0	X	...	X	0	0	1	0	0	2
0	X	...	X	0	0	1	1	X	...	X	0	0	1	1	0	3
0	X	...	X	0	1	0	0	X	...	X	0	1	0	0	0	4
0	X	...	X	0	1	0	1	X	...	X	0	1	0	1	0	5
0	X	...	X	0	1	1	0	X	...	X	0	1	1	0	0	6
0	X	...	X	0	1	1	1	X	...	X	0	1	1	1	0	7
0	X	...	X	1	0	0	0	X	...	X	1	0	0	0	0	8
0	X	...	X	1	0	0	1	X	...	X	1	0	0	1	0	9
0	X	...	X	1	0	1	0	X	...	X	1	0	1	0	0	A
0	X	...	X	1	0	1	1	X	...	X	1	0	1	1	0	B
0	X	...	X	1	1	0	0	X	...	X	1	1	0	0	0	C
0	X	...	X	1	1	0	1	X	...	X	1	1	0	1	0	D
0	X	...	X	1	1	1	0	X	...	X	1	1	1	0	0	E
0	X	...	X	1	1	1	1	X	...	X	1	1	1	1	0	F
1	X	...	X	X	X	X	X	X	...	X	X	X	X	X	1	apagado

Obs.: X - irrelevante

TABELA 3.5

CARACTERE HEXADECIMAL NO "DISPLAY" ENDEREÇO/REGISTRO (# 6)
EM FUNÇÃO DO CONTEÚDO DO REGISTRO RER

RER										DISPLAY # 6						
15	14	...	07	06	05	04	03	02	...	00	D	C	B	A	BLK	CARAC. HEX
0	X	...	X	0	0	0	0	X	...	X	0	0	0	0	0	0
0	X	...	X	0	0	0	1	X	...	X	0	0	0	1	0	1
0	X	...	X	0	0	1	0	X	...	X	0	0	1	0	0	2
0	X	...	X	0	0	1	1	X	...	X	0	0	1	1	0	3
0	X	...	X	0	1	0	0	X	...	X	0	1	0	0	0	4
0	X	...	X	0	1	0	1	X	...	X	0	1	0	1	0	5
0	X	...	X	0	1	1	0	X	...	X	0	1	1	0	0	6
0	X	...	X	0	1	1	1	X	...	X	0	1	1	1	0	7
0	X	...	X	1	0	0	0	X	...	X	1	0	0	0	0	8
0	X	...	X	1	0	0	1	X	...	X	1	0	0	1	0	9
0	X	...	X	1	0	1	0	X	...	X	1	0	1	0	0	A
0	X	...	X	1	0	1	1	X	...	X	1	0	1	1	0	B
0	X	...	X	1	1	0	0	X	...	X	1	1	0	0	0	C
0	X	...	X	1	1	0	1	X	...	X	1	1	0	1	0	D
0	X	...	X	1	1	1	0	X	...	X	1	1	1	0	0	E
0	X	...	X	1	1	1	1	X	...	X	1	1	1	1	0	F
1	X	...	X	X	X	X	X	X	...	X	X	X	X	X	1	apagado

Obs.: X - irrelevante

Nas Tabelas 3.3 a 3.6 estão os sinais que devem ser aplicados nos "displays" # 8 a # 5 em função do conteúdo do registro RER. Dessas Tabelas vem:

$D(\# 8) = RER14$, $C(\# 8) = RER13$, $B(\# 8) = RER12$, $A(\# 8) = RER11$;

$D(\# 7) = RER1\emptyset$, $C(\# 7) = RER\emptyset9$, $B(\# 7) = RER\emptyset8$, $A(\# 7) = RER\emptyset7$;

$D(\# 6) = RER\emptyset6$, $C(\# 6) = RER\emptyset5$, $B(\# 6) = RER\emptyset4$, $A(\# 6) = RER\emptyset3$;

$BLK = RER15$.

Para o "display" # 5 (Tabela 3.6), se $RER15 = \emptyset$ então:

$D(\# 5) = RER\emptyset2$, $C(\# 5) = RER\emptyset1$, $B(\# 5) = RER\emptyset\emptyset$, $A(\# 5) = \emptyset$.

Entretanto, se $RER15 = 1$, as equações lógicas para o "display" # 5 ficam complicadas e, por isso geradas com a PROM-PNL # 4, cujo conteúdo, baseado na Tabela 3.6, se encontra na Tabela 3.7.

Da Tabela 3.6 vem ainda que $\overline{PONTD} = \overline{RER15}$.

TABELA 3.6

CARACTERE HEXADECIMAL NO "DISPLAY" ENDEREÇO/REGISTRO (# 5)
EM FUNÇÃO DO CONTEÚDO DO REGISTRO RER

RER								DISPLAY # 5					
15	14	13	...	03	02	01	00	D	C	B	A	PONTO	CARAC. HEX
∅	X	X	...	X	∅	∅	∅	∅	∅	∅	∅	1	∅
∅	X	X	...	X	∅	∅	1	∅	∅	1	∅	1	2
∅	X	X	...	X	∅	1	∅	∅	1	∅	∅	1	4
∅	X	X	...	X	∅	1	1	∅	1	1	∅	1	6
∅	X	X	...	X	1	∅	∅	1	∅	∅	∅	1	8
∅	X	X	...	X	1	∅	1	1	∅	1	∅	1	A
∅	X	X	...	X	1	1	∅	1	1	∅	∅	1	C
∅	X	X	...	X	1	1	1	1	1	1	∅	1	E
1	∅	X	...	X	∅	∅	∅	1	∅	1	∅	∅	. A .
1	∅	X	...	X	∅	∅	1	1	∅	1	1	∅	. B .
1	∅	X	...	X	∅	1	∅	1	1	∅	∅	∅	. C .
1	∅	X	...	X	∅	1	1	1	1	∅	1	∅	. D .
1	∅	X	...	X	1	∅	∅	1	1	1	∅	∅	. E .
1	∅	X	...	X	1	∅	1	1	1	1	1	∅	. F .
1	∅	X	...	X	1	1	∅	∅	∅	∅	∅	∅	. ∅ .
1	∅	X	...	X	1	1	1	∅	∅	∅	1	∅	. 1 .
1	1	X	...	X	X	∅	∅	∅	∅	1	∅	∅	. 2 .
1	1	X	...	X	X	∅	1	∅	∅	1	1	∅	. 3 .
1	1	X	...	X	X	1	∅	∅	1	∅	∅	∅	. 4 .
1	1	X	...	X	X	1	1	∅	1	∅	1	∅	. 5 .

Obs.: X - irrelevante

TABELA 3.7

CONTEÚDO DA PROM - PNL # 4

ENTRADAS					SAÍDAS								HEX
(*)	RER				(**)				RR				
	14	02	01	00					3	2	1	0	
E	D	C	B	A	D8	D7	D6	D5	D4	D3	D2	D1	
1	0	0	0	0	0	0	0	0	1	0	1	0	0A
1	0	0	0	1	0	0	0	0	1	0	1	1	0B
1	0	0	1	0	0	0	0	0	1	1	0	0	0C
1	0	0	1	1	0	0	0	0	1	1	0	1	0D
1	0	1	0	0	0	0	0	0	1	1	1	0	0E
1	0	1	0	1	0	0	0	0	1	1	1	1	0F
1	0	1	1	0	0	0	0	0	0	0	0	0	00
1	0	1	1	1	0	0	0	0	0	0	0	1	01
1	1	0	0	0	0	0	0	0	0	0	1	0	02
1	1	0	0	1	0	0	0	0	0	0	1	1	03
1	1	0	1	0	0	0	0	0	0	1	0	0	04
1	1	0	1	1	0	0	0	0	0	1	0	1	05
1	1	1	0	0	0	0	0	0	0	0	1	0	02
1	1	1	0	1	0	0	0	0	0	0	1	1	03
1	1	1	1	0	0	0	0	0	0	1	0	0	04
1	1	1	1	1	0	0	0	0	0	1	0	1	05

(*) O bit de entrada mais significativo deve ser preso em "1".

(**) S \bar{o} é utilizada a metade dos bits de saída.

Obs.: X - irrelevante

3.7 - CONTROLE FONTE DO BARRAMENTO BPN E MUX

Determina a informação presente no barramento BPN15- $\emptyset\emptyset$ (Seção 2.4.1.1 a). É controlado pelos sinais $\overline{\$EBPN}$, $\overline{\$UCP/PN}$ e $\$SBPN$ (Tabela 3.8).

TABELA 3.8

CONTROLE FONTE DO BARRAMENTO BPN

$\overline{\$EBPN}$	$\overline{\$UCP/PN}$	$\$SBPN$	SINAL ATIVADO	MESTRE DO BARR.	CONTEÚDO DO BARR.
1	X	X	-	-	"Tri-state"
\emptyset	\emptyset	\emptyset	$\overline{UCBPN\emptyset}$	Painel	Registro RER
0	0	1	$\overline{UCBPN\emptyset}$	Painel	Chaves 15- $\emptyset\emptyset$
0	1	X	$\overline{UCBPN1}$	UCP	Registro RD2

Obs.: X - irrelevante

3.8 - CONTROLE DESTINO DO BARRAMENTO BPN

Sob controle de $\$SDST1-\emptyset$, são gerados os pulsos que armazenam a informação presente no barramento BPN15- $\emptyset\emptyset$, nos registros RD1, RIP e RID (Tabela 3.9).

TABELA 3.9

CONTROLE DESTINO DO BARRAMENTO BPN

$\$SDST1$	$\$SDST\emptyset$	PULSO GERADO	REGISTRO DESTINO
\emptyset	\emptyset	-	Nenhum
\emptyset	1	CPRID	Registro RID
1	0	CPRIP (*)	Registro RIP
1	1	CPRDP	Registro RD1

(*) O pulso CPRIP também carrega o comando enviado do Painel para a UCP (Veja Seções 2.4.1.1 c e d).

3.9 - REGISTRO RID E "DISPLAY" DADO/INSTRUÇÃO

O registro RID guarda uma cópia do dado armazenado no endereço apontado pelo registro RER. O seu conteúdo é mostrado no "display" hexadecimal *DADO/INSTRUÇÃO*.

CAPÍTULO 4

PROCESSADOR DO PAINEL - UNIDADE DE CONTROLE

4.1 - A UNIDADE DE CONTROLE

A Unidade de Controle do Processador do Painel é micro programada e compõe-se de (Figura 4.1):

- a) Um registro de 8 bits que amostra os "flags" usados pelo Processador do Painel (Tabela 4.1), evitando que eles variem, para a Unidade de Controle, dentro de um período de relógio.

TABELA 4.1

"FLAGS" USADOS PELO PROCESSADOR DO PAINEL

"FLAG"	ORIGEM	SIGNIFICADO
FR/H	UCP	Indicação de em qual estado a UCP se encontra: "RUN" ou "HALT" (Seção 2.3)
FSSTP	Chaves do Painel	Solicitação de execução de um programa passo a passo (Seção 2.4.2)
FINR	"	Solicitação para que seja mostrado o conteúdo do próximo endereço (Seção 2.4.3)
FARMZ	"	Solicitação para que seja armazenado um dado ou endereço (Seção 2.4.3)
FDCR	"	Solicitação para que seja mostrado o conteúdo do endereço anterior (Seção 2.4.3)
CRCRP	"	Solicitação para que a Memória e os registros internos da UCP sejam carregados com um dado inicial (Seção 2.4.3)
FESP	UCP	Indica que a UCP ainda não terminou de executar o último comando enviado pelo Painel (Seção 2.4.1)
E/D	Chaves do Painel	Indica se o armazenamento é de dado ou endereço (Seção 2.4.3)

- b) Um Multiplexador 16 x 1 (MUX) que seleciona o sinal a ser aplicado na entrada $\overline{\text{LOAD}}$ do contador ($\overline{\text{JUMP}}$); veja Tabela 4.2.

TABELA 4.2

SINAL SELECIONADO PELO MULTIPLEXADOR

D	C	B	A	SINAL SELECIONADO	D	C	B	A	SINAL SELECIONADO
0	0	0	0	"0"	1	0	0	0	ES
0	0	0	1	"1"	1	0	0	1	$\overline{\text{E/DA}}$
0	0	1	0	R/ $\overline{\text{H}}$	1	0	1	0	Não-utilizado
0	0	1	1	SS	1	0	1	1	" "
0	1	0	0	IN	1	1	0	0	" "
0	1	0	1	AZ	1	1	0	1	" "
0	1	1	0	DC	1	1	1	0	" "
0	1	1	1	CR	1	1	1	1	" "

- c) Um contador de 5 bits funcionando como SEQUENCIADOR de micro instruções. Se o sinal selecionado pelo Multiplexador for "0", o sinal $\overline{\text{JUMP}}$ não é ativado e, na próxima subida do relógio, o contador é incrementado fazendo com que a próxima microinstrução a ser executada seja a seguinte. Caso contrário (sinal selecionado é "1"), o sinal $\overline{\text{JUMP}}$ é ativado e, na subida do relógio, o contador carrega o endereço ($\text{END4}-0$) da próxima microinstrução a ser executada.
- d) Uma memória PROM (32 x 24 bits) onde fica armazenado o micro programa que controla o Processador do Painel.

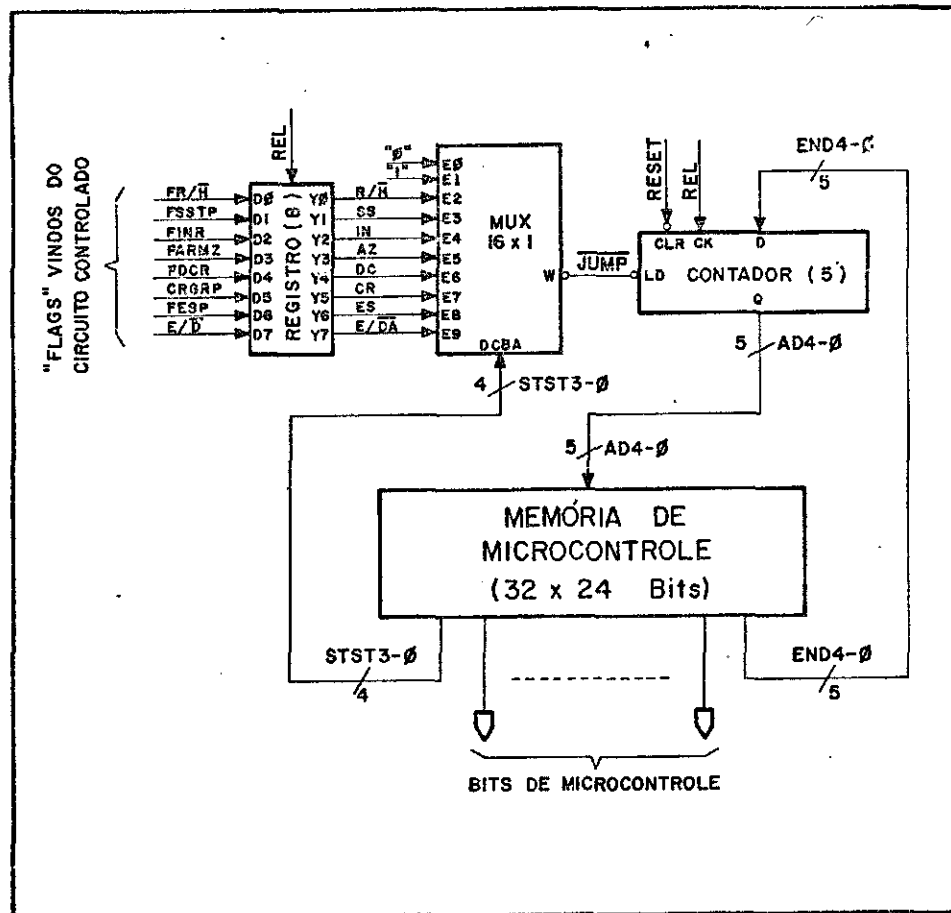


Fig. 4.1 - Unidade de controle do processador do painel.

De acordo com a capacidade do sequenciador, a Unidade de Controle do Processador do Painel é capaz de realizar as seguintes microoperações de controle do fluxo de microprograma:

- a) Se o sinal selecionado pelo MUX for SEMPRE "0" ($\rightarrow \overline{\text{JUMP}} = "1"$), o sequenciador será incrementado, executando a microoperação CONTINUE.
- b) Se o sinal selecionado pelo MUX for SEMPRE "1" ($\rightarrow \overline{\text{JUMP}} = "0"$), o sequenciador será carregado com o endereço END-0, executando a microoperação JUMP (incondicional).
- c) Caso o sinal selecionado seja um "flag", então se ele estiver ativo ("1") é executado um JUMP, caso contrário ("flag" = "0"), é realizado um CONTINUE, caracterizando-se a microoperação JUMP CONDICIONAL.

4.2 - PALAVRA DE MICROCONTROLE

A palavra de microcontrole do Processador do Painel possui 24 bits (Figura 4.2). A formatação é horizontal com pouco grau de codificação, possuindo 5 campos.

4.2.1 - CAMPO 1: CONTROLE DO SEQUENCIADOR

Considerando-se as três microoperações de controle do fluxo do microprograma (Seção 4.1) e os sinais selecionados pelo Multiplexador (Tabela 4.2), estão detalhadas na Tabela 4.4 as 10 microoperações \$STST3-0 e \$END4-0.

4.2.2 - CAMPO 2: CONTROLE DO REGISTRO RER

O registro RER armazena um endereço codificado (Seção 2.4.1.1 a e Tabela 2.2). As microoperações de controle desse registro, baseam-se no exposto na Seção 3.5 e Tabela 3.2, e estão na Tabela 4.5.

4.2.3 - CAMPO 3: CONTROLE DO BARRAMENTO BPN15-00

O barramento BPN15-00 é via de 16 bits existentes entre a UCP e o Painel (ver Seção 2.4.1). O controle fonte deste barramento está descrito na Seção 3.7, e o controle destino na Seção 3.8. Das Tabelas 3.8 e 3.9 é obtido o conjunto de microoperações de controle do barramento BPN15-00 (ver Tabela 4.6).

4.2.4 - CAMPO 4: MISCELÂNEA

Este campo possui 6 bits de microcontrole, sendo que 2 deles não são utilizados.

CAMPO 1	CAMPO 2	CAMPO 3	CAMPO 4	CAMPO 5
CONTROLE DO SEQUENCIADOR	CONTROLE DO REGISTRO RER	CONTROLE DO BARRAMENTO BPN 15-ØØ	MISCELÂNEA	ENDEREÇO PARA JUMP
\$STST 3 2 1 0	\$LOAD \$RSTP \$COUNT \$DOWN/UP	\$UCP/PN \$SBPN \$SDST 1 \$SDST Ø \$EBPN	\$E/L \$SSTP "VAGO" \$RSTFG \$PNOK	\$END 4 3 2 1 0
PROM PNL # 1	PROM PNL # 2	PROM PNL # 3		

Fig. 4.2 - Palavra de microcontrole do processador do painel.

O bits $\overline{\$E/L}$ e $\overline{\$SSTP}$ são a palavra de comando que o Processador do Painel envia para a UCP (Tabela 4.3) e devem estar ativos quando um endereço codificado do registro RER é transferido para o registro RIP. Ver protocolo entre UCP e Painel na Seção 2.4.1.

TABELA 4.3

COMANDOS ENVIADOS DO PAINEL PARA A UCP (BITS E MICROCONTROLE)

$\overline{\$E/L}$	$\overline{\$SSTP}$	COMANDO	MNEMÔNICO
0	0	Comando inválido	-
1	0	Execute uma instrução	CMD.PNEXEC
0	1	Leia	CMD.PNLEIA
1	1	Escreva	CMD.PNESC

O bit $\overline{\$RSTFG}$ desativa os "flags" FDCR, FARMAZ, FINR e $\overline{\$SSTP}$, o que é feito sempre que o Processador do Painel entra ou retorna para o "loop" de supervisão dos controles" (Capítulo 5). O mnemônico para esta microoperação é RESETA.FLAGS.

O bit $\$PNOK$ quando ativado ("1") acende o LED *PAINEL OK* localizado na metade inferior direita do Painel (ver Desenho C.4 - SDA-811205) para indicar que o Processador do Painel está no "loop" de supervisão dos controles, pronto para reconhecer, decodificar e executar as ações referentes ao acionamento dos controles existentes no Painel (Seção 2.4). PNOK é o Mnemônico para esta microoperação.

4.2.5 - CAMPD 5: ENDEREÇO PARA "JUMP"

Quando são executadas as microoperações JUMP ou JUMP CONDICIONAL de controle de fluxo do microprograma, os bits $\$END4-0$ armazenaram o endereço de desvio (Tabela 4.4).

TABELA 4.4

CAMPO 1: MICROOPERÇÕES DE CONTROLE DO SEQUENCIADOR

\$STST	DPCDDE (HEX)	"FLAG" TESTADO	MICROOPERAÇÃO	ENDEREÇO DA PRÓXIMA MICROINSTRUÇÃO	MNEMÔNICO
0 0 0 0	0	"0"	continue	$\mu PC \leftarrow \mu PC + 1$	CONTINUE
0 0 0 1	1	"1"	jump incondicional	$\mu PC \leftarrow \$EN04-0$	JUMP
0 0 1 0	2	R/H	jump condicional a "Run"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } R/H = "0" \\ \$EN04-0 \text{ se } R/H = "1" \end{cases}$	JMP .SE .RUIN
0 0 1 1	3	SS	jump condicional a "Passo a Passo"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } SS = "0" \\ \$EN04-0 \text{ se } SS = "1" \end{cases}$	JMP .SE .PAS .A .PASSO
0 1 0 0	4	IN	jump condicional a "Incremente"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } IN = "0" \\ \$EN04-0 \text{ se } IN = "1" \end{cases}$	JMP .SE .INCREM
0 1 0 1	5	AZ	jump condicional a "Armazene"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } AZ = "0" \\ \$EN04-0 \text{ se } AZ = "1" \end{cases}$	JMP .SE .ARMAZ
0 1 1 0	6	DC	jump condicional a "Decremente"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } DC = "0" \\ \$EN04-0 \text{ se } DC = "1" \end{cases}$	JMP .SE .DECREM
0 1 1 1	7	CR	jump condicional a "Carregue Rápido"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } CR = "0" \\ \$EN04-0 \text{ se } CR = "1" \end{cases}$	JMP .SE .CARG .RAP
1 0 0 0	8	ES	jump condicional a "Espere"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } ES = "0" \\ \$EN04-0 \text{ se } ES = "1" \end{cases}$	JMP .SE .ESPERE
1 0 0 1	9	E/DA	jump condicional a "Endereço"	$\mu PC \leftarrow \begin{cases} \mu PC + 1 \text{ se } E/DA = "0" \\ \$EN04-0 \text{ se } E/DA = "1" \end{cases}$	JMP .SE .ENDER
1 0 1 0 a	A		Não são utilizados (continue)	$\mu PC \leftarrow \mu PC + 1$	—
1 1 1 1	F				

TABELA 4.5

CAMPO 2: MICROOPERAÇÕES DE CONTROLE DO REGISTRO RER

\$LOAD	\$RSTP	\$COUNT	\$DOWN/UP	OPCODE (HEX)	MICROOPERACÃO	PRÓXIMO CONTEÚDO DO REGISTRO RER	MNEMÔNICO
0	0	X	X	0	Carrega conteúdo das chaves 15-00 (*)	RER ← chaves 15-00	CRG.RER.COM.CHAVES
0	1	X	X	4	Carrega configuração de bits correspondente 0 "Registro PC"	RER ← "registro PC"	CRG.RER.COM.REG.PC
1	X	0	0	8	Incrementa	RER ← RER + 1	INCREMENTA.RER
1	X	0	1	9	Decrementa	RER ← RER - 1	DECREMENTA.RER
1	X	1	X	A	Mantém conteúdo inalterado	RER inalterado	NOP.RER

(*) As chaves 15-00 são carregadas no registro RER de forma codificada. Veja Seção 2.4.1.1 e Tabela 2.2.

Obs.: X - irrelevante

TABELA 4.6

CAMPO 3: MICROOPERAÇÕES DE CONTROLE DE TRANSFERÊNCIA DE DADOS PELO BARRAMENTO BPN

\$UCP/PN	\$SBPN	\$DST1	\$DST0	\$EBPN	OPCODE (HEX)	MICROOPERAÇÃO	REGISTRO FONTE/ REGISTRO DESTINO	MNEMÔNICO
X	X	0	0	1	01	Barramento BPN "tri-state" e registros RIP, RD1 e RID inalterados	—	NOP.TRANSF.
0	0	1	0	0	04	Envia endereço contido no registro RER para o registro RIP (*)	RIP ← RER	RER.PARA.RIP
0	1	1	1	0	0E	Envia dados das chaves 15-00 para o registro RD1	RD1 ← chaves 15-00	CHAVES.PARA.RD1
1	X	0	1	0	12	Envia dado do registro RD2 para o registro RID	RID ← RD2	RD2.PARA.RID

(*) Paralelamente é transferido um comando para a UCP.

Obs.: X - irrelevante

4.3 - MICROPROGRAMA DO PROCESSADOR DO PAINEL

No Desenho B.1 - SDA811200 está o fluxograma do microprograma do Processador do Painel, onde são usado dois tipos de representação de microinstruções: o primeiro deles (Figura 4.3 a), para as que testam algum "flag" na determinação do fluxo do microprograma (JUMP CONDICIONAL), e o segundo (Figura 4.3 b), para as que executam a microoperação de controle do sequenciador CONTINUE ou JUMP.

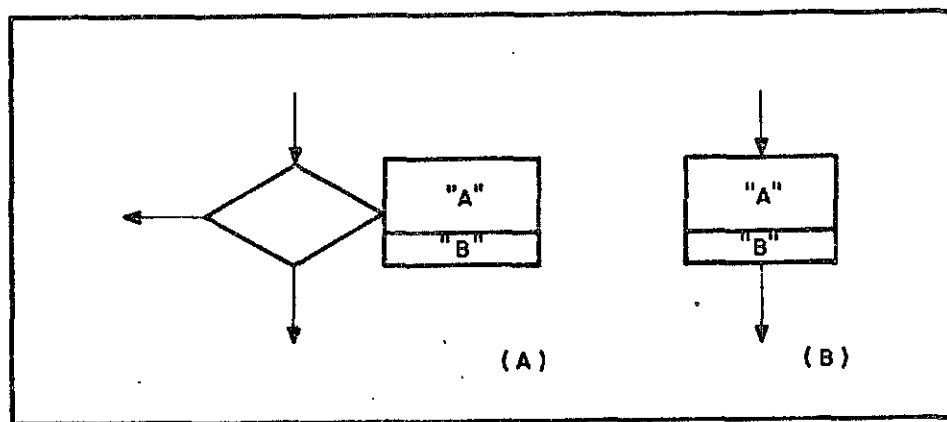


Fig. 4.3 - Representação de microinstruções: (a) JUMP CONDICIONAL, (b) JUMP ou CONTINUE.

Em ambos os casos, na região "A" (Figura 4.3) é feito o comentário sobre as ações realizadas na microinstrução em questão, e na região "B" são colocados os mnemônicos associados às microoperações ativadas (Seção 4.2).

No Desenho B.2 - SDA811201 é apresentado o microprograma traduzido em "0"'s e "1"'s, de acordo com as tabelas de Seção 4.2. Ele é armazenado nas PROMs: PNL#1, PNL#2 e PNL#3.

CAPÍTULO 5

DOCUMENTAÇÃO SUPLEMENTAR

Complementando a descrição funcional dos capítulos anteriores, são apresentados nos apêndices detalhes técnicos do Painel.

No Apêndice A é feita a descrição dos sinais presentes nos pinos de conectores, onde é conectado o cabo que interliga a UCP ao Painel, cabo detalhado no Apêndice H.

No Apêndice B estão o Fluxograma e o Microprograma do Processador do Painel.

No Apêndice C estão todos os Desenhos de "hardware", vindo a seguir uma Lista de Material (Apêndice E) e a Listagem das Ligações da parte de "wire-wrapping" do Painel (Apêndice F).

No Apêndice D são apresentados os Desenhos das partes Mecânicas e no Apêndice H os Desenhos do Circuito Impresso do Painel.





APÊNDICE A

DESCRIÇÃO DOS PINOS DOS CONECTORES

Nas Tabelas A.1 e A.2, a seguir, são descritos os sinais presentes nos pinos dos conectores do Painel.

TABELA A.1

PAINEL - DESCRIÇÃO DOS PINOS DO CONECTOR "A"

REFERÊNCIA NO DESENHO SDA-	NÚMERO DO PINO NO CONEC. "A"	SINAL	ORIGEM (*)	DESCRIÇÃO
A1	1	$\overline{\text{FRESET}}$	PNL	"Reset" para a UCP
A2	14	TFRESET		Terra
A3	2	$\overline{\text{FRSTE/S}}$	PNL	"Reset" para o Controlador E/S
A4	15	TFRSTE/S		Terra
A5	3	$\overline{\text{BRESET}}$	UCP	Comando de "Reset" por programa
A6	16	TBRESET		Terra
A7	4	CPRIP	PNL	Carrega o conteúdo do barr. BPN no reg. RIP, e o comando nos F/Fs
A8	17	TCPRIP		Terra
A9	5	$\overline{\text{PARER}}$	UCP	"Flag" erro de paridade
A10	18	BPN15	UCP/PNL	Barramento UCP/Painel (bit 15)
A11	6	BPN14	"	Barramento UCP/Painel (bit 14)
A12	19	BPN13	"	Barramento UCP/Painel (bit 13)
A13	7	BPN12	"	Barramento UCP/Painel (bit 12)
A14	20	BPN11	"	Barramento UCP/Painel (bit 11)
A15	8	BPN10	"	Barramento UCP/Painel (bit 10)

(continua)

Tabela A.1 - Conclusão

REFERÊNCIA NO DESENHO SDA-	NÚMERO DO PINO NO CONEC. "A"	SINAL	ORIGEM (*)	DESCRIÇÃO
A16	21	BPN09	UCP/PNL	Barramento UCP/Painel (bit 9)
A17	9	BPN08	"	Barramento UCP/Painel (bit 8)
A18	22	BPN07	"	Barramento UCP/Painel (bit 7)
A19	10	BPN06	"	Barramento UCP/Painel (bit 6)
A20	23	BPN05	"	Barramento UCP/Painel (bit 5)
A21	11	BPN04	"	Barramento UCP/Painel (bit 4)
A22	24	BPN03	"	Barramento UCP/Painel (bit 3)
A23	12	BPN02	"	Barramento UCP/Painel (bit 2)
A24	25	BPN01	"	Barramento UCP/Painel (bit 1)
A25	13	BPN00	"	Barramento UCP/Painel (bit 0)

(*) PNL - Painel

UCP - UCP/ASTROP

TABELA A.2

PAINEL - DESCRIÇÃO DOS PINOS DO CONECTOR "B"

REFERÊNCIA ND DESENHO SDA-	NÚMERO DO PINO NO CONEC. "B"	SINAL	ORIGEM (*)	DESCRIÇÃO
B1	13	TMT	UCP	"Flag timeout"
B2	25	PIMP	UCP	"Flag" palavra ímpar
B3	12	SSTP	PNL	Bit de comando para a UCP
B4	24	TSSTP		Terra
B5	11	LER/ $\overline{\text{ESC}}$	PNL	Bit de comando para a UCP
B6	23	TLER/ESC		Terra
B7	10	HLTINT	PNL	Controle do estado "HALT"/ "RUN" da UCP
B8	22	THLTINT		Terra
B9	9	$\overline{\text{RHALT}}$	UCP	Pedido de "HALT" por pro grama
B10	21	TRHALT		Terra
B11	8	RUN/ $\overline{\text{HLT}}$	UCP	Indicação de em qual esta do a UCP está: "HALT" ou "RUN"
B12	20	TRUN/ $\overline{\text{HLT}}$		Terra
B13	7	$\overline{\text{FEITO}}$	UCP	Indica se a UCP já termi nou de executar o último comando enviado pelo Painel
B14	19	TFEITO		Terra
B15	6	-	-	Não-utilizado
B16	18	UCP/ $\overline{\text{ADM}}$	UCP	Indicação de quem é o "Mes tre" do BASIS
B17	5	BESPINT	UCP	Indicação de execução da instrução WAIT
B18	17	$\overline{\text{BRINT}}$	UCP	Indicação de pedido de in terrupção pendente
B19	4	$\overline{\text{ESTPB}}$	UCP	Indicação de estado proibi do do Controlador de E/S
B20	16	$\overline{\text{PREL}}$	UCP	Relógio da UCP

(continua)

Tabela A.2 - Conclusão

REFERÊNCIA NO DESENHO SDA-	NÚMERO DO PINO NO CONEC. "B"	SINAL	ORIGEM (*)	DESCRIÇÃO
B21	3	-	-	Não-utilizado
B22	15	UCBPN1	PNL	Ativa o barr. BPN com o conteúdo do reg. RD2
B23	2	TUCBPN1		Terra
B24	14	CPRDP	PNL	Carrega o conteúdo do barr. BPN no registro RD1
B25	1	TCPRDP		Terra

(*) PNL - Painel

UCP - UCP/ASTROP

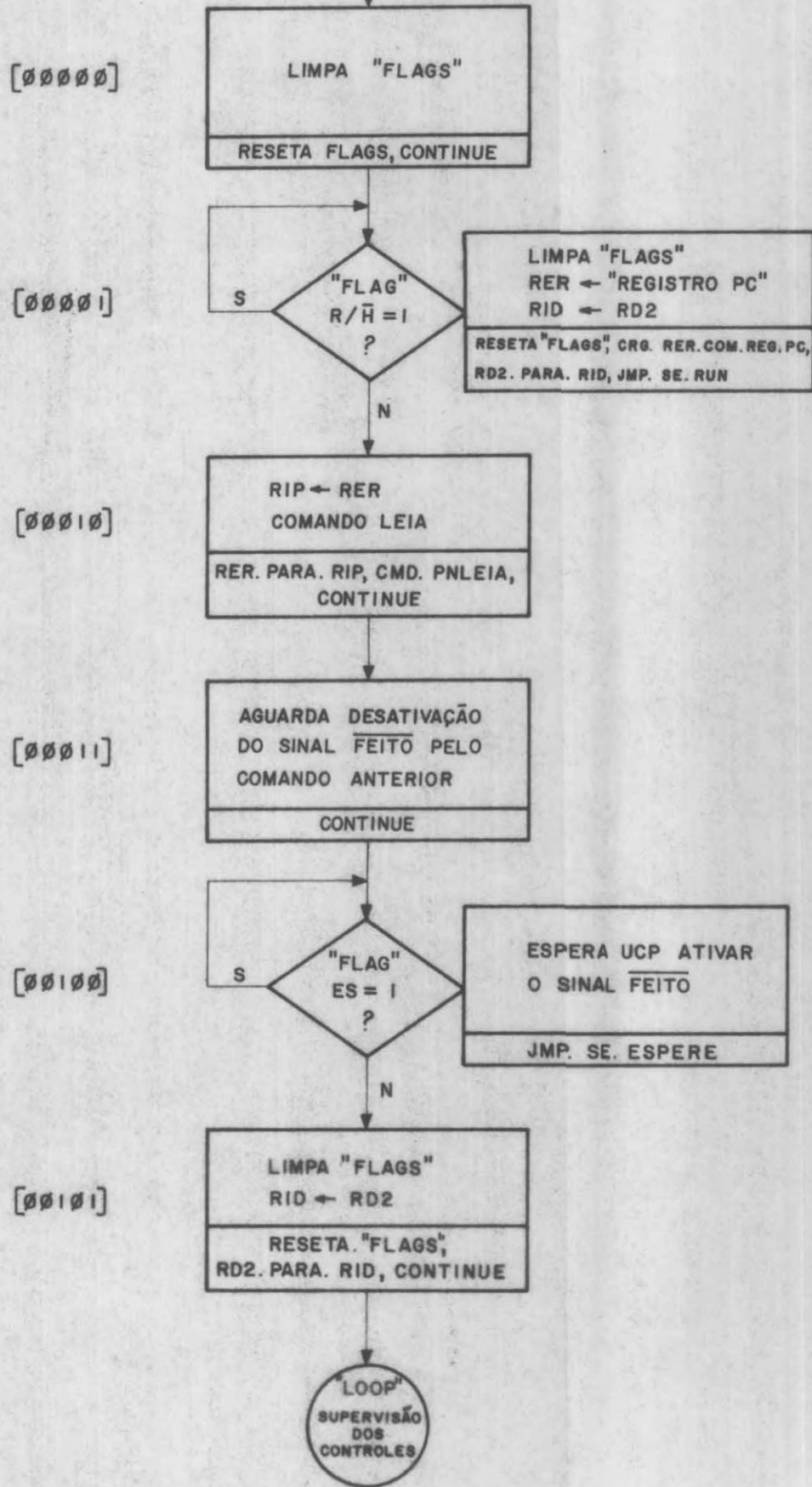
APÊNDICE B

DESENHOS - "FIRMWARE"

- B.1 - Desenho SDA-811200: Processador do Painel - Fluxograma (Compu
tador ASTROP).
- B.2 - Desenho SDA-811201: Processador do Painel - Microprograma (Com
putador ASTROP).

A B C D

"RESET"



[00000]

[00001]

[00010]

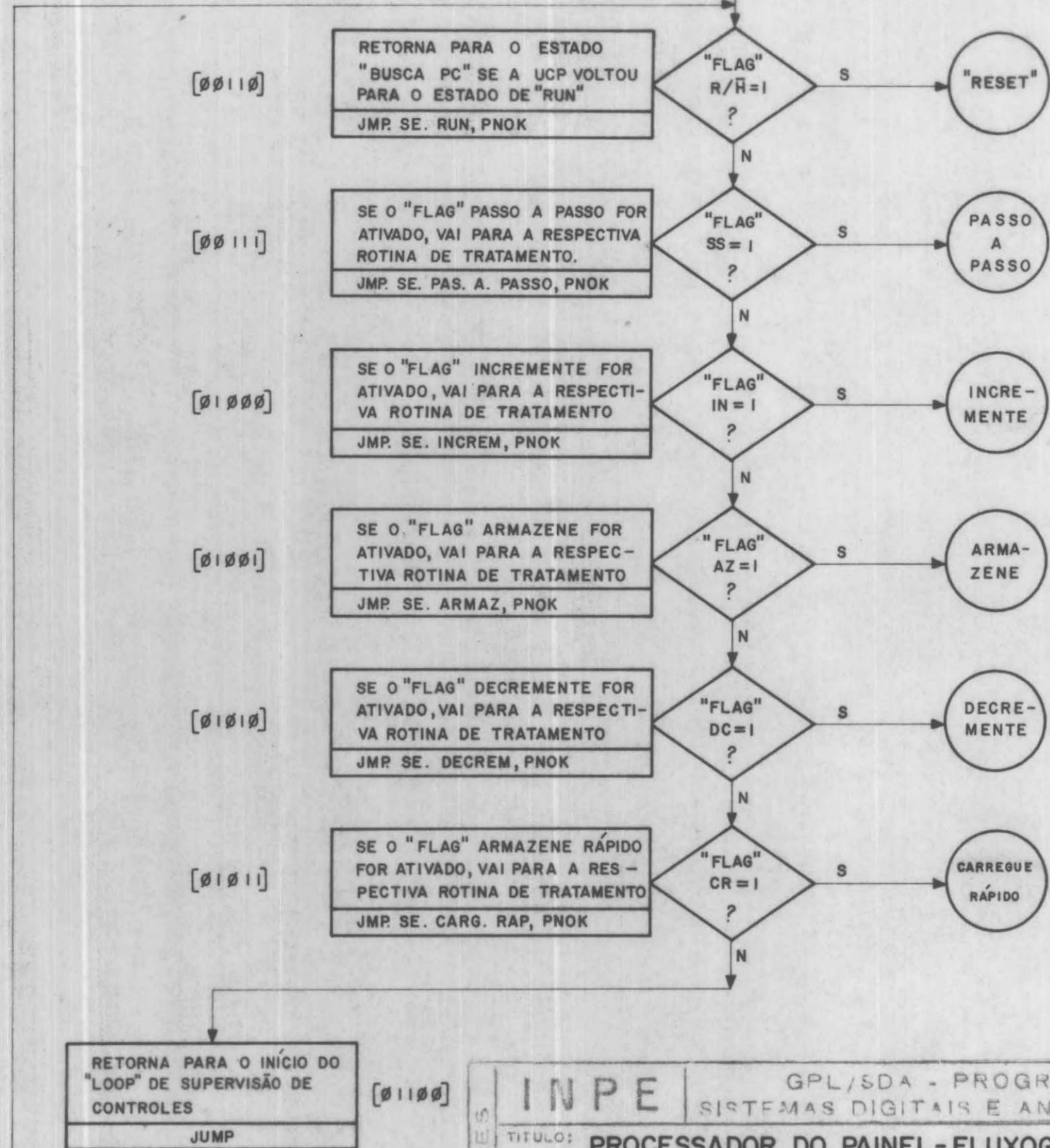
[00011]

[00100]

[00101]

"LOOP"
SUPERVISÃO
DOS
CONTROLES

"LOOP"
SUPERVISÃO
DOS
CONTROLES



[00110]

[00111]

[01000]

[01001]

[01010]

[01011]

[01100]

REVISÕES	INPE		GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALÓGICOS	
	TÍTULO: PROCESSADOR DO PAINEL-FLUXOGRAMA (COMPUTADOR ASTROP)			
	PROJ. ALMIR	APROV.	Des. N.º	
	DATA DEZ/80	DATA	811200	
DES. OCIMAR				
DATA 31/3/82		FOLHA 1 DE 3		

A B C D

A

B

C

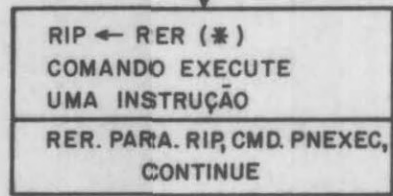
D

1

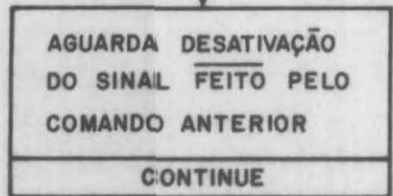
1



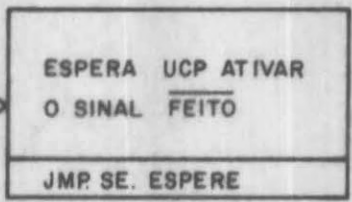
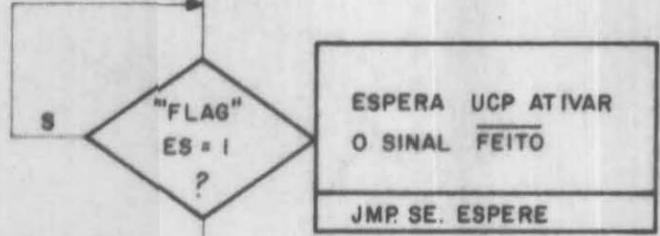
[01101]



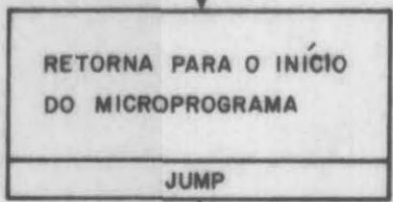
[01110]



[01111]



[10000]



2

2

3

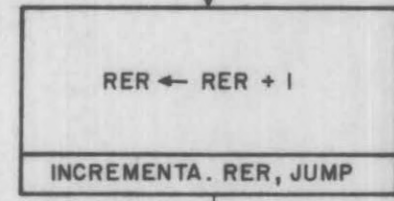
3

4

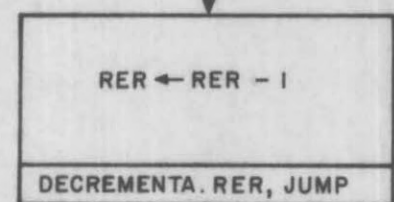
4



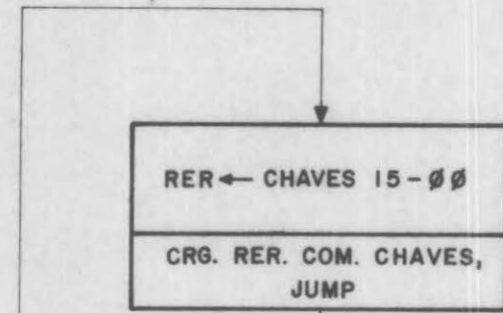
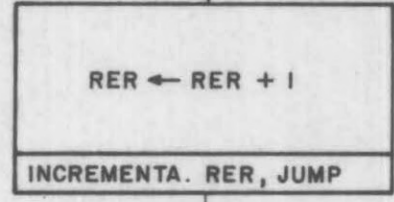
[10001]



[10010]



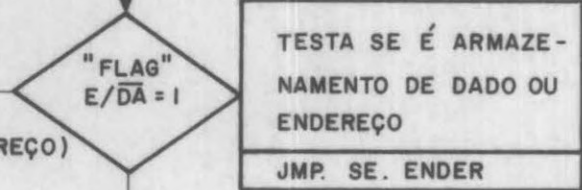
[10011]



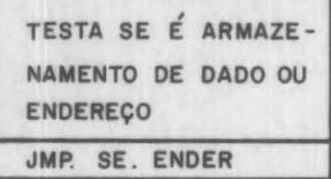
[10100]



[10101]



(É ARMAZENE ENDEREÇO)



N (É ARMAZENE DADO)



REVISÕES	INPE		GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALÓGICOS	
	TÍTULO: PROCESSADOR DO PAINEL-FLUXOGRAMA (COMPUTADOR ASTROP)			
	PROJ. ALMIR	APROV.	Des. N.º	
	DATA DEZ/80	DATA	811200	
DES. OCIMAR				
DATA 31/3/82		FOLHA 2 DE 3		

A

B

C

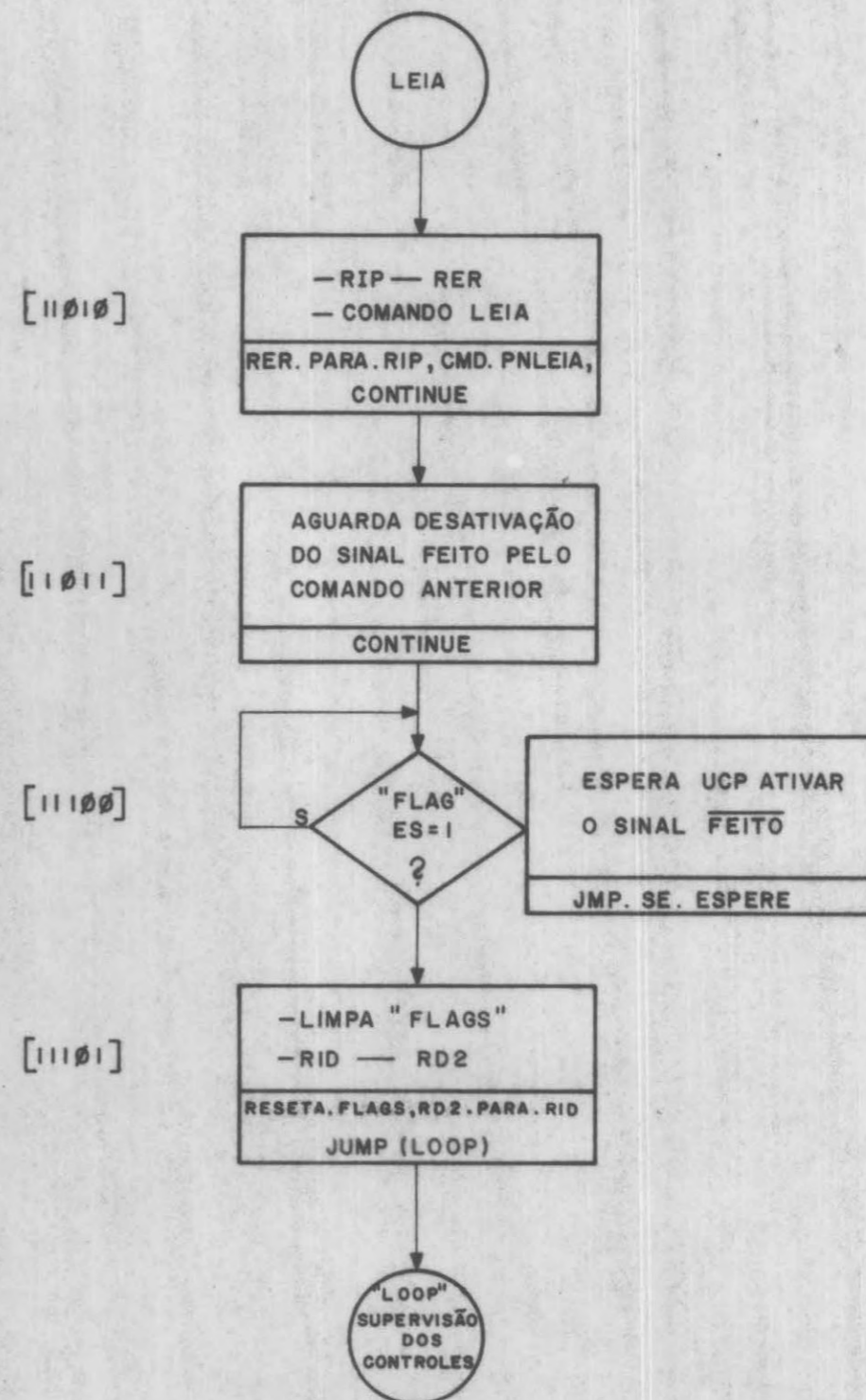
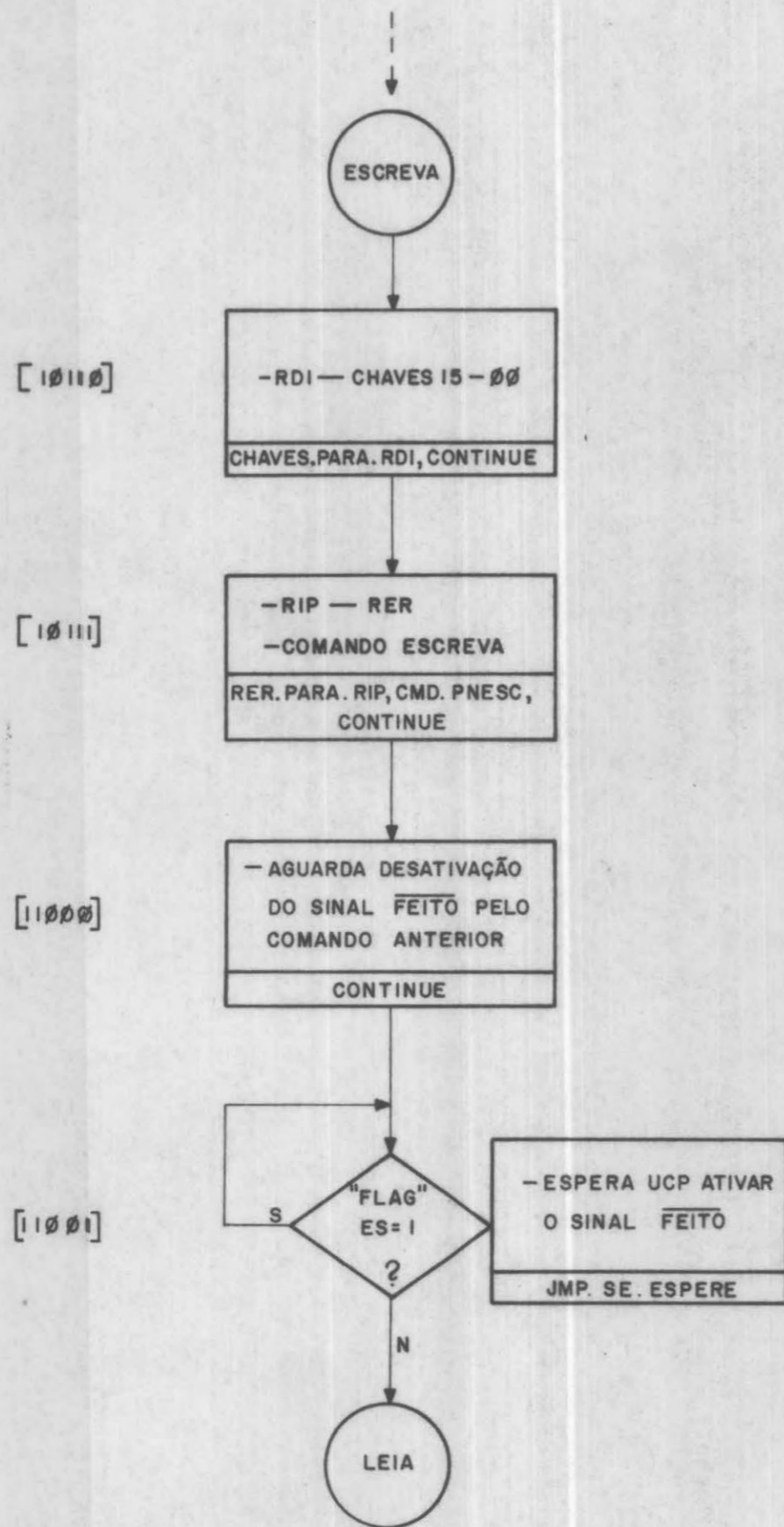
D

A

B

C

D



INPE

GPL/UDA - PROGRAMAS
SISTEMAS DIGITAIS E ANALOGICOSTITULO: PROCESSADOR DO PAINEL - FLUXOGRAMA
(COMPUTADOR ASTROP)

PROJ. ALMIR

APROV.

DES. N.º

DATA DEZ 80

DATA

811200

DES. HIRAM

DATA 31/03/82

FOLHA 3 DE 3

A

B

C

D

APÊNDICE C

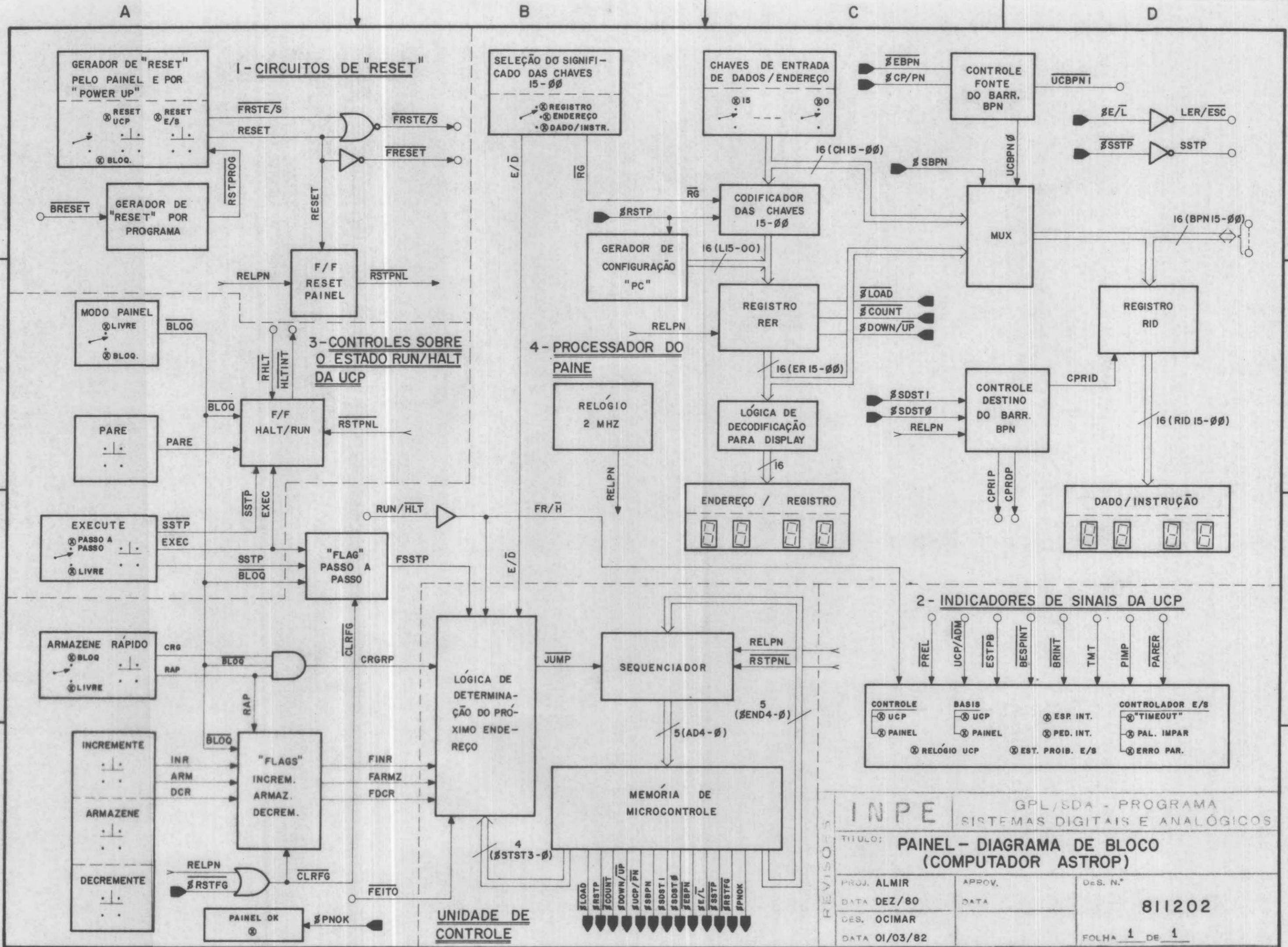
DESENHOS - "HARDWARE"

- C.1 - Desenho SDA-811202: Painel - Diagrama de Blocos (Computador ASTROP).
- C.2 - Desenho SDA-811203: Painel - Esquema Elétrico (Computador ASTROP).
- C.3 - Desenho SDA-811204: Painel - Diagrama de Posicionamento (Computador ASTROP).

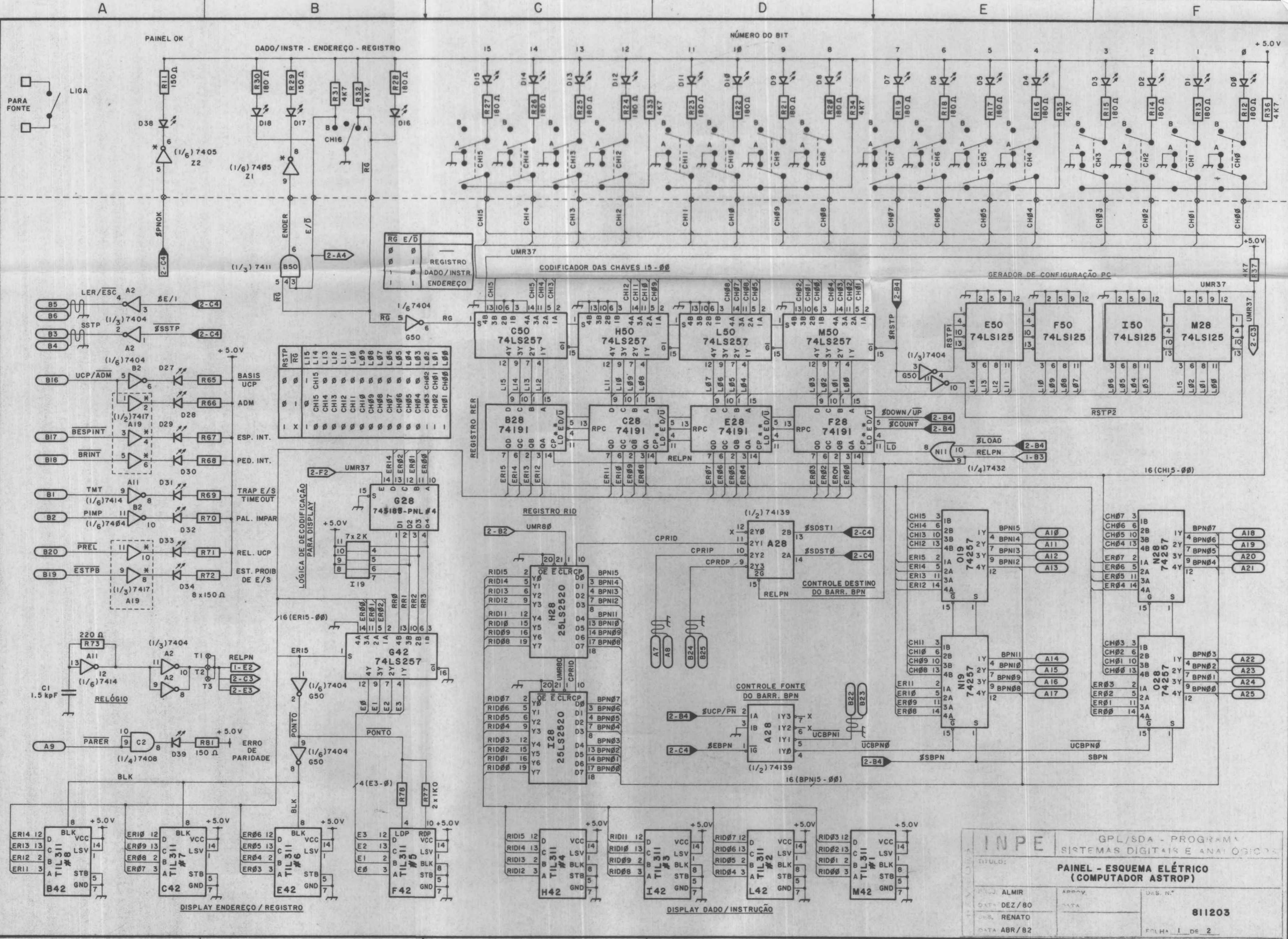
MICROPROGRAMA					ENDEREÇO		PROM - PNL# 1					PROM - PNL# 2					PROM - PNL# 3																				
ENDEREÇO (MNEMÔNICO)	CAMPOS 1 E 5 (CONTROLE DO FLUXO DE MICROPROGRAMA)	CAMPO 2 (CONTROLE DO REG. RER)	CAMPO 3 (CONTROLE DO BARR. BPN)	CAMPO 4 (MISCELANEA)	AD4	AD3	AD2	AD1	AD0	HEX	\$STST3	\$STST2	\$STST1	\$STST0	\$LOAD	\$RSTP	\$COUNT	\$DOWN/UP	HEX	\$UCP/PN	\$SBPN	\$SDST1	\$SDST0	\$EBPN	\$E/L	\$SSTP	"VAGO"	HEX	"VAGO"	\$RSTF6	\$PNOK	\$END4	\$END3	\$END2	\$END1	\$END0	HEX
					5	4	3	2	1		8	7	6	5	4	3	2	1		8	7	6	5	4	3	2	1		8	7	6	5	4	3	2	1	
RESET	CONTINUE			RESETA. FLAGS	0	0	0	0	0	00	0	0	0	0	1	X	1	X	0A	X	X	0	0	1	X	X	X	08	X	0	0	X	X	X	X	00	
LOOP 1	JMP SE. RUN (ENDEREÇO ← LOOP 1)	RER ← REG. PC	RID ← RD2	RESETA. FLAGS	0	0	0	0	1	01	0	0	1	0	0	1	X	X	24	1	X	0	1	0	X	X	X	90	X	0	0	0	0	0	1	01	
HALT	CONTINUE		RIP ← RER	CMD. PNLEIA	0	0	0	1	0	02	0	0	0	0	1	X	1	X	0A	0	0	1	0	0	0	1	X	22	X	1	0	X	X	X	X	40	
	CONTINUE				0	0	0	1	1	03	0	0	0	0	1	X	1	X	0A	X	X	0	0	1	X	X	X	08	X	1	0	X	X	X	X	40	
ESP 1	JMP SE. ESPERE (ENDER ← ESP 1)				0	0	1	0	0	04	1	0	0	0	1	X	1	X	8A	X	X	0	0	1	X	X	X	08	X	1	0	0	0	1	0	44	
	CONTINUE		RID ← RD2	RESETA. FLAGS	0	0	1	0	1	05	0	0	0	0	1	X	1	X	0A	1	X	0	1	0	X	X	X	90	X	0	0	X	X	X	X	00	
LOOPSUPERV	JMP SE. RUN (ENDEREÇO ← RESET)			PNOK	0	0	1	1	0	06	0	0	1	0	1	X	1	X	2A	X	X	0	0	1	X	X	X	08	X	1	1	0	0	0	0	60	
	JMP SE. PAS. A. PASSO (ENDER ← PAS A PAS)			PNOK	0	0	1	1	1	07	0	0	1	1	1	X	1	X	3A	X	X	0	0	1	X	X	X	08	X	1	1	0	1	1	0	6D	
	JMP SE. INCREM (ENDER ← INCREM)			PNOK	0	1	0	0	0	08	0	1	0	0	1	X	1	X	4A	X	X	0	0	1	X	X	X	08	X	1	1	1	0	0	0	71	
	JMP SE. ARMAZ (ENDER ← ARMAZENE)			PNOK	0	1	0	0	1	09	0	1	0	1	1	X	1	X	5A	X	X	0	0	1	X	X	X	08	X	1	1	1	0	1	0	75	
	JMP SE. DECREM (ENDER ← DECREM)			PNOK	0	1	0	1	0	0A	0	1	1	0	1	X	1	X	6A	X	X	0	0	1	X	X	X	08	X	1	1	1	0	0	1	72	
	JMP SE. CARG. RAP (ENDER ← CARG RAP)			PNOK	0	1	0	1	1	0B	0	1	1	1	1	X	1	X	7A	X	X	0	0	1	X	X	X	08	X	1	1	1	0	0	1	73	
	JUMP (ENDEREÇO ← LOOP SUPERV)			PNOK	0	1	1	0	1	0C	0	0	0	1	1	X	1	X	1A	X	X	0	0	1	X	X	X	08	X	1	1	0	0	1	1	66	
PAS A PAS	CONTINUE		RIP ← RER	CMD. PNEEXEC	0	1	1	0	1	0D	0	0	0	0	1	X	1	X	0A	0	0	1	0	0	1	0	X	24	X	1	0	X	X	X	X	40	
	CONTINUE				0	1	1	1	0	0E	0	0	0	0	1	X	1	X	0A	X	X	0	0	1	X	X	X	08	X	1	0	X	X	X	X	40	
ESP 2	JMP SE. ESPERE (ENDEREÇO ← ESP 2)				0	1	1	1	1	0F	1	0	0	0	1	X	1	X	8A	X	X	0	0	1	X	X	X	08	X	1	0	0	1	1	1	4F	
	JUMP (ENDEREÇO ← RESET)				1	0	0	0	0	10	0	0	0	1	1	X	1	X	14	X	X	0	0	1	X	X	X	08	X	1	0	0	0	0	0	40	
INCREM	JUMP (ENDEREÇO ← LEIA)	RER ← RER + 1			1	0	0	0	1	11	0	0	0	1	1	X	0	0	18	X	X	0	0	1	X	X	X	08	X	1	0	1	1	0	1	5A	
DECREM	JUMP (ENDEREÇO ← LEIA)	RER ← RER - 1			1	0	0	1	0	12	0	0	0	1	1	X	0	1	19	X	X	0	0	1	X	X	X	08	X	1	0	1	1	0	1	5A	
CARG RAP	JUMP (ENDEREÇO ← ESCREVA)	RER ← RER + 1			1	0	0	1	1	13	0	0	0	1	1	X	0	0	18	X	X	0	0	1	X	X	X	08	X	1	0	1	0	1	1	56	
ENDER	JUMP (ENDEREÇO ← LEIA)	RER ← CHAVES			1	0	1	0	0	14	0	0	0	1	0	X	X	10	X	X	0	0	1	X	X	X	08	X	1	0	1	1	0	1	5A		
ARMAZENE	JMP SE. ENDER (ENDEREÇO ← ENDER)				1	0	1	0	1	15	1	0	0	1	1	X	1	X	9A	X	X	0	0	1	X	X	X	08	X	1	0	1	0	1	0	54	
ESCREVA	CONTINUE		RDI ← CHAVES		1	0	1	1	0	16	0	0	0	0	1	X	1	X	0A	0	1	1	1	0	X	X	X	70	X	1	0	X	X	X	X	40	
	CONTINUE		RIP ← RER	CMD. PNESC	1	0	1	1	1	17	0	0	0	0	1	X	1	X	0A	0	0	1	0	0	1	1	X	26	X	1	0	X	X	X	X	40	
	CONTINUE				1	1	0	0	0	18	0	0	0	0	1	X	1	X	0A	X	X	0	0	1	X	X	X	08	X	1	0	X	X	X	X	40	
ESP 3	JMP SE. ESPERE (ENDEREÇO ← ESP 3)				1	1	0	0	1	19	1	0	0	0	1	X	1	X	8A	X	X	0	0	1	X	X	X	08	X	1	0	1	1	0	0	59	
LEIA	CONTINUE		RIP ← RER	CMD. PNLEIA	1	1	0	1	0	1A	0	0	0	0	1	X	1	X	0A	0	0	1	0	0	0	1	X	22	X	1	0	X	X	X	X	40	
	CONTINUE				1	1	0	1	1	1B	0	0	0	0	1	X	1	X	0A	X	X	0	0	1	X	X	X	08	X	1	0	X	X	X	X	40	
ESP 4	JMP SE. ESPERE (ENDEREÇO ← ESP 4)				1	1	1	0	0	1C	1	0	0	0	1	X	1	X	8A	X	X	0	0	1	X	X	X	08	X	1	0	1	1	1	0	5C	
	JUMP (ENDEREÇO ← LOOP SUPERV)		RID ← RD2	RESETA. FLAGS	1	1	1	0	1	1D	0	0	0	1	1	X	1	X	1A	1	X	0	1	0	X	X	X	90	X	0	0	0	0	1	1	06	
ERRO 1	JUMP (ENDEREÇO ← ERRO 2)			PNOK	1	1	1	1	0	1E	0	0	0	1	1	X	1	X	1A	X	X	0	0	1	X	X	X	08	X	1	0	1	1	1	1	5F	
ERRO 2	JUMP (ENDEREÇO ← ERRO 1)				1	1	1	1	1	1F	0	0	0	1	1	X	1	X	14	X	X	0	0	1	X	X	X	08	X	1	0	1	1	1	1	5E	

OBS: X - IRRELEVANTE

REVISOR	INPE		GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALÓGICOS	
	TÍTULO: PROCESSADOR DO PAINEL-MICROPROGRAMA (COMPUTADOR ASTROP)			
	PROJ. ALMIR	APROV.	DeS. N.º	
	DATA DEZ/80	DATA	811201	
DES. OCIMAR				
DATA 31/3/82		FOLHA 1 DE 1		



INPE		GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALÓGICOS	
TÍTULO: PAINEL - DIAGRAMA DE BLOCO (COMPUTADOR ASTROP)			
PROJ. ALMIR	APROV.	DeS. N. ^o	
DATA DEZ/80	DATA	811202	
DES. OCIMAR			
DATA 01/03/82		FOLHA 1 DE 1	



INPE
 GPL/SDA - PROGRAMA
 SISTEMAS DIGITAIS E ANALÓGICOS

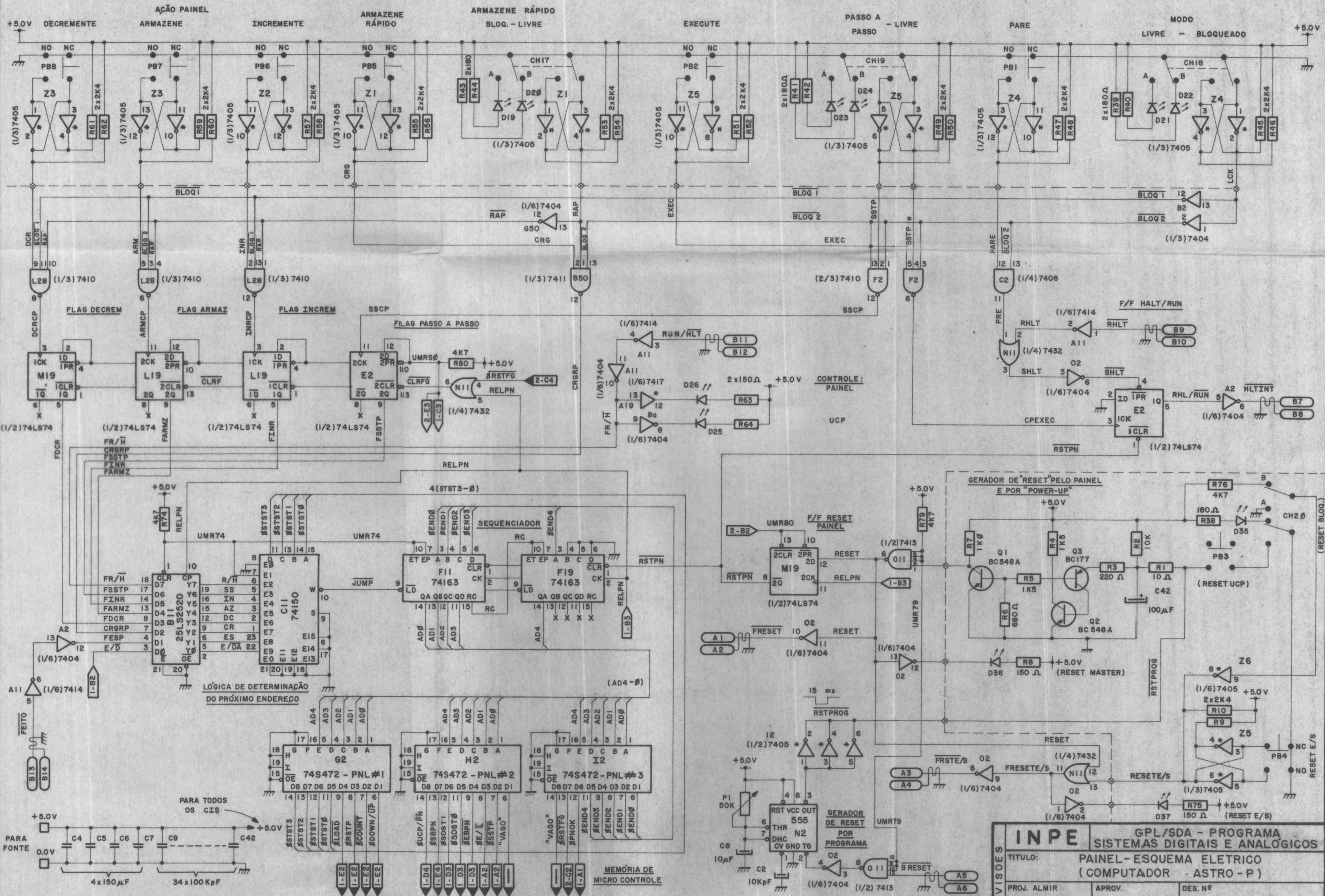
TÍTULO: PAINEL - ESQUEMA ELÉTRICO (COMPUTADOR ASTROP)

PROJ. ALMIR
 DATA: DEZ/80

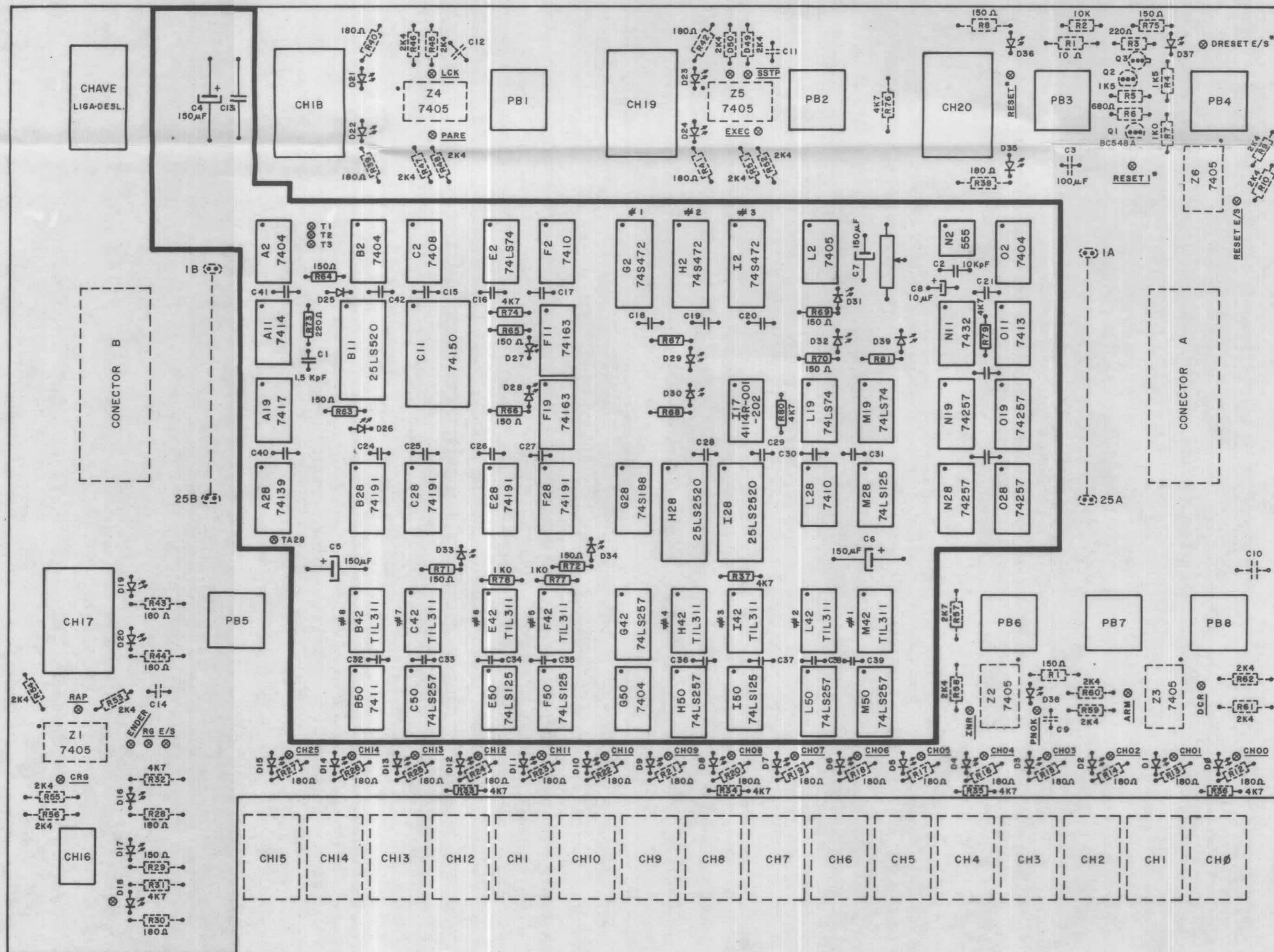
APROV. DATA
 DES. RENATO
 DATA: ABR/82

DES. N.º
 811203

FOLHA 1 DE 2



REVISÕES	INPE GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALÓGICOS		
	TÍTULO: PAINEL - ESQUEMA ELETRICO (COMPUTADOR - ASTRO - P)		
	PROJ. ALMIR	APROV.	DES. Nº
	DATA: DEZ/80	DATA:	811203
	DES: MONTALBAN		FOLHA 2 DE 2
	DATA: ABRIL/82		



OBS.: VISTA DE FRENTE

REVISÕES	INPE		GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALÓGICOS	
	TÍTULO: PAINEL - DIAGRAMA DE POSICIONAMENTO (COMPUTADOR ASTRO-P)			
	PROJ. ALMIR	APROV.	DES. Nº	
	DATA: DEZ/80	DATA:	811204	
DES: MONTALBAN		FOLHA 1 DE 1		
DATA: ABRIL/82				

APÊNDICE D

DESENHOS - PARTE MECÂNICA

D.1 - Desenho SDA-811205: Máscara do Painel (computador ASTROP).

D.2 - Desenho SDA-820308: Sobrepainel (computador ASTROP).

D.3 - Desenho SDA-820309: Subpainel (computador ASTROP).

A

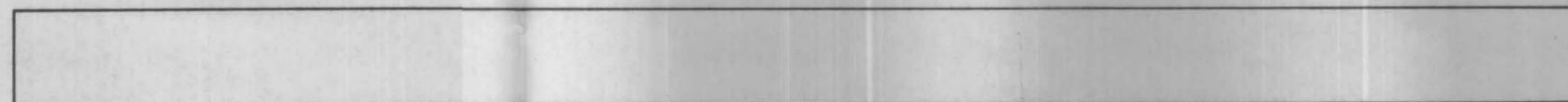
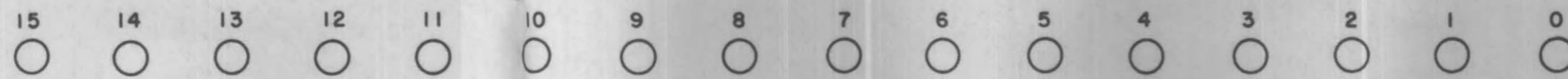
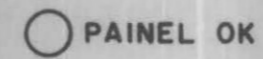
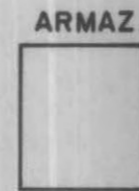
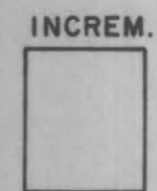
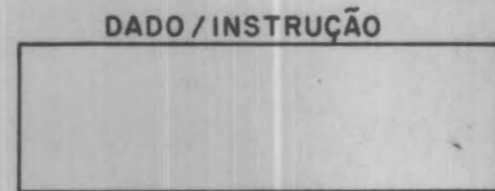
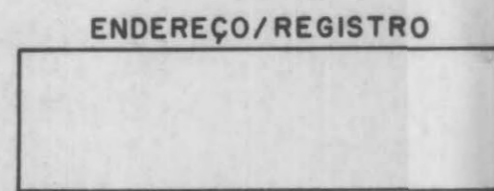
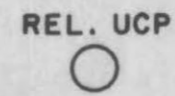
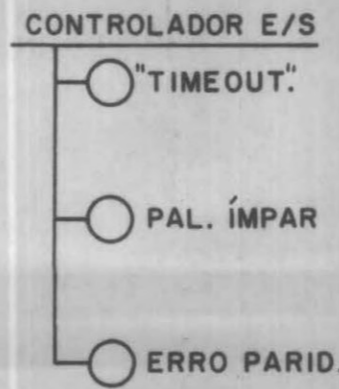
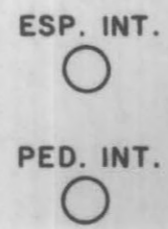
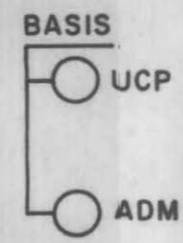
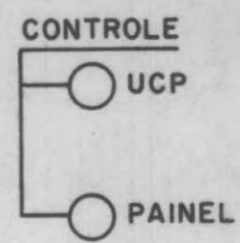
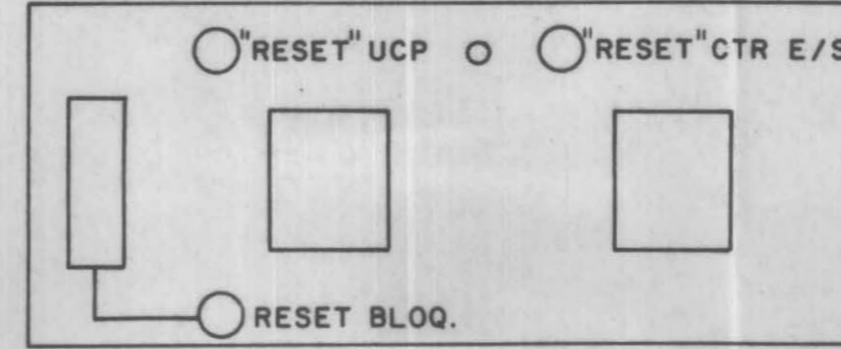
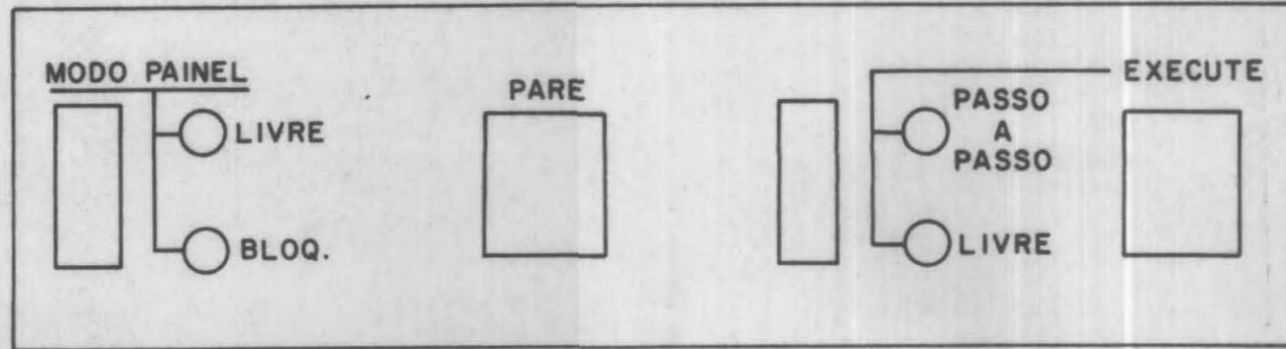
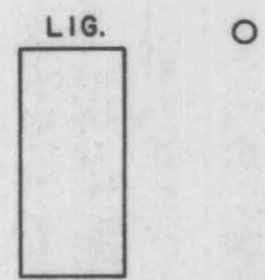
B

C

D

E

F



ASTRO P
CNPQ / INPE - PSDA

INPE		GPL/SDA - PROGRAMAS SISTEMAS DIGITAIS E ANALÓGICOS	
MÁSCARA DO PAINEL (COMPUTADOR ASTROP)			
ELAB. ALMIR	APROV.	Des. N.º	
DATA DEZ/80	DATA	811205	
ELAB. RENATO			
DATA 01/ABR/82		FOLHA 1 DE 1	

A

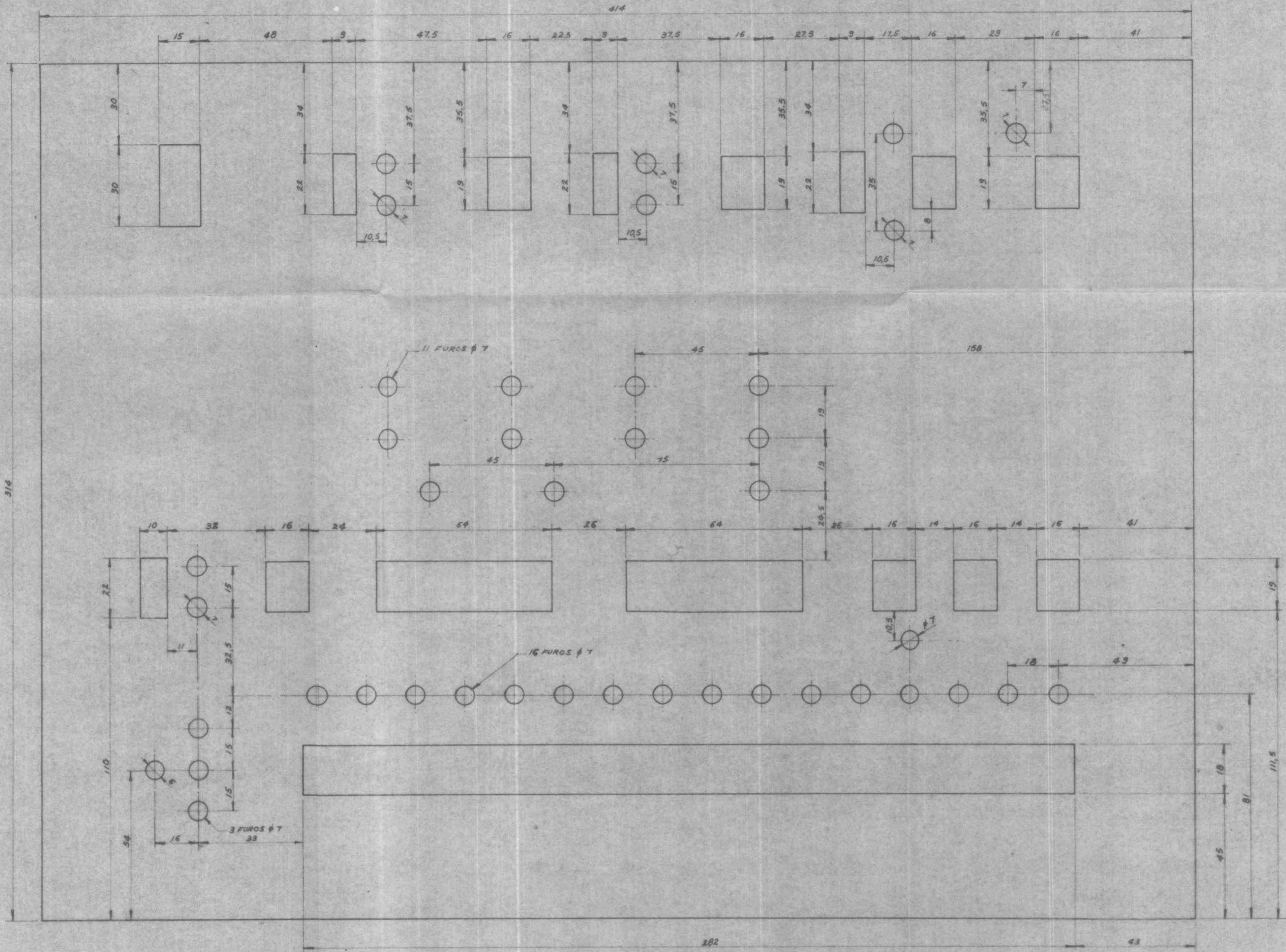
B

C

D

E

F



INPE	05-115	CH ALUM MEIO DURO 3 X 424 X 324	TRAT.
TÍTULO SOBRE PAINEL DO ASTRO P SDA- 820308			Conj.
Esc. 1:1	Proj. 1:1	DEL. W. Mano	DATA 10/3/82
Un. ± 0.2 mm ± 0.05°	Ang ± 1°		N° 501.58.001

APÊNDICE E

LISTA DE MATERIAL

Na Tabela E.1 está a Lista de Material do Painel, e na Tabela E.2, a Localização no Esquema Elétrico (Desenho C.2 - SDA-811 203) dos componentes.

TABELA E.1

LISTA DE MATERIAL - PAINEL DO COMPUTADOR ASTRO P

Nº ITEN	QTO.	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/CÓDIGO	FABRI CANTE	DESCRIÇÃO
1	4	A2, B2, G50, O2	7404N		HEX INVERTERS
2	6	Z1, Z2, Z3, Z4, Z5, Z6	7405N		HEX INVERTERS 0/C
3	1	C2	7408N		QUAD 2 - INPUT AND GATES
4	2	F2, L28	7410N		TRIPLE 3 - INPUT AND GATES
5	1	B50	7411N		TRIPLE 3 - INPUT AND GATES
6	1	O11	7413N		QUAD 4 - INPUT AND SCHMITT TRIGERS
7	1	A11	7414N		HEX SCHMITT TRIGERS INVERTERS
8	1	A19	7417N.		HEX BUFFERS/DRIVERS D/C
9	1	N11	7432N.		QUAD 2 - INPUT OR GATES
10	3	E2, L19, M19	74LS74N		DUAL D-TYPE EDGE - TRIGGERED
11	4	E50, F50, I50, M28	74LS125N.		QUAD BUFFER SUS GATES 3 STATES OUT
12	1	A28	74139N		DUAL 2 - TO 4 LINES DCC/MUX
13	1	C11	74150N		1-OF-16 DATAS SELECTDRS/MULTIPLEXERS
14	2	F11, F19, IPC	74163N		SYNC. 4 BIT COUNT/BINARY
15	1	G28	74S188N.		256 BIT PROGRAMABLE ROM 32 x 8, TS
16	4	B28, C28, E28, F28	74191N		SYNC. UP/DOWN COUNTERS BINARY
17	4	N19, N28, O19, D28	74257N		QUAD DATA SELECTOR/MUX 3 - STATE
18	5	C50, G42, H50, L50, M50	74LS257N		QUAD DATA SELECTOR/MUX 3 - STATE LOW SCHOTIKY
19	3	G2, H2, I2	74S472N.		512 x 8 PROGRAMMABLE ROM, TS
20	3	B11, H28, I28	25LS2520.	AMD	OCTAL D-TYPE FLIP-FLOP WITH CLEAR, CLDCK ENABLE AND TRI-STATE CONTROL
21	B	B42, C42, E42, F42, H42, I42, L42, M42	TIL311		DISPLAY HEXADECIMAL
22	1	N2	555		TEMPORIZA00R
23	1	I19	4114R-001-202	BOURNS	RESISTOR NETWORK 7 x 2K2
24	1	R1	10Ω		RESISTOR 10Ω, 5%, 1/4
25	15	R8, R11, R29, R63 a R72, R75, R81	150Ω		RESISTOR 150Ω, 5%, 1/8
26	25	R12 a R28, R30, R38 a R44	180Ω		RESISTOR 180Ω, 5%, 1/8
27	2	R3, R73	220Ω		RESISTOR 220Ω, 5%, 1/8
28	1	R6	680Ω		RESISTOR 680Ω, 5%, 1/8
29	3	R7, R77, R78	1K0		RESISTOR 1K0, 5%, 1/8
30	2	R4, R5	1K5		RESISTOR 1K5, 5%, 1/8
31	20	R9, R10, R45 a R62	2K4		RESISTOR 2K4, 5%, 1/8
32	11	R31 a R37, R74, R76, R79, R80	4K7		RESISTOR 4K7, 5%, 1/8
33	1	R2	10K		RESISTOR 10K, 5%, 1/8
34	1	P1	50K	BOURNS	POTENCI0METRO MINIATURA 50K
35	1	C1	1.5 KpF		CAPACITOR 1.5 KpF, DISCO
36	1	C2	10 KpF		CAPACITOR 10 KpF, DISCO
37	1	C3	100μF		CAPACITOR 100μF, 16V, ELETROLITICO
38	1	CB	10μF		CAPACITOR 10μF 16V, ELETROLITICO
39	4	C4 a C7	150μF		CAPACITOR 150μF, 16V, ELETROLITICO
40	34	C9 a C42	100 KpF		CAPACITOR 100 KpF, DISCO
41	2	Q1, Q2	BC548A		TRANSISTOR NPN, BC548A
42	1	Q3	BC177		TRANSISTOR PNP, BC177
43	12	O0 a O3, O8 a O11, O20, O21, O38	MLE750		LED VERDE, 5mm

(continua)

Tabela E.1 - Conclusão

Nº ITEM	QTD.	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/CÓDIGO	FABRI CANTE	DESCRIÇÃO
44	27	D4 a D7, D12 a D19, D22, D23, D25 a D37, D39	MLE600		LED VERMELHO, 5mm
45	16	CH0 a CH15		JOTO	CHAVE 2 POLOS X 2 POSIÇÕES REF. 100-A
46	4	CH17 a CH18		JOTO	CHAVE 2 POLOS X 2 POSIÇÕES REF. 100-B
47	1	CH16		C&K	CHAVE 2 POLOS X 3 POSIÇÕES (ON-OFF-ON)
48	4	PB1, PB3, PB4, PB5		C&K	PUSHBUTTON VERMELHO REF. B225-1B1
49	4	PB2, PB6, PB7, PB8		C&K	PUSHBUTTON PRETO REF. B125-1B1
50	6	Z1, a Z6	14p./SO		SOQUETE DE 14p. X 0,3" PARA SOLDA
51	1	N2	Bp./WW		SOQUETE DE 8p. X 0.3" PARA W/W
		A2, A11, A19, B2, B42, B5B, C2, C42, E2, E42, E50 F2, F42, F50, C50, H42, I19, I42, I50, L19, L2B, L42, M19, M2B, M42, N11, O2, O11	14p./WW		SOQUETE DE 14p X 0.3" PARA W/W
53	17	A2B, B2B, C28, C50, E2B, F11, F19, F2B, G2B, G42, H50, M50, N19, N2B, O19, O28	16p./WW		SOQUETE DE 16p. X 0.3" PARA W/W
54	3	G2, H2, I2	20p./WW		SOQUETE DE 20p. X 0.3" PARA W/W
55	3	B11, H2B, I2B	22p/WW		SOQUETE DE 22p. X 0.4" PARA W/W
56	1	C11	24p/WW		SOQUETE DE 24p. X 0.6" PARA W/W
57	2	A1, B1		EANNON	CONECTDR MACHO DE 25 PINOS
58	1	LIGA		JOTO	CHAVE LIGA-DESLIGA

TABELA E.2

LOCALIZAÇÃO NO ESQUEMA ELÉTRICO DOS COMPONENTES PAINEL DO COMPUTADOR ASTROP

Nº ÍTEM	REF. DESENHO PDS. NA PLACA	TIPO/CÓDIGO	LOCALIZAÇÃO NO ESQUEMA ELÉTRICO DESENHO C.2 - SOA-811203
			CIRCUITOS INTEGRADOS
1	A2	7404N	1-A2 (2/6), 1-A3 (2/6), 2-A3 (1/6), 2-F3 (1/6)
2	A11	7414N	1-A3 (2/6), 2-A3 (1/6), 2-C2 (2/6), 2-E2 (1/6)
3	A19	7417N	1-A2 (3/6), 1-A3 (2/6), 2-C2 (1/6)
4	A28	74139N	1-03 (1/2), 1-04 (1/2)
5	B2	7404N	1-A2 (1/6), 1-A3 (1/6), 2-C2 (1/6), 2-D3 (1/6), 2-F1 (2/6)
6	B11	25LS2520	2-A3
7	B28	74191N	1-C2
8	B42	TIL311	1-A4
9	B50	7411N	1-B2 (1/3), 2-C2 (1/3)
10	C2	7408N	2-E2 (1/4), 1-A4 (1/4)
11	C11	74150N	2-B3
12	C28	74191N	1-C2
13	C42	TIL311	1-A4
14	C50	74LS257N	1-C2
15	E2	74LS74N	2-B2 (1/2), 2-F2 (1/2)
16	E28	74191N	1-D2
17	E42	TIL311	1-B4
18	E50	74LS125N	1-E2
19	F2	7410N	2-D2 (2/3)
20	F11	74163N	2-83
21	F19	74163N	2-C3
22	F28	74191N	1-02
23	F42	TIL311	1-B4
24	F50	74LS125N	1-E2
25	G2	74S472N	2-B4
26	G28	74S188N	1-B2
27	G42	74LS257N	1-B3
28	G50	7404N	1-83 (1/6), 1-B4 (1/6), 1-B2 (1/6), 1-E2 (2/6), 2-C2 (1/6)
29	H2	74S472N	2-C4
30	H28	25LS2520	1-C3
31	H42	TIL311	1-C4
32	H50	74LS257N	1-C2
33	I2	74S472N	2-C4
34	I19	4114R-001-202	1-83
35	I28	25LS2520	1-C4
36	I42	TIL311	1-D4
37	I50	74LS125N	1-F2
38	L19	74LS74N	2-A2 (1/2), 2-B2 (1/2)
39	L28	7410N	2-A2 (2/3), 2-B2 (1/3)
40	L42	TIL311	1-D4
41	L50	74LS257N	1-D2
42	M19	74LS74N	2-A2 (1/2), 2-04 (1/2)
43	M28	74LS125N	1-F2
44	M42	TIL311	1-E4
45	M50	74LS257N	1-D2
46	N2	555	2-D3

(continua)

Tabela E.2 - Continuação

Nº ÍTEM	REF. DESENHO POS. NA PLACA	TIPO/CÓDIGO	LOCALIZAÇÃO NO ESQUEMA ELETRICO DESENHO C.2 - SDA-8112D3
			CIRCUITOS INTEGRADOS
47	N11	7432N	1-E2 (1/4), 2-C2 (1/4), 2-E2 (1/4), 2-E4 (1/4)
48	N19	74257N	1-E3
49	N28	74257N	1-F3
50	02	7404N	2-E4 (2/6), 2-E3 (1/6), 2-D3 (1/6), 2-D4 (1/6), 2-E2 (1/6)
51	011	7413N	2-D3
52	019	74257N	1-E3
53	028	74257N	1-F3
54	Z1	7405N	1-B1 (1/6), 2-B1 (2/6), 2-C1 (2/6)
55	Z2	7405N	1-A1 (1/6), 2-B1 (2/6)
56	Z3	7405N	2-A1 (4/6)
57	Z4	7405N	2-E1 (2/6), 2-F1 (2/6)
58	Z5	7405N	2-D1 (4/6)
59	Z6	7405N	2-F4 (2/6), 2-F3 (1/6)
			RESISTORES
60	R1	1DR	2-F3
61	R2	10K	2-F3
62	R3	220R	2-E3
63	R4	1K5	2-E3
64	R5	1K5	2-E3
65	R6	6BDR	2-E3
66	R7	1K0	2-E3
67	R8	150R	2-E3
68	R9	2K4	2-F3
69	R10	2K4	2-F3
70	R11	150R	1-A1
71	R12	180R	1-F1
72	R13	180R	1-F1
73	R14	180R	1-F1
74	R15	180R	1-F1
75	R16	180R	1-E1
76	R17	180R	1-E1
77	R18	18DR	1-E1
78	R19	180R	1-E1
79	R20	180R	1-D1
80	R21	180R	1-D1
81	R22	180R	1-O1
82	R23	180R	1-D1
83	R24	180R	1-C1
84	R25	180R	1-C1
85	R26	180R	1-C1
86	R27	180R	1-C1
87	R28	180R	1-B1
88	R29	150R	1-B1
89	R30	180R	1-B1
90	R31	4K7	1-B1

(continua)

Tabela E.2 - Continuação

Nº ITEM	REF. DESENHO POS. NA PLACA	TIPO/CÓDIGO	LOCALIZAÇÃO NO ESQUEMA ELÉTRICO DESENHO C.2 - SDA-811203
			RESISTORES
91	R32	4K7	1-B1
92	R23	4K7	1-C1
93	R34	4K7	1-D1
94	R35	4K7	1-E1
95	R36	4K7	1-F1
96	R37	4K7	1-F2
97	R38	180R	2-F3
98	R39	180R	2-F1
99	R40	180R	2-F1
100	R41	180R	2-D1
101	R42	180R	2-01
102	R43	180R	2-C1
103	R44	180R	2-C1
104	R45	2K4	2-F1
105	R46	2K4	2-F1
106	R47	2K4	2-E1
107	R48	2K4	2-E1
108	R49	2K4	2-E1
109	R50	2K4	2-E1
110	R51	2K4	2-01
111	R52	2K4	2-D1
112	R53	2K4	2-C1
113	R54	2K4	2-C1
114	R55	2K4	2-B1
115	R56	2K4	2-B1
116	R57	2K4	2-B1
117	R58	2K4	2-B1
118	R59	2K4	2-A1
119	R60	2K4	2-A1
120	R61	2K4	2-A1
121	R62	2K4	2-A1
122	R63	150R	2-02
123	R64	150R	2-02
124	R65	150R	1-A2
125	R66	150R	1-A2
126	R67	150R	1-A2
127	R68	150R	1-A2
128	R69	150R	1-A3
129	R70	150R	1-A3
130	R71	150R	1-A3
131	R72	150R	1-A3
132	R73	220R	1-A3
133	R74	4K7	2-A3
134	R75	150R	2-F4
135	R76	4K7	2-F3
136	R77	1K0	1-B4
137	R78	1K0	1-B4
138	R79	4K7	2-03
139	R80	4K7	2-C2

(continua)

Tabela E.2 - Continuação

Nº ITEM	REF. DESENHO POS. NA PLACA	TIPO/CÓDIGO	LOCALIZAÇÃO NO ESQUEMA ELÉTRICO DESENHO C.2 - SDA-8112D3
POTENCIÔMETROS			
140	P1	50K	2-D3
CAPACITORES			
141	C1	1.5 KpF	1-A3
142	C2	10 KpF	2-03
143	C3	100µF	2-F3
144	C4	150µF	2-A4
147	C7	150µF	2-A4
148	C8	10µF	2-D3
149	C9	100 KpF	2-A4
182	C42	100 KpF	2-A4
TRANSISTORES			
183	Q1	BC548A	2-E3
184	Q2	BC548A	2-E3
185	Q3	BC177	2-E3
LEDs			
186	D0	MLE750	1-F1
187	D1	MLE750	1-F1
188	D2	MLE750	1-F1
189	D3	MLE750	1-F1
190	D4	MLE600	1-E1
191	D5	MLE600	1-E1
192	D6	MLE600	1-E1
193	D7	MLE600	1-E1
194	D8	MLE750	1-D1
195	D9	MLE750	1-D1
196	D10	MLE750	1-D1
197	D11	MLE750	1-D1
198	D12	MLE600	1-C1
199	D13	MLE600	1-C1
200	D14	MLE600	1-C1
201	D15	MLE600	1-C1
202	D16	MLE600	1-B1
203	D17	MLE600	1-B1
204	D18	MLE600	1-B1
205	D19	MLE600	2-C1
206	D20	MLE750	2-C1
207	D21	MLE750	2-F1
208	D22	MLE600	2-F1
209	D23	MLE600	2-D1
210	D24	MLE750	2-D1
211	D25	MLE600	2-D2
212	D26	MLE600	2-D2
213	D27	MLE600	1-A2
214	D28	MLE600	1-A2
215	D29	MLE600	1-A2
216	D30	MLE500	1-A2

(continua)

Tabela E.2 - Conclusão

Nº ITEM	REF. DESENHO PDS. NA PLACA	TIPO/CÓDIGO	LOCALIZAÇÃO NO ESQUEMA ELÉTRICO DESENHO C.2 - SDA-811203
			LED'S
217	D31	MLE600	1-A3
218	D32	MLE600	1-A3
219	D33	MLE600	1-A3
220	D34	MLE600	1-A3
221	D35	MLE600	2-F3
222	D36	MLE600	2-E3
223	D37	MLE600	2-F4
224	D38	MLE750	1-A1
	D39	MLE600	1-A4
			CHAVES
225	CH0	1 pōlo x 2 pos.	1-F1
226	CH1		1-F1
227	CH2		1-F1
228	CH3		1-F1
229	CH4		1-E1
230	CH5		1-E1
231	CH6		1-E1
232	CH7		1-E1
233	CH8		1-D1
234	CH9		1-D1
235	CH10		1-D1
236	CH11		1-D1
237	CH12		1-C1
238	CH13		1-C1
239	CH14		1-C1
240	CH15	1 pōlo x 2 pos.	1-C1
241	CH16	2 pōlos x 3 pos.	1-B1
242	CH17	1 pōlo x 2 pos.	2-C1
243	CH18	1 pōlo x 2 pos.	2-F1
244	CH19	1 pōlo x 2 pos.	2-D1
245	CH20	1 pōlo x 2 pos.	2-F3
			"PUSHBUTTDNS"
246	PB1	1 pōlo x 2 pos.	2-E1
247	PB2	1 pōlo x 2 pos.	2-D1
248	PB3	1 pōlo x 2 pos.	2-F3
249	PB4	1 pōlo x 2 pos.	2-F4
250	PB5	1 pōlo x 2 pos.	2-B1
251	PB6	1 pōlo x 2 pos.	2-B1
252	PB7	1 pōlo x 2 pos.	2-A1
253	PB8	1 pōlo x 2 pos.	2-A1

APÊNDICE F

LISTAGEM DAS LIGAÇÕES DE "WIRE-WRAPPING"

TABELA F.1

LIGAÇÕES DE "WIRE-WRAPPING" - EQUIP.: ASTRO P - PLACA: PAINEL

SINAL	
CH15	Impresso (CH15)//10(C50)//11(C50)//3(019)
CH14	Impresso (CH14)//5(C50)//6(019)
CH13	Impresso (CH13)//2(C50)//10(019)
CH12	Impresso (CH12)//14(H50)//13(019)
CH11	Impresso (CH11)//11(H50)//3(N19)
CH10	Impresso (CH10)//5(H50)//6(N19)
CH09	Impresso (CH09)//2(H50)//10(N19)
CH08	Impresso (CH08)//14(L50)//13(N19)
CH07	Impresso (CH07)//11(L50)//3(N28)
CH06	Impresso (CH06)//5(L50)//6(N28)
CH05	Impresso (CH05)//2(L50)//10(N28)
CH04	Impresso (CH04)//14(M50)//13(N28)
CH03	Impresso (CH03)//11(M50)//3(028)
CH02	Impresso (CH02)//10(M50)//5(M50)//6(028)
CH01	Impresso (CH01)//6(M50)//2(M50)//10(028)
CH00	Impresso (CH00)//3(M50)//13(028)
L15	12(C50)//9(B28)//3(m28)
L14	9(C50)//10(B28)//3(E50)
L13	7(C50)//1(B28)//6(E50)
L12	4(C50)//15(B28)//8(E50)
L11	12(H50)//9(C28)//11(E50)

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
L10	9(H50)//10(C28)//3(F50)
L09	7(H50)//1(C28)//6(F50)
L08	4(H50)//15(C28)//8(F50)
L07	12(L50)//9(E28)//11(F50)
L06	9(L50)//10(E28)//3(I50)
L05	7(L50)//1(E28)//6(I50)
L04	4(L50)//15(E28)//8(I50)
L03	12(M50)//9(F28)//11(I50)
L02	9(M50)//10(F28)//6(M28)
L01	7(M50)//1(F28)//8(M28)
L00	4(M50)//15(F28)//11(M28)
ER15	7(B28)//1(G42)//1(G50)//2(019)
ER14	6(B28)//13(G28)//12(B42)//5(019)
ER13	2(B28)//13(B42)//11(019)
ER12	3(B28)//2(B42)//14(019)
ER11	7(C28)//3(B42)//2(N19)
ER10	6(C28)//12(C42)//5(N19)
ER09	2(C28)//13(C42)//11(N19)
ER08	3(C28)//2(C42)//14(N19)
ER07	7(E28)//3(C42)//2(N28)
ER06	6(E28)//12(E42)//5(N28)
ER05	2(E28)//13(E42)//11(N28)
ER04	3(E28)//2(E42)//14(N28)
ER03	7(F28)//3(E42)//2(O28)
ER02	6(F28)//12(G28)//2(G42)//5(O28)
ER01	2(F28)//11(G28)//5(G42)//11(O28)
ER00	3(F28)//10(G28)//11(G42)//14(O28)
RR3	4(G28)//3(G42)//4(I19)
RR2	3(G28)//6(G42)//5(I19)
RR1	2(G28)//10(G42)//6(I19)
RR0	1(G28)//13(G42)//7(I19)
E3	4(G42)//12(F42)

(continua)

TABELA F.1 - Continuação

SINAL	LIGAÇÕES
E2	7(G42)//13(F42)
E1	9(G42)//2(F42)
E∅	12(G42)//3(F42) { ← R77 → 10(F42)
PONTO	2(G5∅)//9(G5∅) { ← R78 → 4(F42)
BLK	8(G5∅)//8(E42)//8(C42)//8(B42)
BPN15	3(H28)//4(019)//*A10*
BPN14	4(H28)//7(019)//*A11*
BPN13	7(H28)//9(019)//*A12*
BPN12	8(H28)//12(019)//*A13*
BPN11	13(H28)//4(N19)//*A14*
BPN1∅	14(H28)//7(N19)//*A15*
BPN∅9	17(H28)//9(N19)//*A16*
BPN∅8	18(H28)//12(N19)//*A17*
BPN∅7	3(I28)//4(N28)//*A18*
BPN∅6	4(I28)//7(N28)//*A19*
BPN∅5	7(I28)//9(N28)//*A2∅*
BPN∅4	8(I28)//12(N28)//*A21*
BPN∅3	13(I28)//4(028)//*A22*
BPN∅2	14(I28)//7(028)//*A23*
BPN∅1	17(I28)//9(028)//*A24*
BPN∅∅	18(I28)//12(028)//*A25*
RID15	2(H28)//12(H42)
RID14	5(H28)//13(H42)
RID13	6(H28)//2(H42)
RID12	9(H28)//3(H42)
RID11	12(H28)//12(I42)
RID1∅	15(H28)//13(I42)
RID∅9	16(H28)//2(I42)
RID∅8	19(H28)//3(I42)
RID∅7	2(I28)//12(L42)
RID∅6	5(I28)//13(L42)
RID∅5	6(I28)//2(L42)
RID∅4	9(I28)//3(L42)

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
RIDØ3	12(I28)//12(M42)
RIDØ2	15(I28)//13(M42)
RIDØ1	16(I28)//2(M42)
RIDØØ	19(I28)//3(M42)
STST3	11(C11)//14(G2)
STST2	13(C11)//13(G2)
STST1	14(C11)//12(G2)
STSTØ	15(C11)//11(G2)
LOAD	9(G2)//10(N11)
RSTP	8(G2)//15(M5Ø)//15(L5Ø)//15(H5Ø)//11(G5Ø) //3(G5Ø)//15(C5Ø)//8(G2)
CONT	7(G2)//4(F28)
DOWN/ \overline{UP}	6(G2)//5(F28)//5(E28)//5(C28)//5(B28)
UCP/ \overline{PN}	14(H2)//2(A28)
SBPN	13(H2)//1(N19)//1(O19)//1(O28)//1(N28)
SDST1	12(H2)//13(A28)
SDSTØ	11(H2)//14(A28)
ENBPN	9(H2)//1(A28)
E/I	8(H2)//3(A2)
SSTP	7(H2)//1(A2)
\overline{RSTFG}	13(I2)//4(N11)
PNOK	12(I2)//impresso (PNOK)
END	11(I2)//3(F19)
END3	9(I2)//6(F11)
END2	8(I2)//5(F11)
END1	7(I2)//4(F11)
ENDØ	6(I2)//3(F11)
E/\overline{D}	Impresso (E/\overline{D})//3(B5Ø)//4(B5Ø)//3(B11)
ENDER	Impresso (ENDER)//6(85Ø)
\overline{RG}	Impresso (\overline{RG})//5(B5Ø)//5(G5Ø)
RG	1(C5Ø)//6(G5Ø)//1(H5Ø)//1(L5Ø)//1(M5Ø)
$\overline{RSTP1}$	4(G5Ø)//13(F5Ø)10(F5Ø)//4(F5Ø)//1(F5Ø) //13(E5Ø)//10(E5Ø)//4(E5Ø)//1(E5Ø)

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
RSTP2	10(G5Ø)//1(I5Ø)//4(I5Ø)//1Ø(I5Ø)//13(I5Ø)// 1(M28)//4(M28)//10(M28)//13(M28)
UMR37	R37//13(C5Ø)//2(M28)//5(M28)//9(M28)// 12(M28)//14(G28)
UCBPN1	5(A28)//*B22* } TWISTED
TUCBPN1	T(A28)//*B23* }
UCBPNØ	4(A28)//15(N19)//15(O19)//15(O2B)//15(N28)
CPRID	11(A28)//10(H28)//10(I28)
CPRIP	10(A28)//*A7* } TWISTED
TCPRIP	T(A28)//*A8* }
CPRDP	9(A28)//*B24* } TWISTED
TCPRDP	T(A28)//*B25* }
LED	12(A19)// ← (PAINEL)
LED	8(B2)// ← (UCP)
R/H	19(B11)//6(C11)
SS	16(B11)//5(C11)
IN	15(B11)//4(C11)
AZ	12(B11)//3(C11)
DC	9(B11)//2(C11)
CR	6(B11)//1(C11)
ES	5(B11)//23(C11)
E/DA	2(B11)//22(C11)
JUMP	10(C11)//9(F11)//9(F19)
AD4	14(F19)//5(G2)//5(H2)//5(I2)
AD3	11(F11)//4(G2)//4(H2)//4(I2)
AD2	12(F11)//3(G2)//3(H2)//3(I2)
ADL	13(F11)//2(G2)//2(H2)//2(I2)
ADØ	14(F11)//1(G2)//1(H2)//1(I2)
RC	15(F11)//7(F19)//1Ø(F19)
RSTPN	1(F19)//8(M19)//1(F11)//1(E2)
CPEXEC	6(F2)//3(E2)
PRE	11(C2)//1(N11)

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
$\overline{\text{RHLT}}$	1(A11)//*B9*
$\overline{\text{TRHLT}}$	7(A11)//*B10*
RHLT	2(A11)//2(N11)
$\overline{\text{SHLT}}$	3(N11)//5(O2)
$\overline{\text{SHLT}}$	6(O2)//4(E2)
$\overline{\text{RHL}}/\overline{\text{RUN}}$	5(E2)//5(A2)
$\overline{\text{HLTINT}}$	6(A2)//*B7*
$\overline{\text{THLTINT}}$	7(A2)//*B8*
$\overline{\text{BRESET}}$	13(O11)//*A5*
$\overline{\text{TBRESET}}$	7(O11)//*A6*
UMR79	4(O11)//5(O11)//9(O11)//10(O11)//12(O11)// R79 OBS: Já está ligado à solda
-	8(O11)//3(B2)
-	4(B2)//2(N2)
$\overline{\text{RESET2}}$	3(N2)//3(O2)
$\overline{\text{RESET2}}$	4(O2)//2(O11)
$\overline{\text{RESET1}}$	1(O11)//impresso ($\overline{\text{RESET1}}$)
RESET	12(M19)//12(N11)//6(O11)//11(O2)//13(O2)
$\overline{\text{FRESET}}$	10(O2)//*A1*
$\overline{\text{TFRESET}}$	7(O2)//*A2*
	12(O2)// ← D36
	POT1 → 6(N2)//7(N2)// ← C8 → TERRA
	5(N2)// ← C2 → TERRA OBS.: Já foi ligado à solda
	13(N11)//impresso (RESET/5)
	2(O2)// ← D37
$\overline{\text{FRESET/S}}$	11(N11)//1(O2)//9(O2)
$\overline{\text{FRSTE/S}}$	B(O2)//*A3*
$\overline{\text{TFRESET/S}}$	7(O2)//*A4*
RSTPROG	2(L2)//4(L2)//6(L2)// ← R1 (PAINEL)
TERRA	2(E2)//7(E2)
"	20(B11)//21(B11)//11(B11)
"	8(C11)//9(C11)//12(C11)//19(C11)//20(C11)// 21(C11)//9(C11)//16(C11)//17(C11)

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
TERRA	15(G2)//16(G2)//17(G2)//18(G2)//19(G2)//10(G2)
"	15(H2)//16(H2)//17(H2)//18(H2)//19(H2)//10(H2)
"	15(I2)//16(I2)//17(I2)//18(I2)//19(I2)//10(I2)
"	4(F19)//5(F19)//6(F19)//8(F19)
<u>UCP/ADM</u>	5(B2)//1(A19)//*B16*
<u>BESPINT</u>	3(A19)//*B17*
BRINT	5(A19)//*B18*
TMT	9(A11)//*B1*
PIMP	11(B2)//*B2*
<u>PREL</u>	11(A19)//*B20*
<u>ESTPB</u>	9(A19)//*B19*
CLRFG	6(N11)//1(M19)//13(L19)//1(L19)//13(E2)
<u>LD</u>	8(N11)//11(F28)//11(E28)//11(C28)//11(B28)
TERRA	6(C50)//3(C50)//14(C50)//8(C50)
"	13(H50)//10(H50)//6(H50)//3(H50)//8(H50)
"	13(L50)//10(L50)//6(L50)//3(L50)//8(L50)
"	13(M50)//8(M50)
"	2(E50)//5(E50)//9(E50)//12(E50)//7(E50)
"	2(F50)//5(F50)//9(F50)//12(F50)//7(F50)
"	2(I50)//5(I50)//9(I50)//12(I50)//7(I50)
"	20(H28)//21(H28)//11(H28)
"	20(I28)//21(I28)//11(I28)
"	3(A28)//8(A28)
"	14(G42)//15(G42)//8(G42)
"	5(B42)//7(B42)//
"	5(C42)//7(C42)
"	5(E42)//7(E42)
"	5(F42)//7(F42)//8(F42)
"	5(H42)//7(H42)//8(H42)
"	5(I42)//7(I42)//8(I42)
"	5(L42)//7(L42)//8(L42)
"	5(M42)//7(M42)//8(M42)

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
TERRA	15//(G28)//8(G28)//
Vcc	1(B42)//14(B42) 1(C42)//14(C42) 1(E42)//14(E42) 1(F42)//14(F42) 1(H42)//14(H42) 1(I42)//14(I42) 1(L42)//14(L42) 1(M42)//14(M42) 11(I19)//10(I19)//9(I19)//8(I19)//
DCR	Impresso(DCR)//9(L28)
ARM	" (ARM)//5(L28)
INR	" (INR)//2(L28)
CRG	" (CRG)//2(B50)
RAP	" (RAP)//1(B50)//13(G50)
EXEC	" (EXEC)//13(F2)//5(F2)
SSTP	" (SSTP)//2(F2)
$\overline{\text{SSTP}}$	" ($\overline{\text{SSTP}}$)//4(F2)
PARE	" (PARE)//12(C2)
LCK	" (LCK)//13(B2)//1(B2)
$\overline{\text{BLOQ}} 1$	3(L28)//11(L28)//13(L28)//12(B2)
$\overline{\text{BLOQ}} 2$	13(B50)//2(B2)//13(C2)//1(F2)//3(F2)
RAP	1(L28)//4(L28)//10(L28)//12(G50)
DCRCP	8(L28)//3(M19)
ARMCP	6(L28)//11(L19)
INRCP	12(L28)//3(L19)
HLT/ $\overline{\text{RUN}}$	4(A11)//11(A11)
$\overline{\text{RUN}}$ /HLT	3(A11)//*B11*
$\overline{\text{TRUN}}$ /HLT	7(A11)//*B12*
	} TWISTED

(continua)

Tabela F.1 - Continuação

SINAL	LIGAÇÕES
SSCP	12(F2)//11(E2)
FDCR	5(M19)//8(B11)
FAMZ	9(L19)//13(B11)
FINR	5(L19)//14(B11)
FSSTP	9(E2)//17(B11)
CRGRP	12(B50)//7(B11)
FR/H	10(A11)//13(A19)//18(B11)//9(B2)
FESP	4(B11)//12(A2)
FEITO	6(A11)//13(A2)
FEITO	5(A11)//*B13*
TFEITO	7(A11)//*B14*
R74	R74//1(B11)//7(C11)//7(F11)//10(F11)
UNIR80	5V←R80→(10E2)//12(E2)//1(H28)//1(I28)//4(L19) //2(L19)//10(L19)//12(L19)//4(M19)//2(M19) //10(M19)//13(M19)
LED	6(B2)// ← D27
"	2(A19)// ← D28
"	4(A19)// ← D19
"	6(A19)// ← D30
"	8(A11)// ← D31
"	10(B2)// ← D32
"	10(A19)// ← D33
"	8(A19)// ← D34
LER/ESC	4(A2)//*B5*
TLER/ESC	7(A2)//*B6*
SSTP	2(A2)//*B3*
TSSTP	7(A2)//*B4*
PARER	*A9*//9(C2)//10(C2) 8(C2)// ← D39
RELPN	TR3//10(B11)//15(A28)//14(B28)//14(C28)// 14(E28)//14(F28)//11(M19)//9(N11)//5(N11)// 2(F19)//2(F11)//TR1
RELPN	8(A2)//10(A2)//TR2

(continua)

Tabela F.1 - Conclusão.

SINAL	LIGAÇÕES
RELPN	TR1//TR2)//TR3) Terra ← C1 → 13(A11)// ← R73 → //12(A11) //11(A2)//9(A2)
-	13(F28)//4(E28)
-	13(E28)//4(C28)
-	13(C28)//4(B28)

APÊNDICE G

PLACA DE CIRCUITO IMPRESSO

Nas Figuras G.1 e G.2 estão as máscaras reduzidas (faces A e B) referentes à Placa de Circuito Impresso do Painel ASTROP.

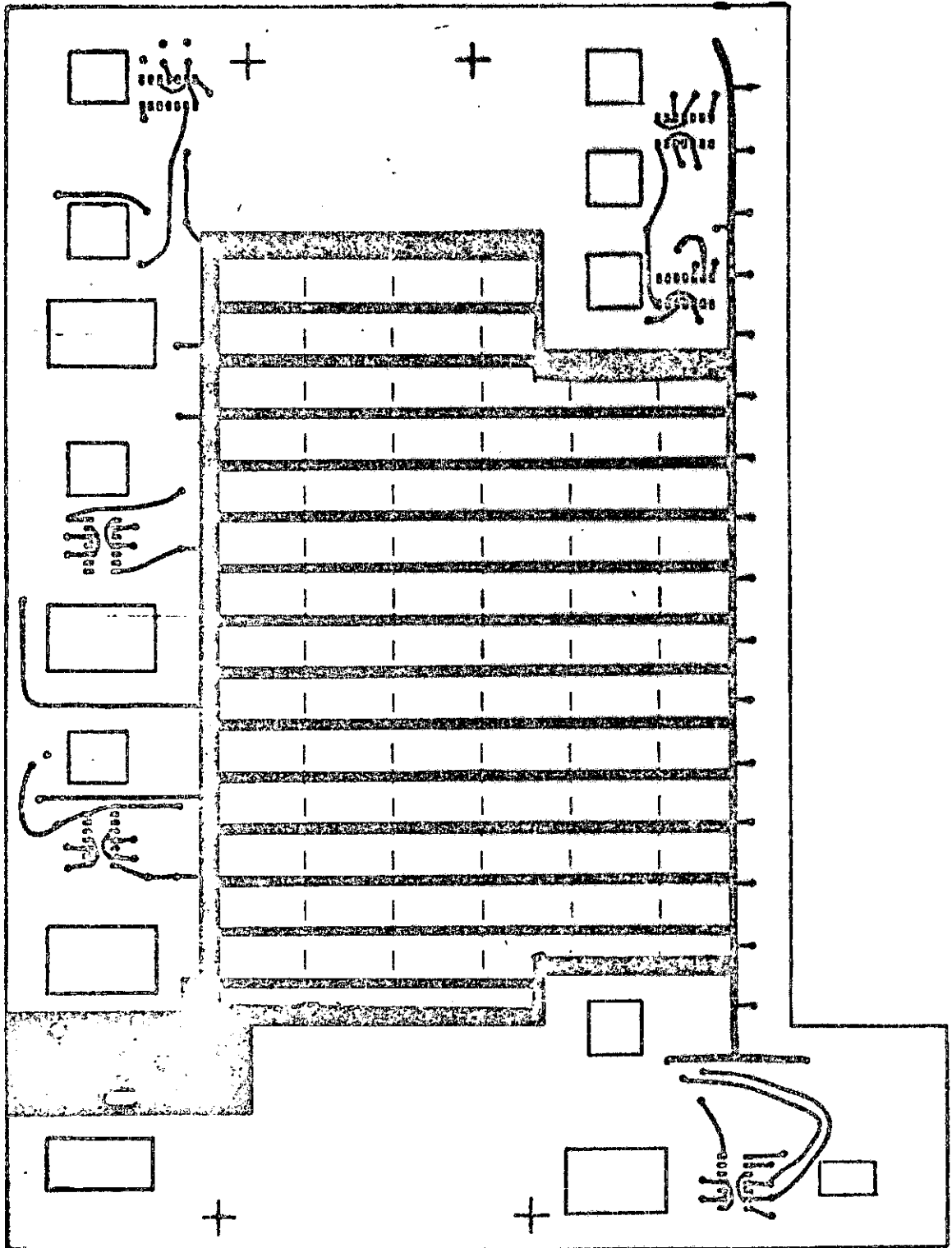


Fig. G.1 - Placa de circuito impresso do painel ASTRO P - Face A.

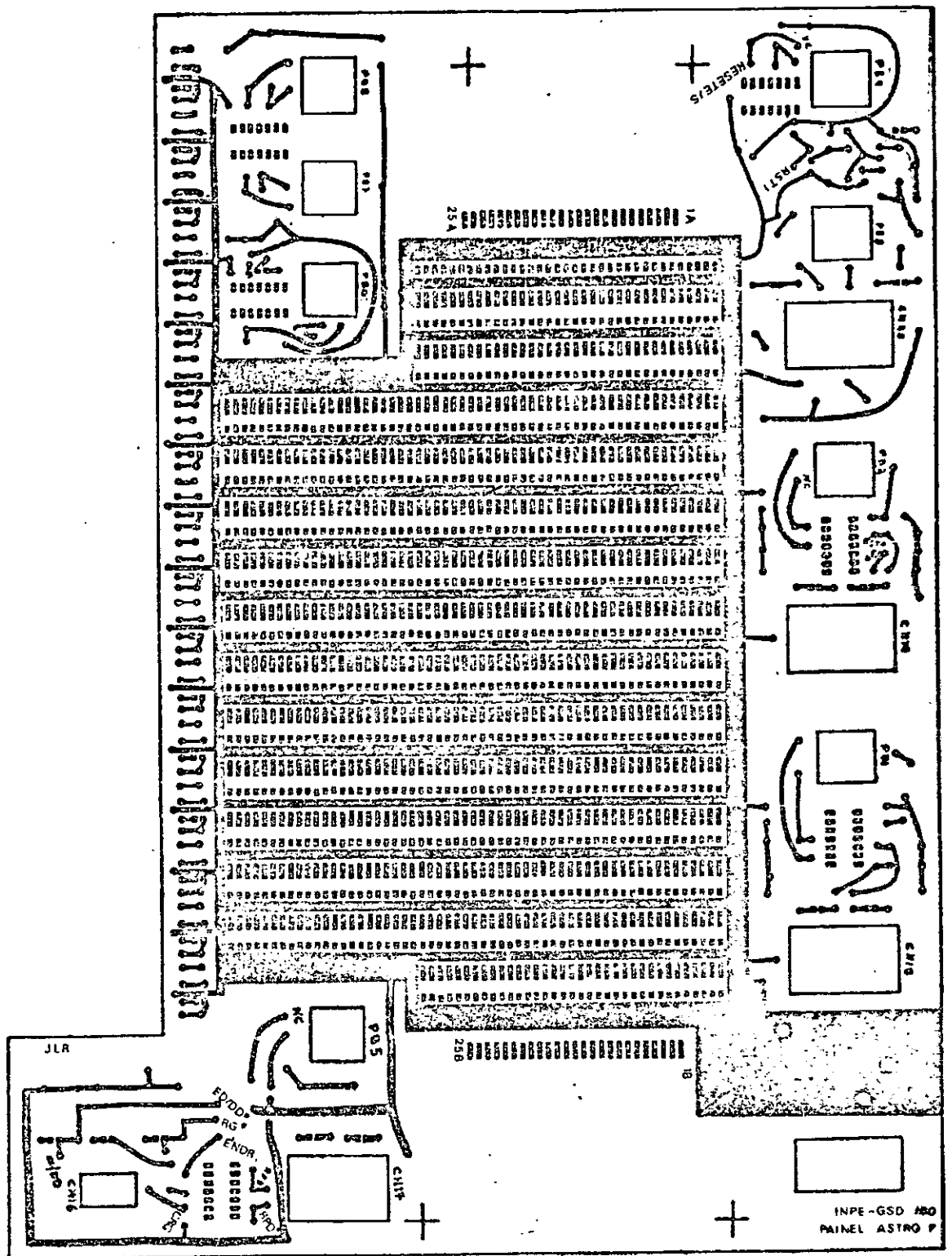


Fig. G.2 - Placa de circuito impresso do painel ASTRO P - Face B.

APÊNDICE H

CABO ENTRE UCP E PAINEL

O Cabo entre UCP e Painel provê as interconexões entre a Placa da UCP do ASTROP "Interface com o Painel e ASTROM" (Conector W de 50 pinos) e o Painel (Conectores "A" e "B" de 25 pinos cada).

H.1 - Desenho SDA-811207: Cabo entre UCP e Painel (Computador ASTRO P).