
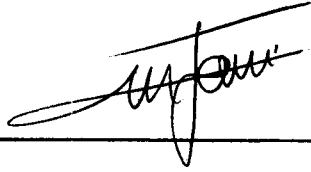



1. Publicação nº <i>INPE-3324-NTI/223</i>	2. Versão	3. Data <i>Outubro 1984</i>	5. Distribuição <input checked="" type="checkbox"/> Interna <input type="checkbox"/> Externa <input type="checkbox"/> Restrita
4. Origem <i>DTL/DRC</i>	Programa <i>AUTOM/ETSS</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>BARRAMENTO PADRÃO PARA CIRCUITOS DIGITAIS</i> <i>UNIDADE CENTRAL DE PROCESSAMENTO</i> <i>CPU 8085A</i>			<i>UCPR3</i> <i>BPCD</i>
7. C.D.U.: <i>681.322:621.38</i>			
8. Título <i>MANUAL DA UNIDADE CENTRAL DE</i> <i>PROCESSAMENTO UCPR3</i>		10. Páginas: <i>28</i>	
		11. Última página: <i>A.7</i>	
9. Autoria <i>Maurício Macedo de Faria</i> <i>Luiz Antonio dos Reis Bueno</i> <i>José Teixeira da Matta Bacellar</i> <i>Celina Ruth C.P. De Angelis</i> <i>Félix Ferreira Ribeiro</i>		12. Revisada por  <i>Osmar Branco da Silva</i>	
Assinatura responsável 		13. Autorizada por  <i>Nelson de Jesus Parada</i> <i>Diretor Geral</i>	
14. Resumo/Notas <p><i>Este manual descreve a Unidade Central de Processamento, UCPR3, projetada para o Barramento Padrão para Circuitos Digitais (BPCD), pelo grupo do projeto AUTOM. A UCPR3 pode ser utilizada como controlador do BPCD e possui até 8 "kbytes" de memória EPROM e 1 "kbytes" de memória EPROM e 1 "kbyte" de memória RAM residentes. Todas as linhas de saída são reforçadas através de "buffers" para permitir a excitação correta das linhas do barramento.</i></p>			
15. Observações			

ABSTRACT

This manual describes the Central Processing Unit (Unidade Central de Processamento - UCPR3) designed for the Digital Circuits Standard Bus (Barramento Padrão para Circuitos Digitais - BPCD) by the AUTOM project group. The UCPR3 may be used as the controller of the BPCD. It has up to 8 kbytes of resident EPROM and 1 kbyte of resident RAM. All output lines are buffered for correct driving of the bus lines.

SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS	v
1. <u>INTRODUÇÃO</u>	1
2. <u>DESCRIÇÃO GERAL</u>	2
3. <u>MEMÓRIA RESIDENTE</u>	4
4. <u>BARRAMENTO PADRÃO PARA CIRCUITOS DIGITAIS</u>	8
5. <u>CONCLUSÃO</u>	12
BIBLIOGRAFIA	13
APÊNDICE A - FIGURAS E TABELAS	

LISTA DE FIGURAS

1 - Aplicação típica da UCPR3	1
2 - Diagrama de blocos da UCPR3	3
3 - Organização da memória não-volátil	5
4 - Possíveis localizações da memória RAM residentes	6

1. INTRODUÇÃO

A Unidade Central de Processamento - UCPR3 - é uma placa de CPU projetada pelo Grupo AUTOM da Divisão de Rastreamento e Comando de Veículos Espaciais do Departamento de Telecomunicações Espaciais, compatível com o Barramento Padrão para Circuitos Digitais (BPCD), baseada no microprocessador INTEL 8085A. Esta placa possui 1 "kbyte" de memória RAM e até 8 "kbytes" de memória EPROM, residentes na placa.

A UCPR3 possui um painel com uma chave para reinicialização ("reset") do sistema e também entradas para as interrupções vetorializadas RST 5.5, RST 6.5 e RST 7.5.

A Figura 1 apresenta uma aplicação típica para a UCPR3. Ali tem-se um microcomputador completo, com terminal de vídeo e unidade de memória de disco flexível.

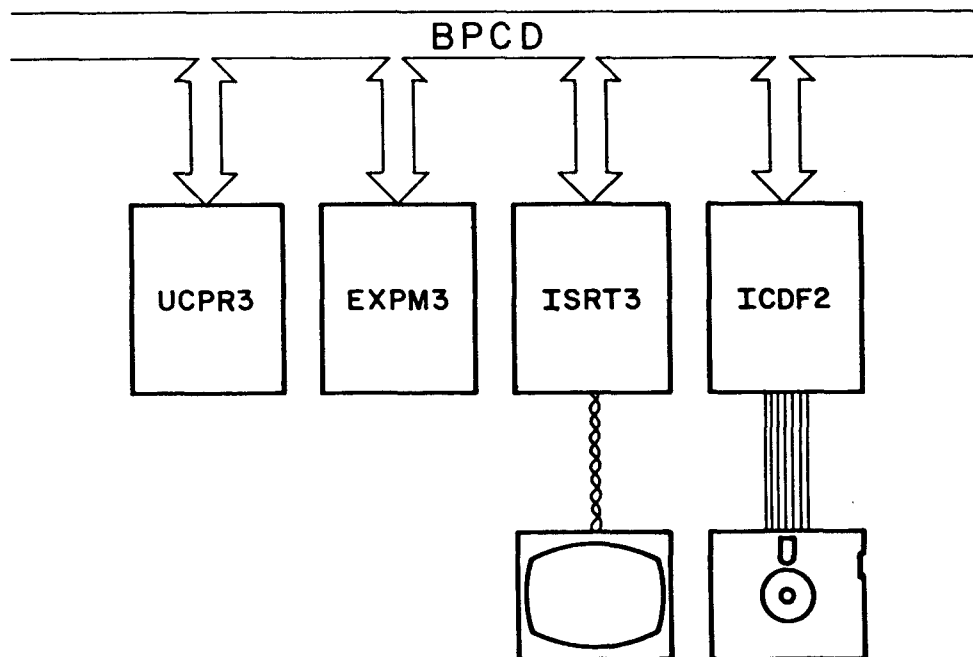


Fig. 1 - Aplicação típica da UCPR3.

2. DESCRIÇÃO GERAL

A UCPR3 é montada em uma placa de circuito impresso com dimensões no padrão IMS e compatível com o Barramento Padrão para Circuitos Digitais (BPCD).

A CPU da UCPR3 é o microprocessador 8085A, sincronizado por um cristal de quartzo de 6,144 MHz, e, portanto, com um relógio de período T_{cy} igual a 325,5 ns.

A capacidade máxima de memória não-volátil (EPROM) que pode ser instalada na UCPR3 é de 8 "kbytes". Isto é conseguido com dois circuitos integrados do tipo 2732. A capacidade de memória volátil (RAM) é de 1 "kbyte". Esta pode ser alocada em praticamente qualquer região de endereçamento da UCPR3 através de "jumpers".

A Figura 2 apresenta o diagrama de blocos da UCPR3. Além da CPU a UCPR3 constitui-se de memórias EPROM e RAM com seus respectivos circuitos de seleção, dos "buffers" dos barramentos de dados e de endereços, e também do "buffer-latch" que efetua a demultiplexação do barramento. Neste manual, convencionou-se que os sinais de nível ativo baixo são indicados pelo nome do sinal seguido de uma barra "/". (Ex.: IOW/ indica que o sinal IOW é ativo baixo). Existe ainda um circuito de geração dos sinais de controle de entrada e saída de dados (MEMR/, MEMW/, IOR/, IOW/) e uma lógica de controle que habilita os "buffers" do barramento. Além destes existem ainda os "buffers" e "drivers" que fazem a interface da CPU com o barramento de controle.

A UCPR3 é dotada ainda de um circuito de "power-on reset". Este circuito garante que o 8085A será reinicializado toda vez que a alimentação da UCPR3 for ligada.

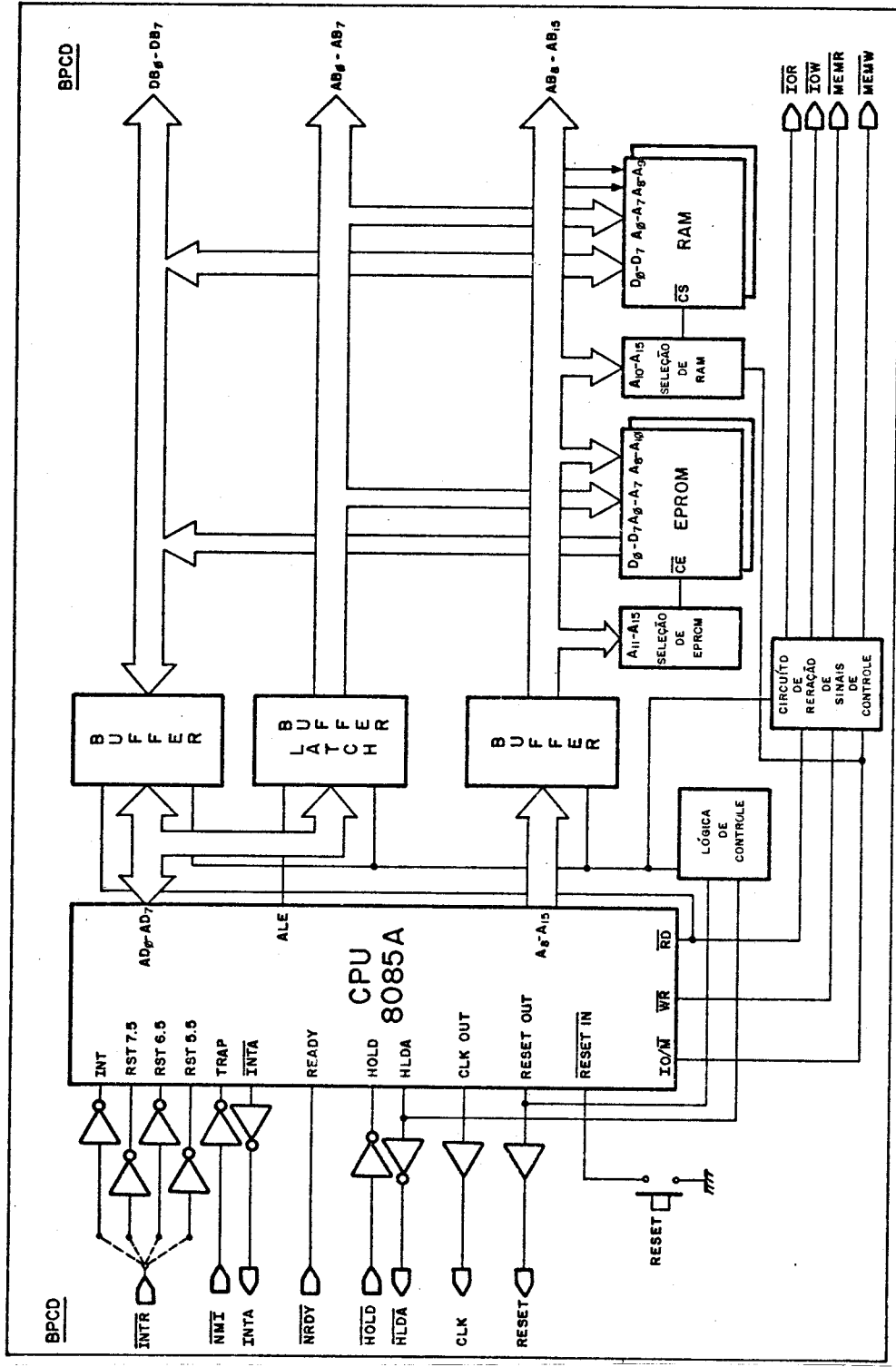


Fig. 2 - Diagrama de blocos da UCPR3.

3. MEMÓRIA RESIDENTE

A UCPR3, conforme já foi dito, possui provisão para até 8 "kbytes" de memória não-volátil e 1 "kbyte" de memória volátil na placa. Estas memórias residentes podem ser organizadas de diversas formas, conforme mostram as Figuras 3 e 4.

A Figura 3 apresenta as possíveis configurações para a memória não-volátil. Os "jumpers" J1 a J8 podem ser localizados facilmente através da Figura A.1 no Apêndice A.

A organização da memória apresentada na Figura 3(d) é de pouca utilização devido ao espaço vazio existente na região 0800-0FFF, o qual divide em duas partes a área de memória não-volátil. Com relação à organização apresentada na Figura 3(f), deve-se tomar cuidado com o fato de existir um "eco" na região da EPROM 2. Neste caso, a região de memória 0000-01FF é a mesma da Figura 3(e) com a diferença de que na região 1800-1FFF tem-se apenas um eco, ou cópia, do conteúdo da região 1000-17FF, ocupada pela EPROM 2. Assim sendo, deve-se considerar como região ocupada pela EPROMs aquela que se estende desde 0000 até 1FFF.

A UCPR3 possui também 1 "kbyte" de memória volátil, aceitando os circuitos integrados 2114 ou 2148. Esta memória pode ser instalada em áreas de endereçamento de memória predeterminadas, onde não existe EPROM instalada (ver Figura 3), através dos "jumpers" J1 a J6. A Figura 4 apresenta as possíveis localizações da RAM dentro da região de endereçamento de memória.

O modo como programar a localização da RAM na memória é apresentado na Tabela 1.

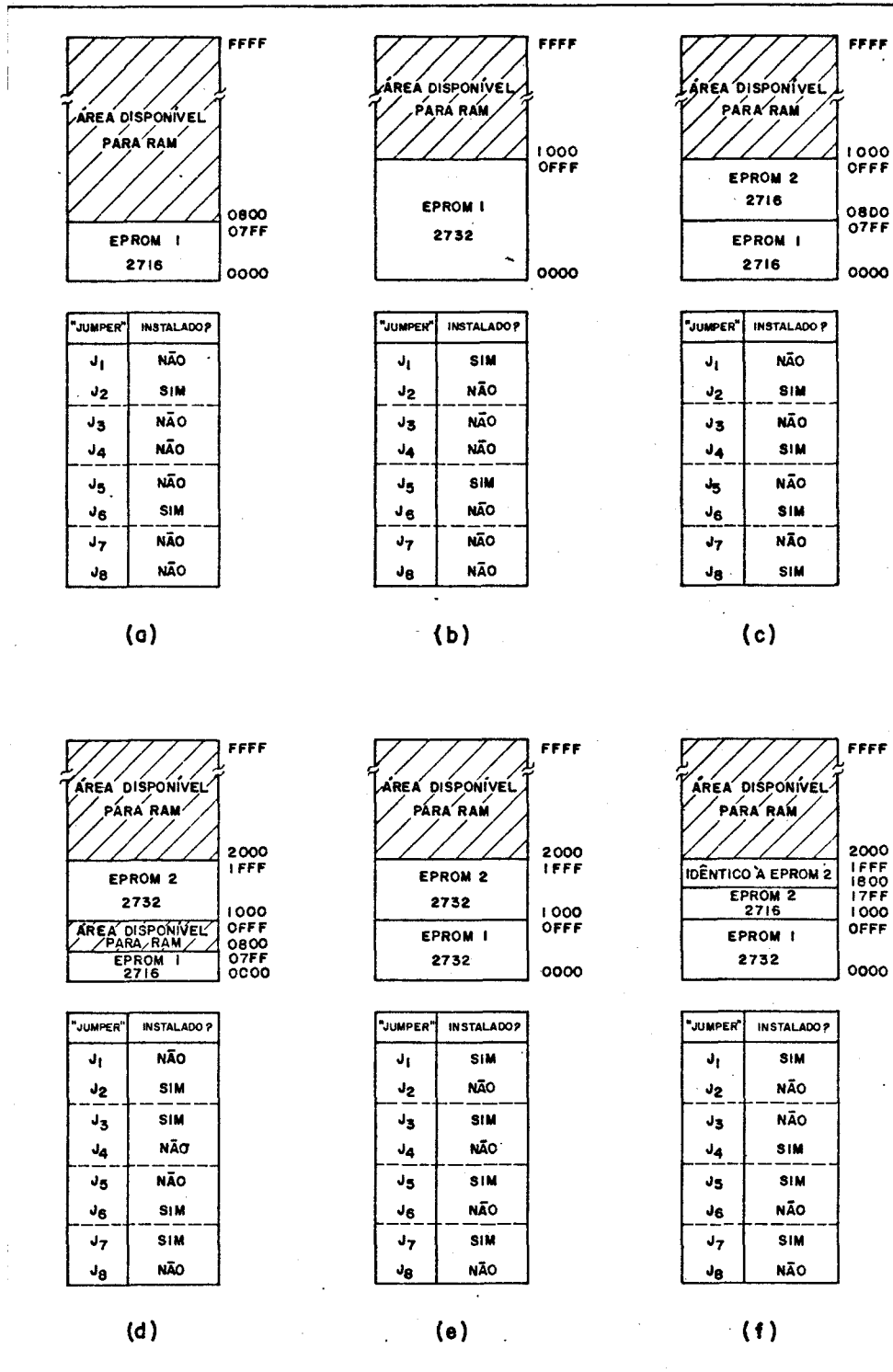


Fig. 3 - Organização da memória não-volátil.

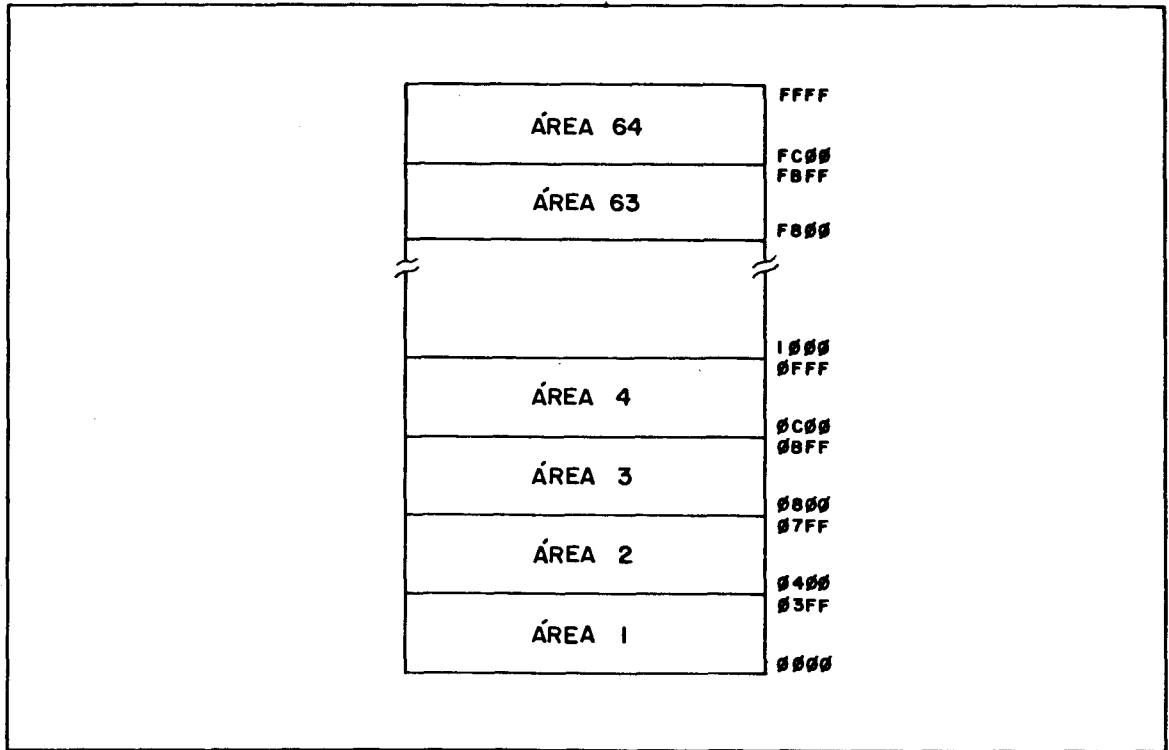


Fig. 4 - Possíveis localizações da memória RAM residente.

TABELA 1

ALOCAÇÃO DA MEMÓRIA RAM

ÁREA*	"JUMPER"					
	J14	J13	J12	J11	J10	J9
1	0	0	0	0	0	0
2	0	0	0	0	0	1
3	0	0	0	0	1	0
4	0	0	0	0	1	1
5	0	0	0	1	0	0
6	0	0	0	1	0	1
7	0	0	0	1	1	0
8	0	0	0	1	1	1
9	0	0	1	0	0	0
10	0	0	1	0	0	1
11	0	0	1	0	1	0
..
..
..
62	1	1	1	1	0	1
63	1	1	1	1	1	0
64	1	1	1	1	1	1

OBS.: 0 = "jumper" não-instalado.

1 = "jumper" instalado.

* Ver a Figura 4.

4. BARRAMENTO PADRÃO PARA CIRCUITOS DIGITAIS

A UCPR3 foi projetada visando a compatibilidade com o BPCD. Este tem por finalidade permitir a modularização dos projetos, facilitando assim a sua expansão, manutenção e modificação. O BPCD permite a ligação da UCPR3 a diversos outros módulos, por exemplo: módulos de memória, de comunicação serial, de aquisição e distribuição de parâmetros analógicos, de aquisição e distribuição de parâmetros digitais, etc...

Fisicamente, o BPCD consiste em uma placa-mãe com diversos conectores para borda de cartão de 70 contatos, com passo de 2,54 mm, ligados em paralelo. Os módulos que se ligam a estes conectores são montados em placas de circuito impresso que medem 250 x 111,5 mm ou 160 x 111,5 mm (padrão IMS). O BPCD permite desta forma a concepção de sistemas modulares que consistem no agrupamento de módulos funcionais, adequados às diversas aplicações pretendidas.

Os sinais do BPCD podem ser agrupados em quatro categorias funcionais: endereço, dados, controle/relogio e, finalmente, alimentação.

A Tabela 2 apresenta a relação completa de todas as linhas do barramento, informando ainda a posição de cada uma no conector de 70 pinos. O chamado "lado da solda" é aquele que fica à esquerda do conector, quando se olha de frente para a placa-mãe e vê-se os seus conectores.

TABELA 2

LINHAS DO BPCD

NOME	LADO DA SOLDA	LADO DOS COMPONENTES	NOME
+5V	36	1	+5V
GND	37	2	GND
+12V	38	3	-12V
INIT/ DB0	39 40	4 5	RESET DB4
DB1	41	6	DB5
DB2	42	7	DB6
DB3	43	8	DB7
INTR/ DB8	44 45	9 10	INTA DB12
DB9	46	11	DB13
DB10	47	12	DB14
DB11	48	13	DB15
BPRO/ MEMR/	49 50	14 15	BPRI/ MEMW/
IOR/ AB0	51 52	16 17	IOW/ AB4
AB1	53	18	AB5
AB2	54	19	AB6
AB3	55	20	AB7
HOLD/ NRDY/ AB8	56 57 58	21 22 23	HLDA ERR/ AB12
AB9	59	24	AB13
AB10	60	25	AB14
AB11	61	26	AB15
BHEN/ AB16	62 63	27 28	NMI/ -
AB17	64	29	-
AB18	65	30	-
AB19	66	31	-
GND	67	32	GND
BCLK	68	33	CLK
GND	69	34	GND
+5V	70	35	+5V

A UCPR3 não implementa todas as linhas do BPCD porque para a aplicação pretendida não foi necessária uma placa de CPU de uso geral que gerasse ou tratasse todas aquelas linhas. Desta forma, a UCPR3 gera ou aceita apenas algumas linhas, as quais são descritas a seguir.

AB0 a AB15 - Estas dezesseis linhas constituem uma parte do barramento de endereços do BPCD e são linhas de saída.

DB0 a DB7 - O BPCD suporta microprocessadores de até 16 bits. A UCPR3, porém, possui um barramento de dados de apenas 8 linhas bidirecionais.

MEMR/ - Sinal de controle que indica leitura de memória. Indica a memória quando esta deverá colocar no barramento o dado pedido. Linha de saída com nível ativo baixo.

MEMW/ - Sinal de controle que indica escrita de memória. Serve para carregar na memória o dado presente no barramento de dados. Linha de saída com nível ativo baixo.

IOW/ - Sinal de controle que indica escrita em periférico. Serve para carregar no registro ou porta de saída o dado endereçado para o periférico. Linha de saída com nível ativo baixo.

IOR/ - Sinal de controle que indica leitura de periférico. Indica ao periférico o momento preciso em que o dado será lido pelo controlador do BPCD. Linha de saída com nível ativo baixo.

HOLD/ - Sinal de controle que informa a CPU que algum dispositivo deseja tomar o controle do barramento. Linha

de entrada do tipo coletor aberto com nível ativo baixo.

- HLDA/ - Sinal de controle que informa que a CPU entregou o controle do barramento. Neste instante, o dispositivo que emitiu um HOLD/ poderá assumir o controle do BPCD. Linha de saída com nível ativo baixo.
- NRDY/ - Sinal de controle que informa a CPU quando o dispositivo que ela deseja acessar está pronto para receber ou fornecer o dado do/ para o barramento. Linha de entrada do tipo coletor aberto com nível ativo baixo.
- NMI/ - Pedido de interrupção não-mascarável. Esta interrupção não pode ser desabilitada. Linha de entrada do tipo coletor aberto com nível ativo baixo.
- INTR/ - Pedido de interrupção mascarável. Linha de entrada do tipo coletor aberto com nível ativo baixo.
- INTA - Sinal de reconhecimento da interrupção INTR/, usado para informar o periférico que solicitou a interrupção a hora exata para colocar no barramento de dados a instrução desejada para o atendimento da interrupção. Linha de saída com nível ativo alto.
- RESET - Sinal de reinicialização do sistema. É um pulso positivo que indica que a CPU foi reinicializada. Linha de saída com nível ativo alto.
- CLK - Sinal de relógio auxiliar. É fornecido pela saída CLK (OUT) da CPU. Pode ser empregado como relógio do sistema. Linha de saída.

5. CONCLUSÃO

A Unidade Central de Processamento, UCPR3, já foi montada e testada, estando em operação normal no laboratório do grupo AUTOM da Divisão de Rastreamento e Comando de Veículos Espaciais, do Departamento de Telecomunicações Espaciais.

A UCPR3 é uma placa de uso geral, tendo sido projetada a fim de servir como controlador para o BPCD. Será futuramente empregada nos Módulos de Controle e Monitoração (MCM) do Subsistema de Controle e Monitoração das estações terrenas. Além disto, ela poderá ser empregada na implementação de qualquer sistema baseado no microprocessador 8085A que utilize o BPCD.

BIBLIOGRAFIA

INTEL. *MCS 80/85 Family user's manual*. s.l. Oct. 1979.

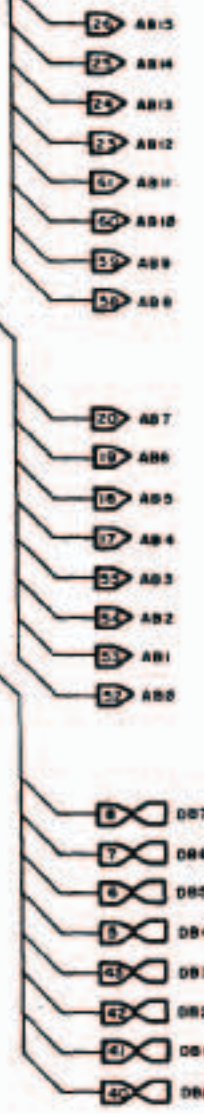
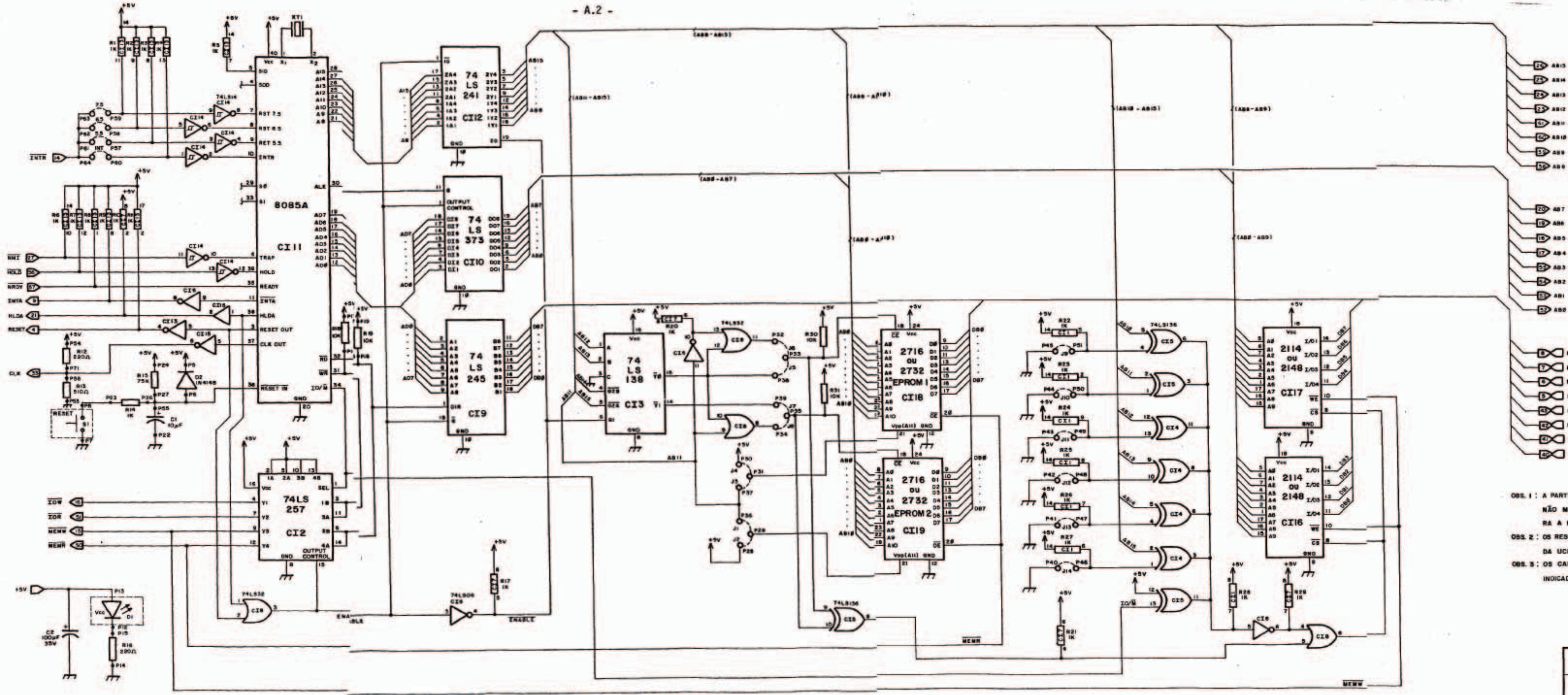
FARIA, M.M. *Especificação Preliminar de um Barramento Padrão para Circuitos Digitais*. INPE, São José dos Campos, a ser publicado.

APÊNDICE A

FIGURAS E TABELAS

Este apêndice apresenta, para melhor descrição da UCPR3, as seguintes figuras e tabelas: localização dos componentes, esquema elétrico, "lay-out" da placa de circuito impresso e relação dos componentes.

...



OBS. 1 : A PARTIR DA UCPR3 OS RESISTORES R1, R2, R3, R4, R5, R6, R7, R8, R12 + R13 NÃO MAIS SERÃO INSTALADOS NA PLACA, SENDO TRANSFERIDOS PARA A PLACA-MÃE ("BACKPLANE").

OBS. 2 : OS RESISTORES R30 + R31 PASSAM A FAZER PARTE DO CIRCUITO DA UCPR3/3 EM DIANTE.

OBS. 3 : OS CAPACITORES DE DESACOPLAMENTO C3 + C10 NÃO ESTÃO INDICADOS NESTE ESQUEMA.

INSTITUTO DE PESQUISAS ESPACIAIS DTL-DRC-AUTOM	
FIGURA A-1 - DIAGRAMA ESQUEMÁTICO DA UCPR3	
PROJETO : BACELLAR	DATA : AGO/83
DESENHO : JULIO S. NETO	DATA : 05/10/84

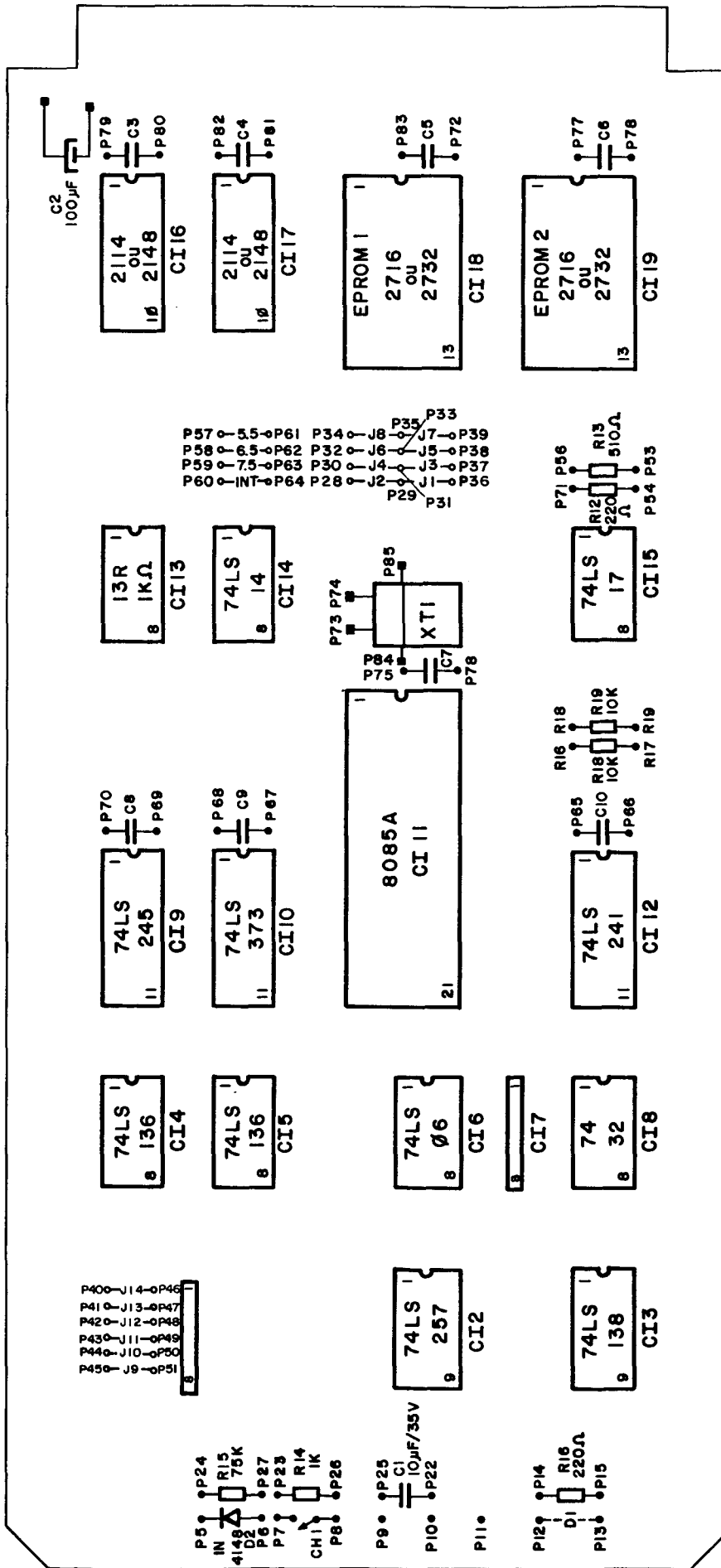


Fig. A.2 - Disposiçao dos componentes da UCPR3.

INSTITUTO DE PESQUISAS ESPACIAIS DTL-DRC-AUTOM	
UCPR3-UNIDADE CENTRAL DE PROCESSAMENTO DISPOSIÇÃO DOS COMPONENTES (LAY-OUT)	
PROJETO : BACELLAR	DATA : 13/07/84
DESENHO : JULIO S. NETO	DATA : 28/09/84

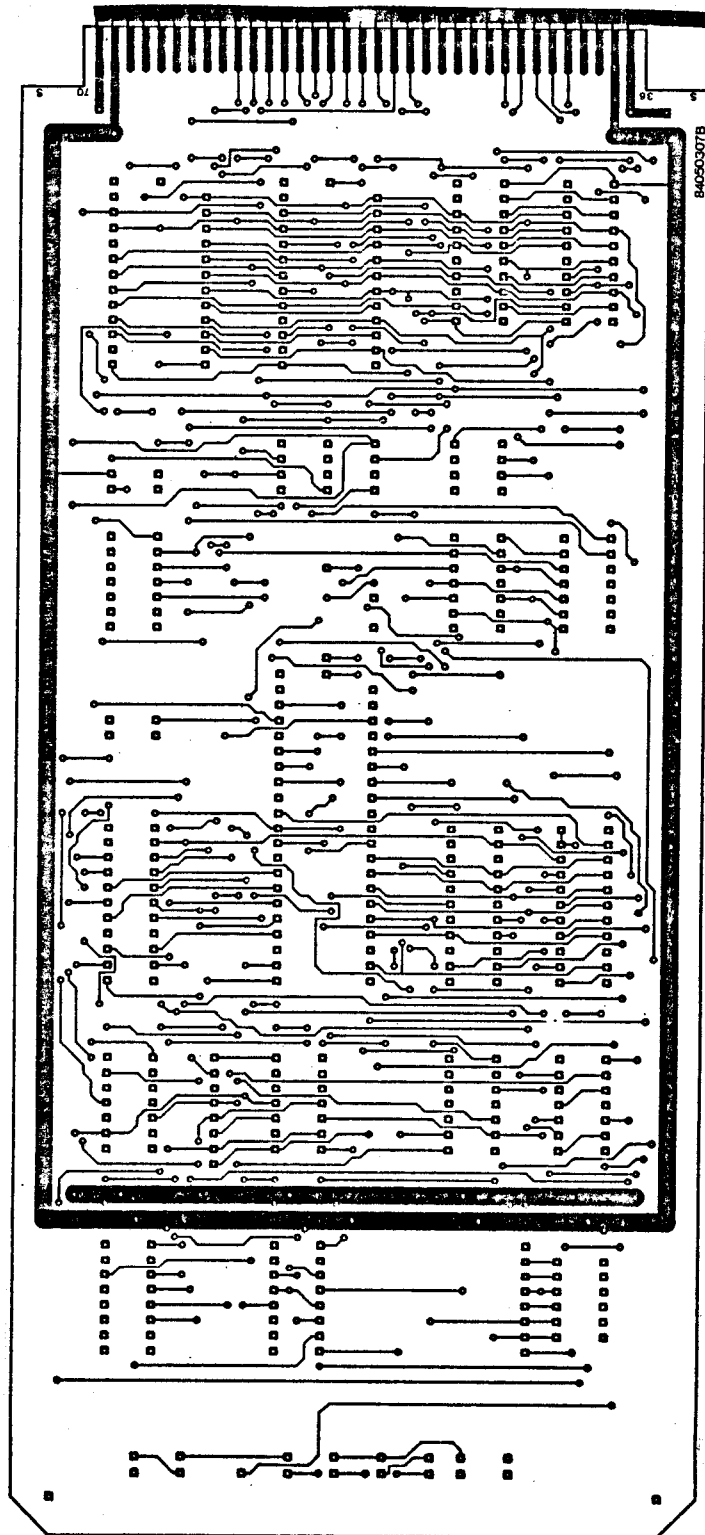


Fig. A.3 - "Lay-out" da placa do circuito impresso (lado da solda).

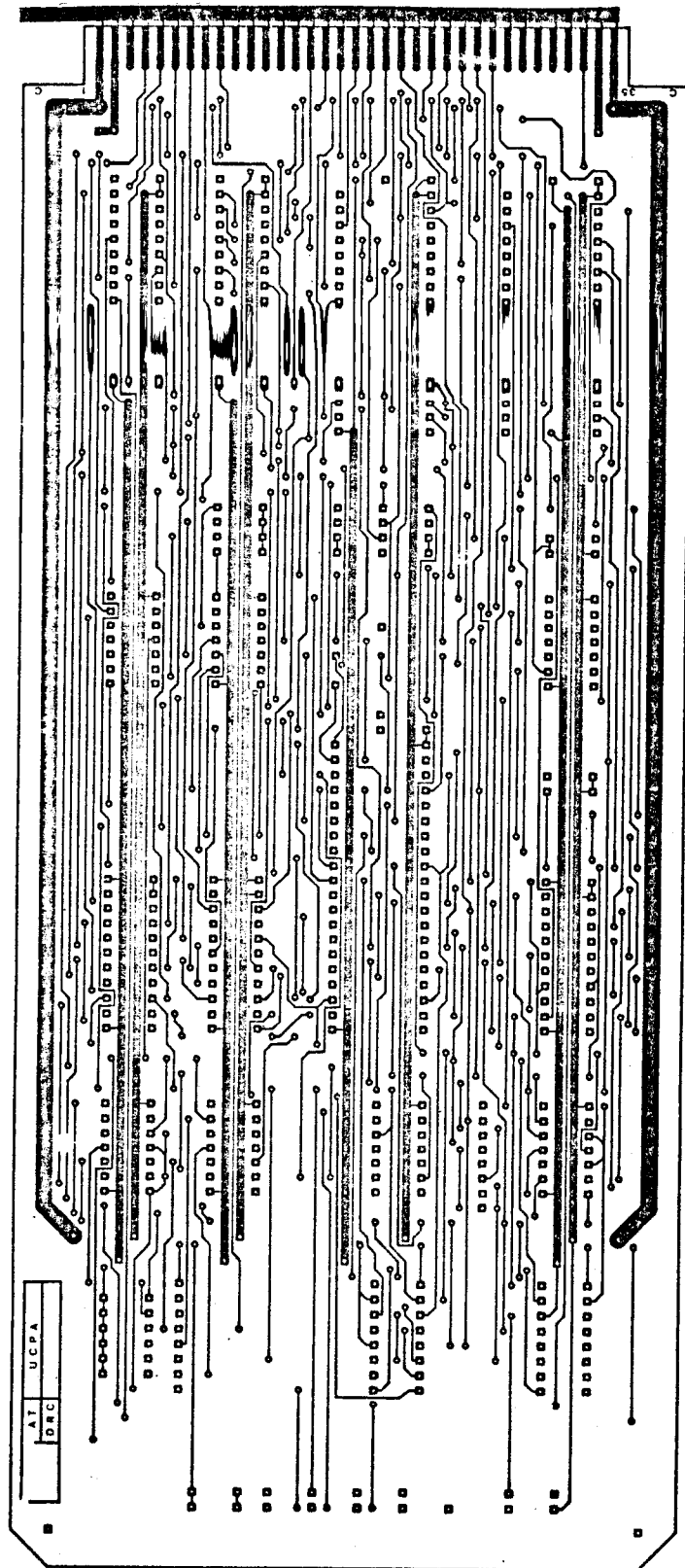


Fig. A.4 - "Lay-out" da placa do circuito impresso (lado dos componentes).

TABELA A.5

RELAÇÃO DE COMPONENTES

CÓDIGO	DESCRIÇÃO
C1	Capacitor Tântalo 10 μ F, 35V
C2	Capacitor Tântalo 100 μ F, 35V
C3 a C10	Capacitor Cerâmico, 100 kpF
CI1	"Resistor Network", 08-1-102, 7 x 1K
CI2	"Tri-state Quad Data Selectors", SN74LS257
CI3	"3-to-8 Line Decoders", SN74LS138
CI4	"Quad Exclusive-Or open coll.", SN74LS136
CI5	"Quad Exclusive-Or open coll.", SN74LS136
CI6	"Hex Inverters Buffers open coll.", SN7406
CI7	"Resistor Network", 08-1, 102, 7 x 1K
CI8	"Quad 2-input Or Gates", SN74LS32
CI9	"Tri-state Octal Buffers", SN74LS245
CI10	"Tri-state Octal Latch", SN74LS373
CI11	"Microprocessor", 8085A
CI12	"Tri-state Octal Buffers", SN74LS241
CI13	"Resistor Network", 14-2-102, 13 x 1K
CI14	"Hex Schwitt-Triggers", SN74LS14
CI15	"Hex Buffers open coll.", Hi Voltage", SN7417
CI16	RAM, 2114 ou 2148
CI17	RAM, 2114 ou 2148
CI18	UV EPROM, 2716 ou 2732
CI19	UV EPROM, 2716 ou 2732
R1 a R9	Ver CI1
R10	Ver CI7
R11	Ver CI1
R12	Resistor de Carbono, 220 Ω , 1/8W 5%

Tabela A.1 - Conclusão

CÓDIGO	DESCRIÇÃO
R13	Resistor de Carbono, 510Ω , 1/8W, 5%
R14	Resistor de Carbono, $1k\Omega$, 1/8W, 5%
R15	Resistor de Carbono, 75k, 1/8W, 5%
R16	
R17	Ver CI7
R18 e R19	Resistor de Carbono, $10k\Omega$, 1/8W, 5%
R20 e R21	Ver CI7
R22 a R28	Ver CI1
R29	Ver CI7
R30 e R31	Resistor de Carbono, $10k\Omega$, 1/8W, 5%
XT1	Cristal de Quartzo, 6,144 MHz