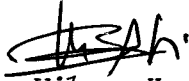



1. Publicação nº <i>INPE-3463-RTR/071</i>	2. Versão	3. Data <i>Março, 1985</i>	5. Distribuição <input type="checkbox"/> Interna <input type="checkbox"/> Externa <input checked="" type="checkbox"/> Restrita
4. Origem <i>DCA/DEA</i>	Programa <i>SISMAG/PSDA</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>MICROPROGRAMAÇÃO</i> <i>UNIDADE ARITMÉTICA MICROPROGRAMADA</i>			
7. C.D.U.:			
8. Título <i>ASTROM - UNIDADE DE MULTIPLICAÇÃO E INTERFACE</i>		<i>INPE-3463-RTR/071</i>	10. Páginas: <i>30</i>
9. Autoria <i>Marcos Antonio Cardoso Cruz</i>			11. Última página: <i>19</i>
Assinatura responsável <i>Marcos Antonio Cardoso Cruz</i>			12. Revisada por  <i>Wilson Yamaguti</i>
			13. Autorizada por  <i>Nelson de Jesus Parada</i> Diretor Geral
14. Resumo/Notas  <i>Apresentam-se as informações gerais, teoria de operação e instruções de uso da placa Unidade de Multiplicação e Interface da Unidade Aritmética Microprogramada ASTROM.</i>			
15. Observações			

ABSTRACT

*The general information, operating theory and installation instructions of the multiplier and interface unit (Unidade de Multiplicação e Interface) board of ASTROM microprogrammed arithmetic unit are presented.*



## SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS .....	v
LISTA DE TABELAS .....	vi
LISTA DE SIGLAS .....	ix
1. <u>INFORMAÇÕES GERAIS</u> .....	1
1.1 - Descrição geral .....	1
2. <u>CONFIGURAÇÃO E INTERFACEAMENTO</u> .....	2
3. <u>DESCRIÇÃO FUNCIONAL</u> .....	10
3.1 - Circuito de multiplicação .....	10
3.2 - Circuito de interface .....	15
4. <u>CONCLUSÕES</u> .....	18
REFERÊNCIAS BIBLIOGRÁFICAS .....	19



## LISTA DE FIGURAS

	<u>Pág.</u>
1 - Disposição dos conectores da UML .....	3
2 - Representação da estrutura do tipo paralelograma 24 x 24 bits	11
3 - Esquema do circuito de multiplicação .....	13
4 - Esquema do circuito de interface .....	16



## LISTA DE TABELAS

	<u>Pág.</u>
1 - Especificações da unidade UML .....	2
2 - Sinais nos conectores da UML .....	4
3 - Funções do MUX-INT .....	17
4 - Seleção dos sinais de controle .....	18





## LISTA DE SIGLAS

- L - nível "0"
- H - nível "1"
- X - "don't care" (irrelevante)
- ASTROM - unidade aritmética microprogramada de ponto fixo e ponto flutuante.
- UML - Unidade de multiplicação e interface do ASTROM
- UCN - Unidade de controle do ASTROM
- PNL - Painel do ASTROM
- ULP/M - Unidade de lógica e processamento/mantissa do ASTROM
- ULP/E - Unidade de lógica e processamento/expoente do ASTROM



## 1. INFORMAÇÕES GERAIS

Este manual fornece informações gerais, teoria de operação e instruções de uso da placa Unidade de Multiplicação e Interface (UML) integrante da unidade aritmética microprogramada ASTROM.

### 1.1 - DESCRIÇÃO GERAL

A Unidade de Multiplicação e Interface implementa basicamente duas funções, ou seja, a multiplicação e o interfaceamento da unidade aritmética ASTROM.

O circuito de multiplicação empregado nesta unidade baseia-se no multiplicador digital Am 25S05 (Advanced Micro Devices 1977). Este componente é utilizado numa estrutura de paralelograma com sequenciamento no tempo, baseado no algoritmo de Booth (Advanced Micro Devices, 1977).

A multiplicação é feita por passos e em cada passo opera-se o multiplicando de 24 bits por 4 bits do multiplicador. Desta forma, para ter o produto de 24 x 24 bits são necessários 6 passos de multiplicação. Tanto o multiplicando como o multiplicador são representados em magnitude apenas, quer seja ponto fixo quer seja ponto flutuante.

O circuito de interfaceamento desta unidade provê meios para estabelecer a comunicação de dados entre a unidade aritmética e o computador, ao qual ela está acoplada, ou o painel do ASTROM.

Os componentes utilizados na implementação da UML pertencem às famílias 74S e 74LS (Texas Instruments Inc., 1976) e Am 25S (Advanced Micro Device, 1977).

Na Tabela 1 são fornecidas as características físicas/ elétricas para a utilização da placa de UML.

TABELA 1

ESPECIFICAÇÕES DA UNIDADE UML

CARACTERÍSTICAS	ESPECIFICAÇÕES
Níveis de saída:	
- estado "0"	0,4 V <sub>máx</sub>
- estado "1"	2,4 V <sub>min</sub>
Níveis de entrada:	
- estado "0"	0,8 V <sub>máx</sub>
- estado "1"	2,0 V <sub>min</sub>
Frequência de operação.	5,5 MHz
Requisitos de alimentação:	
- tensão	5,0V $\pm$ 5%
- corrente	3,8 A(máx)
Dimensões:	
- altura	30 mm
- largura	250 mm
- profundidade	195 mm
Temperatura de operação.	15 <sup>o</sup> C a +35 <sup>o</sup> C

2. CONFIGURAÇÃO E INTERFACEAMENTO

A Unidade de Multiplicação e Interface é montada em uma placa de "wire-wrap" com dois conectores lineares de 70 pinos cada e de passo 2,54 mm. Estes conectores são denominados X e Y, acrescidos da letra A se estiver do lado dos componentes, ou da letra B se estiver do lado da fiação, seguido do número de pino que varia de 1 a 35 inclusi

ve. A Figura 1 mostra a disposição dos conectores na placa, e a Tabela 2 contém a relação dos sinais utilizados nos conectores.

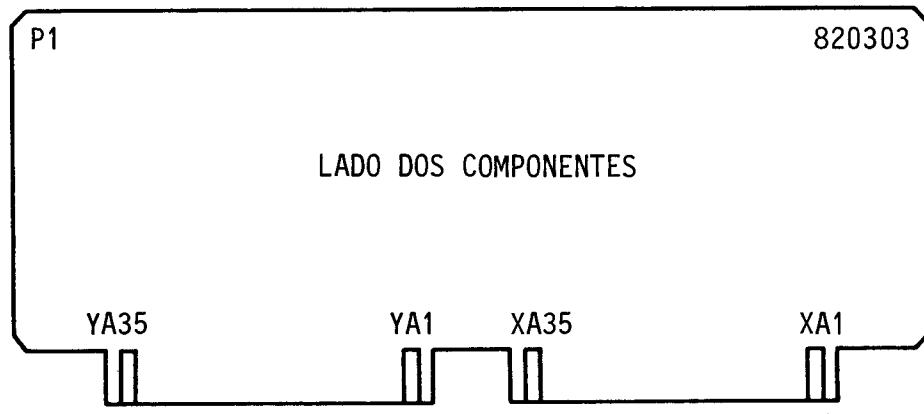


Fig. 1 - Disposição dos conectores da UML.

Devido ao fato da unidade aritmética ASTROM ser um equipamento que não possui os diversos barramentos de dados e controle comum a todas as placas que o integram, torna-se necessária a determinação de posições específicas para cada placa. Em vista deste argumento, a placa da Unidade de Multiplicação e Interface, denominada Placa P4, deverá ser utilizada no "slot" P4 da caixa do ASTROM. Esta placa não contém nenhum "jumper" ou "dip-switch" para a configuração de operação, e os sinais envolvidos não apresentam nenhum "hand-shake" específico, constituindo-se em sinais de controle, de dados e de "status".

TABELA 2

SINAIS NOS CONECTORES DA UML

SINAIS NOS CONECTORES		INPE - DCA/PSDA- PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 01 DE 06	
PLACA: UNIDADE DE MULTIPLICAÇÃO E INTERFACE				CÓD: 820303	
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISWAG	APROV: / /	RESP: / /	
PINO	SINAL	E/S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XA1	YBX(0)	S	ULP/E	YBX (7-0) : BARRAMENTO YBX (7-0)	
XA2	YBX(1)	S	"		
XA3	YBX(2)	S	"		
XA4	VCC	E	FONTE	ALIMENTAÇÃO	
XA5	YBX(3)	S	ULP/E		
XA6	YBX(4)	S	"		
XA7	YBX(5)	S	"		
XA8	YBX(6)	S	"		
XA9	YBX(7)	S	"		
XA10	RI(8)	S	UCN	REGISTRO DE INSTRUÇÃO (8)	
XA11	VCC	E	-		
XA12	-	-	-		
XA13	D(7)	E/S	PNL/UCP	D (7-3) BARRAMENTO D (7-3)	
XA14	D(6)	E/S	"		
XA15	D(5)	E/S	"		
XA16	D(4)	E/S	"		
XA17	D(3)	E/S	"		
XA18	VCC	E	FONTE	ALIMENTAÇÃO	
XA19	D(2)	E/S	PNL/UCP	D(2-0). BARRAMENTO D (2-0)	
XA20	D(1)	E/S	"		
XA21	D(0)	E/S	"		
XA22	YB(S)	E/S	ULP/E	SINAL DA MANTISSA YB	
XA23	YBF(12)	E/S	ULP/M	YBF(12-22) : BARRAMENTO YBF (12-22)	

(continua)

TABELA 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 02 DE 06	
PLACA: UNIDADE DE MULTIPLICAÇÃO E INTERFACE			CÓD: 820303		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XA25	VCC	E	FORTE	ALIMENTAÇÃO	
XA26	YBF(14)	E/S	ULP/M		
XA27	YBF(15)	E/S	"		
XA28	YBF(16)	E/S	ULP/E		
XA29	YBF(17)	E/S	"		
XA30	YBF(18)	E/S	"		
XA31	YBF(19)	E/S	"		
XA32	VCC	E	FORTE		
XA33	YBF(20)	E/S	ULP/E		
XA34	YBF(21)	E/S	"	ALIMENTAÇÃO	
XA35	YBF(22)	E/S	"		
YA1	YAF(22)	E/S	ULP/E		
YA2	YAF(21)	E/S	"		
YA3	YAF(20)	E/S	"		
YA4	TRA	S	FORTE	YAF(22-12) : BARRAMENTO YAF(22-12)	
YA5	YAF(19)	E/S	ULP/E		
YA6	YAF(18)	E/S	"	TERRA	
YA7	YAF(17)	E/S	"		
YA8	YAF(16)	E/S	"		
YA9	YAF(14)	E/S	"		
YA10	YAF(14)	E/S	"		
YA11	TRA	S	FORTE		
YA12	YAF(13)	E/S	ULP/M		

(continua)



TABELA 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 03 DE06	
PLACA: UNIDADE DE MULTIPLICAÇÃO E INTERFACE			CÓD: 820303		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISWAG	APROV: / /	RESP: / /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
YA13	YAF(12)	E/S	ULP/M	TERRA	
YA14	CHCDO	E	UCN	CARREGA MULTIPLICANDO	
YA15	MSBM	E	UCN	BIT MAIS SIGNIFICATIVO DA UML	
YA16	CYAF(1)	E	UCN	CONTROLE DO BARRAMENTO YAF-BIT 1	
YA17	CYBF(0)	E	UCN	CONTROLE DO BARRAMENTO YBF-BIT 0	
YA18	TRA	S	FORTE	TERRA	
YA19	HAQF	S	ULP/M, ULP/E	HABILITAÇÃO DA SAÍDA DO REGISTRO AQFR	
YA20	HBFR	S	" "	HABILITAÇÃO DA SAÍDA YB DO REGISTRO DE DADOS	
YA21	PROD(23)	S	ULP/E	BIT 23 DO PRODUTO	
YA22	RSTC	E	UCP	INICIALIZAÇÃO VIA UCP	
YA23	RSTP	E	PNL	INICIALIZAÇÃO VIA PAINEL	
YA24	LERP	E	PNL	LER DADOS VIA PAINEL	
YA25	TRA	S	FORTE	TERRA	
YA26	IDLE	E	UCN	SINALIZAÇÃO DE OCUPADO/LIVRE	
YA27	ATN	E	PNL	SINALIZAÇÃO DO PAINEL	
YA28	ATNC	E	UCP	SINALIZAÇÃO DA UCP	
YA29	SUP	E	PNL	SELEÇÃO UCP/PAINEL	
YA30	RST	S	UCN	SINALIZAÇÃO DE MODO REMOTO	
YA31	UPFOK	S	UCP	TERRA	
YA32	TRA	S	FORTE	LER DADOS VIA UCP	
YA33	LERC	E	UCP		
YA34	-	-	-		
YA35	-	-	-		
YB1	SDS	E	UCN	SELECIONA DADOS DE SAÍDA	

(continua)

TABELA 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 04 DE 06	
PLACA: UNIDADE DE MULTIPLICAÇÃO E INTERFACE			CÓD: 820303		
EQUIP: UNIDADE DE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XB2	RATN	S	UCN	"FLAG" DE REQUER ATENÇÃO	
XB3	-	-	-		
XB4	VCC	E	FORTE	ALIMENTAÇÃO	
XB5	HMSW	E	ULP/E	HABILITA A PALAVRA MAIS SIGNIFICATIVA DA INTERFACE DO ASTROM	
XB6	CDC	E	UCN	CARREGA DADOS DE SAÍDA	
XB7	-	-	-		
XB8	RI(15)	S	UCN	RI(15): REGISTRO DE INSTRUÇÃO (15)	
XB9	RI(10)	S	UCN	RI(10-9): REGISTRO DE INSTRUÇÃO (10-9)	
XB10	RI(9)	S	UCN		
XB11	VCC	E	FORTE	ALIMENTAÇÃO	
XB12	CHDOR	E	UCN	CARREGA MULTIPLICADOR	
XB13	D(8)	E/S	UCP/PNL	D(12-8): BARRAMENTO D(12-8)	
XB14	D(9)	E/S	UCP/PNL		
XB15	D(10)	E/S	UCP/PNL		
XB16	D(11)	E/S	UCP/PNL		
XB17	D(12)	E/S	UCP/PNL		
XB18	VCC	E	FORTE	ALIMENTAÇÃO	
XB19	D(13)	E/S	UCP/PNL	D(15-13): BARRAMENTO D(15-13)	
XB20	D(14)	E/S	"		
XB21	D(15)	E/S	"		
XB22	YBF(11)	E/S	ULP/M	YBF(11-0): BARRAMENTO YBF(11-0)	
XB23	YBF(10)	E/S	"		
XB24	YBF(9)	E/S	"		
XB25	VCC	E	FORTE	ALIMENTAÇÃO	

(continua)

TABELA 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA- PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 05 DE 06	
PLACA: UNIDADE DE MULTIPLICAÇÃO E INTERFACE			CÓD: 820303		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XB26	YBF(8)	E/S	ULP/M		
XB27	YBF(7)	E/S	"		
XB28	YBF(6)	E/S	"		
XB29	YBF(5)	E/S	"		
XB30	YBF(4)	E/S	"		
XB31	YBF(3)	E/S	"		
XB32	VCC	E	FORTE	ALIMENTAÇÃO	
XB33	YBF(2)	E/S	ULP/M		
XB34	YBF(1)	E/S	"		
XB35	YBF(0)	E/S	"		
YB1	YAF(0)	E/S	ULP/M	YAF(11-0) : BARRAMENTO YAF(11-0)	
YB2	YAF(1)	E/S	"		
YB3	YAF(2)	E/S	"		
YB4	TRA	S	FORTE	TERRA	
YB5	YAF(3)	E/S	ULP/M		
YB6	YAF(4)	E/S	"		
YB7	YAF(5)	E/S	"		
YB8	YAF(6)	E/S	"		
YB9	YAF(7)	E/S	"		
YB10	YAF(8)	E/S	"		
YB11	TRA	S	FORTE	TERRA	
YB12	YAF(9)	E/S	ULP/M		
YB13	YAF(10)	E/S	"		

(continua)

TABELA 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 06 DE 06	
PLACA: UNIDADE DE MULTIPLICAÇÃO E INTERFACE			CÓD: 820303		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E/S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
YB14	YAF(11)	E/S	ULP/M	TERRA	
YB15	HAFR	S	ULP/M,ULP/E	HABILITAÇÃO DA SAÍDA YA DO REGISTRO DE DADOS	
YB16	CYAF(0)	E	UCN	CONTROLE DO BARRAMENTO YAF-BIT 0	
YB17	CYBF(1)	E	"	CONTROLE DO BARRAMENTO YBF-BIT 1	
YB18	TRA	S	FORTE	TERRA	
YB19	HRQ	S	ULP/M	HABILITAÇÃO DA SAÍDA DO REGISTRO RQ	
YB20	CSMDR	E	UCN	SELEÇÃO DO MULTIPLICADOR E REGISTRO RQ	
YB21	NZERA	E	ULP/M	ZERA "PIPELINE" DA UML	
YB22	RI(7)	S	UCN	RI(7-0): REGISTRO DE INSTRUÇÃO (7-0)	
YB23	RI(6)	S	"		
YB24	RI(5)	S	"		
YB25	TRA	S	FORTE	TERRA	
YB26	RI(4)	S	UCN		
YB27	RI(3)	S	"		
YB28	RI(2)	S	"		
YB29	RI(1)	S	"		
YB30	RI(0)	S	"		
YB31	---	-	-		
YB32	TRA	S	FORTE	TERRA	
YB33	TLERC	E	UCP	TERRA DO SINAL LERC	
YB34	TATHC	E	UCP	TERRA DO SINAL ATHC	
YB35	TRSTC	E	UCP	TERRA DO SINAL RSTC	

### 3. DESCRIÇÃO FUNCIONAL

A Unidade de Multiplicação e Interface é constituída por uma parte correspondente ao Circuito de Multiplicação e uma parte referente ao Circuito de Interface do ASTROM com o computador ao qual ele estiver conectado.

#### 3.1 - CIRCUITO DE MULTIPLICAÇÃO

O Circuito de Multiplicação baseia-se no multiplicador em complemento de dois AM 25S05 (Advanced Micro Device, 1977). Uma possível configuração para ter um multiplicador de 24 x 24 bits com alto desempenho é do tipo paralelograma, mostrada na Figura 2.



Entretanto, esta estrutura em paralelograma apresenta como inconveniente a necessidade de utilizar 72(12x16) circuitos integrados AM 25S05.

Um esquema alternativo é a utilização de um circuito sequenciado no tempo que implementa a configuração do tipo paralelograma. Este esquema pode ser visto na Figura 3.

O bloco básico do Circuito de Multiplicação é o "Array" Multiplicador, baseado no componente AM 25S05, com capacidade de operar 24 x 4 bits.

Os operandos multiplicando e multiplicador são armazenados nos Registros Multiplicando e Multiplicador, respectivamente. O primeiro registro armazena o multiplicando de 24 bits, sincronizado com o sinal CMCD0, cuja saída é aplicada à entrada x do "Array" Multiplicador. O segundo é baseado no registro com duas entradas AM 25S09 (Advanced Micro Device, 1977), com um total de 28 bits. Este registro armazena um operando de 28 bits correspondente ao multiplicador e 4 bits mais significativos no nível "0", quando o sinal SMCDR está no nível "0" e ocorre um pulso no sinal CMCDR. Outra função do Registro Multiplicador é deslocar o multiplicador de 4 bits para a esquerda, armazenando parte do resultado da multiplicação nos 4 bits mais significativos do registro. Esta operação se dá quando o sinal SMCDR está no nível "1" e ocorre um pulso no sinal CMCDR.

Os outros dois registros existentes no circuito de multiplicação são os Registros de Resultado Parcial e o de Transporte. O Registro de Resultado Parcial contém 24 bits e armazena o produto parcial da multiplicação, sincronizado com o sinal CMCDR. Este registro possui também uma entrada de "clear", ativada quando o sinal NZERA está no nível "0". O Registro de Transporte armazena os bits de transporte que são realimentados ao "Array" Multiplicador. Este último registro é sincronizado com o sinal CMCDR.

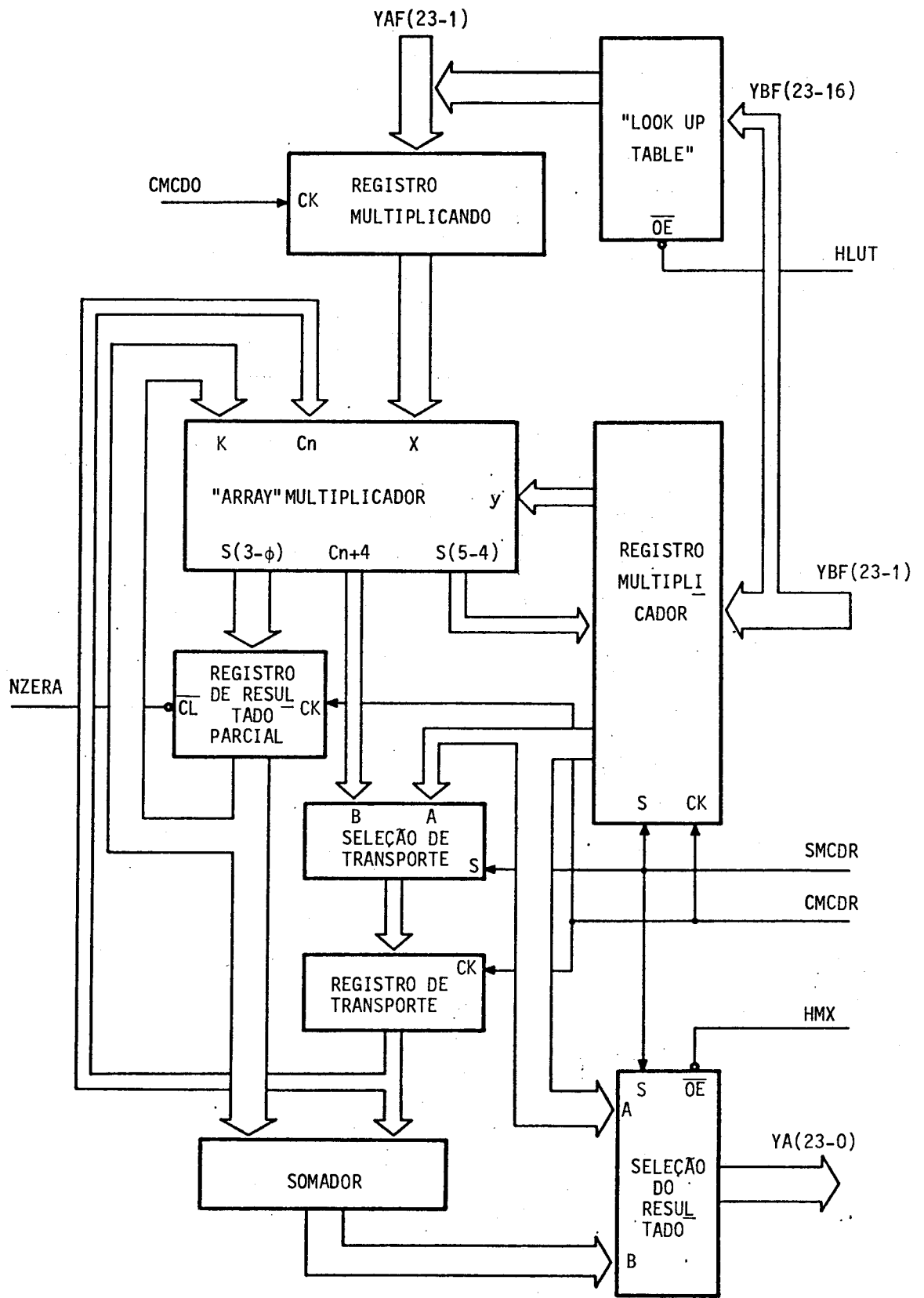


Fig. 3 - Esquema do circuito de multiplicação.



No Circuito de Multiplicação tem-se ainda os blocos para Seleção de Transporte, Seleção do Resultado, Somador e "Look Up Table".

A Seleção de Transporte é controlada pelo sinal SMCDR e fornece os bits de transporte a serem armazenados no Registro de Transporte. Quando o sinal SMCDR está no nível "0", os bits selecionados são os bits pares do multiplicador e quando ele está no nível "1" os bits selecionados são os de transportes gerados pelo "Array" Multiplicador.

Observa-se a partir da Figura 2 que nos dois primeiros níveis da estrutura em paralelograma os bits de transporte a serem aplicados ao "array" da estrutura são os bits pares do multiplicador e nos demais níveis os bits de transporte de entrada são os bits de transporte gerados dois níveis anteriores. Daí a necessidade de incluir o módulo de Seleção de Transporte, de forma a inicializar o Circuito de Multiplicação adequadamente.

Na estrutura sequenciada no tempo, para cada passo de multiplicação, operam-se 4 bits do multiplicador obtendo 4 bits que correspondem a uma parte do resultado, 12 bits de transporte e 24 bits de resultado parcial. Tanto o transporte como o resultado parcial são adicionados ao produto parcial no passo seguinte da multiplicação, através das suas realimentações ao "Array" Multiplicador. Entretanto, o transporte e o resultado parcial do último passo de multiplicação só seriam adicionados ao produto parcial no passo seguinte; para solucionar este problema inclui-se um módulo Somador, de modo a ter o resultado final corrigido.

À medida que se executa um passo de multiplicação, uma parte do resultado é armazenada no Registro Multiplicador. Após 6 passos de multiplicação, têm-se os 24 bits menos significativos do produto armazenados no Registro Multiplicador e 24 bits mais significativos do produto gerados pelo Somador.

O resultado da operação pode ser lido no barramento YAF (23-0) através da Seleção do Resultado. Este módulo é controlado pelo sinal SMCDR, que no nível "0" seleciona os 24 bits menos significativos do produto e no nível "1" seleciona os 24 bits mais significativos do produto. A saída deste módulo é do tipo "tri-state", ativada com o sinal HMX em nível "0".

Adicionalmente, tem-se uma "Look-Up Table" que fornece um operando de 24 bits, com os 16 bits mais significativos nulos e os 8 bits menos significativos obtidos de uma memória PROM endereçada pelos 8 bits mais significativos do multiplicador.

Esta "Look-Up Table" tem a saída do tipo "tri-state" controlada pelo sinal HLUT. Esta tabela contém os fatores utilizados no algoritmo de divisão em ponto flutuante.

### 3.2 - CIRCUITO DE INTERFACE

O Circuito de Interface é o responsável pela comunicação do ASTROM com o Painel e com o computador ao qual ele estiver acoplado. Seu esquema básico pode ser visto na Figura 4.

Todo dado transferido da unidade aritmética para o Painel/UCP e vice-versa é armazenado no Registro de Dados da Interface, o qual pode ser lido tanto pelas Unidades do ASTROM quanto pelo Painel/UCP.

O dado a ser armazenado no Registro de Dados da Interface pode vir de unidades internas do ASTROM ou externamente do Painel/UCP. A seleção de dado é feita através do MUX-INT que é controlado pelos sinais IDLE e SDS, cujas funções estão descritas na Tabela 3.

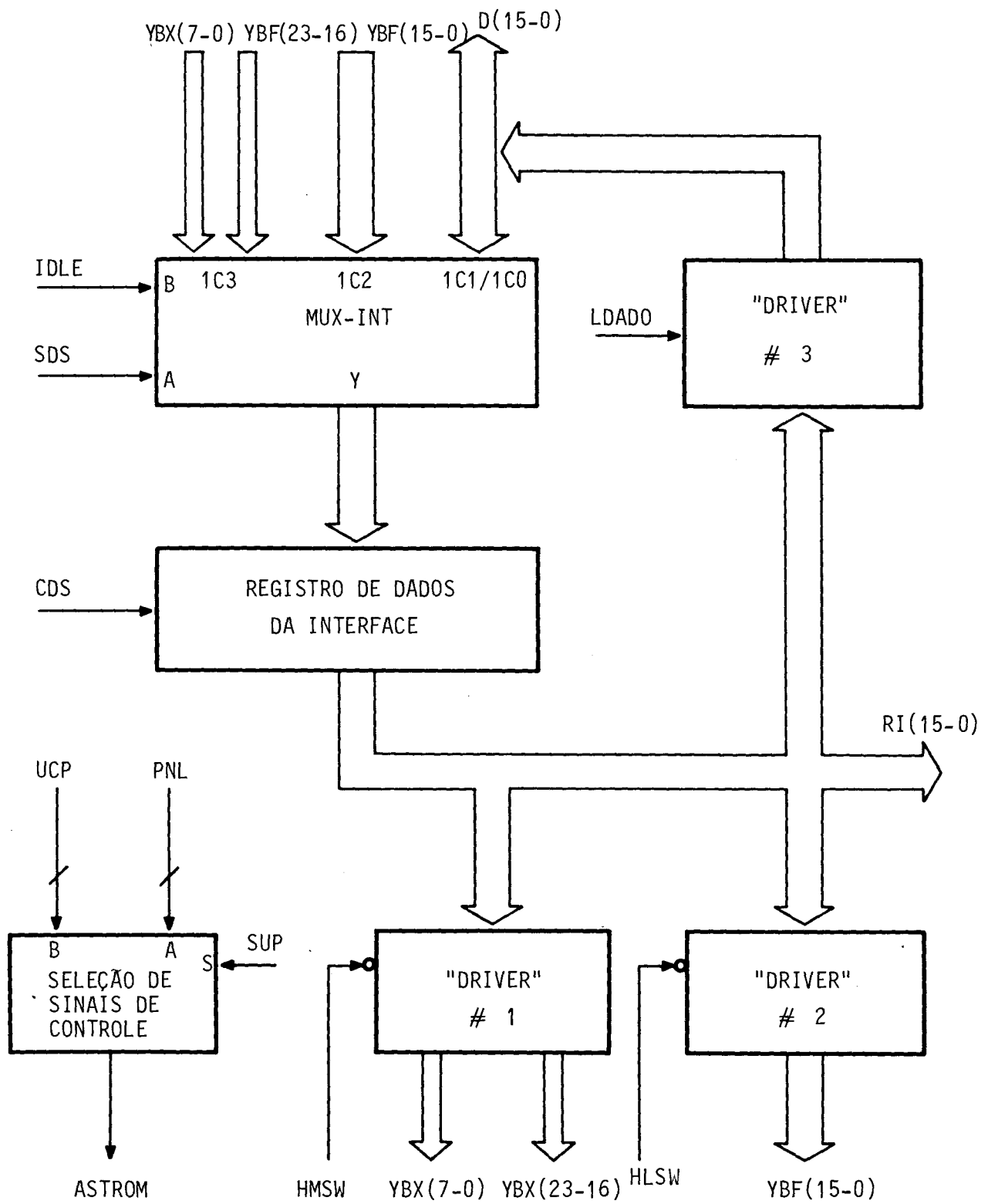


Fig. 4 - Esquema do circuito de interface.

TABELA 3

FUNÇÕES DO MUX-INT

BITS DE SELEÇÃO		SINAL SELECIONADO	DESCRIÇÃO
IDLE	SDS		
0	X	D (15-0)	Barramento do Painel/UCP
1	0	YBF (15-0)	Barramento YBF (15-0)
1	1	YBX (7-0) YBF (23-16)	Barramento YBF(7-0) e YBF(23-16)

O dado do Registro de Dados da Interface é enviado ao barramento YBX(7-0) - YBF(23-16) através do "Driver" # 1. Este "driver" possui saídas do tipo "tri-state", ativadas quando o sinal HMSW estiver no nível "0". O dado deste mesmo registro pode ainda ser enviado ao barramento YBF(15-0) através do "DRIVER" # 2", cuja saída é ativada quando o sinal HLSW estiver no nível "0".

Adicionalmente, a saída do Registro de Dados da Interface é enviada para o Registro de Instrução da UCN (Cruz, no prelo) através do barramento RI(15-0) ou lida pelo Painel/UCP através do "DRIVER" # 3. Este último "driver" é do tipo "tri-state", ativado quando o sinal LDADO estiver no nível "1", e está conectado ao barramento bidirecional D(15-0).

Para finalizar a descrição do Circuito de Interface tem-se a lógica de Seleção de Sinais de Controle. Sua função é selecionar os sinais necessários para a comunicação da unidade aritmética com o Painel ou com a UCP, os quais estão relacionados na Tabela 4. Esta lógica é controlada pelo sinal SUP, gerado na placa do Painel, que seleciona os sinais vindo do Painel quando no nível "0" ou da UCP quando no nível "1".

TABELA 4

SELEÇÃO DOS SINAIS DE CONTROLE

SINAL EXTERNO	ORIGEM	SINAL GERADO	DESCRIÇÃO
ATNC	UCP	RATN	Requer atenção do ASTROM
ATNP	PNL		
RSTC	UCP	RST	Inicializa o ASTROM
RSTP	PNL		
LERC	UCP	LDADO	Ler dado do ASTROM
LERP	PNL		

Com a descrição do Circuito de Interface completa-se o manual da Unidade de Multiplicação e Interface (UML) da unidade aritmética ASTROM.

#### 4. CONCLUSÕES

O protótipo da Unidade de multiplicação e Interface foi montado em uma placa de "wire-wrap" para validação da lógica do circuito e para testes das rotinas das funções aritméticas executadas pelo ASTROM.

A reprodução da unidade aritmética implicará a necessidade de confecção desta placa em circuito impresso, obtendo-se como vantagens a diminuição de tempo e a confiabilidade na montagem do produto.

5. REFERÊNCIAS BIBLIOGRÁFICAS

ADVANCED MICRO DEVICES. *Schottky and low-power schottky data book*.  
2. ed. Sunnyvale, CA, C. 1977.

TEXAS INSTRUMENTS INC. *The TTL data book for design engineers*. 2 ed.  
Dallas, TX, C.1976.

CRUZ, M.A.C. *ASTROM - Unidade de Controle*. INPE, São José dos Campos,  
no prelo.