

1. Publicação nº <i>INPE-2433-RTR/013</i>	2. Versão	3. Data <i>Junho, 1982</i>	5. Distribuição <input type="checkbox"/> Interna <input type="checkbox"/> Externa <input checked="" type="checkbox"/> Restrita
4. Origem <i>DEE/DEL</i>	Programa <i>SISMAG</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>MICROPROGRAMAÇÃO</i> <i>EMULAÇÃO DE MEMÓRIAS PROM</i> <i>DEPURAÇÃO E DIAGNOSE</i> <i>PROJETO AUXILIADO POR COMPUTADOR</i> <i>MONITORAMENTO DE PONTAS DE TESTE</i>			
7. C.D.U.: <i>681.326.32</i>			
8. Título  <i>EMMAC - SISTEMA EMULADOR</i>		10. Páginas: <i>104</i>	
		11. Última página: <i>D.1</i>	
		12. Revisada por  <i>Eduardo W. Bergamini</i>	
9. Autoria <i>Marcos Antonio Cardoso Cruz</i>		13. Autorizada por  <i>Nelson de Jesus Parada</i> <i>Diretor</i>	
Assinatura responsável <i>Marcos Antonio Cardoso Cruz</i>			
14. Resumo/Notas  <i>O Emulador de Memórias de Microcontrole Auxiliado por Computador (EMMAC) é uma ferramenta desenvolvida para dar suporte à microprogramação, e é constituída por duas partes: Sistema Emulador e Programa Monitor. O Sistema Emulador é descrito neste relatório e atualmente permite a emulação de palavras de microcontrole com até 128 bits. Além disto, o sistema permite também a monitoração de até 32 pontos de testes em taxas submúltiplas, ou na mesma taxa do relógio do sistema em teste. Recursos adicionais do sistema oferecem maior flexibilidade na depuração e diagnose de equipamentos microprogramados.</i>			
15. Observações			

#### ABSTRACT

*The Computer Aided Microcontrol Memory Emulator (EMMAC) is a tool developed to microprogramming support, and it is composed of two parts: the Emulator System and Monitor Program. The Emulator System is described in this report and allows at moment the emulation of microcontrol words with up to 128 bits. It also allows the monitoring of up to 32 testing points at submultiple rates, or at the same clock rate of the system under test. Additional system resources provide greater flexibility to debugging and diagnosis of microprogrammed equipments.*

• •

## SUMARIO

	Pág.
LISTA DE FIGURAS .....	v
LISTA DE TABELAS .....	vii
<u>CAPÍTULO 1 - INTRODUÇÃO</u> .....	1
<u>CAPÍTULO 2 - UNIDADE DE CONTROLE</u> .....	5
2.1 - Instruções do Sistema Emulador .....	5
2.2 - Diagrama da UCN .....	8
<u>CAPÍTULO 3 - UNIDADE DE CONTROLE DO RELÓGIO</u> .....	15
<u>CAPÍTULO 4 - CONTROLADOR DE MEMÓRIA E REGISTRO DE SAÍDA</u> .....	19
4.1 - Controlador de Memória .....	20
4.2 - Registro de Saída de Dados .....	21
<u>CAPÍTULO 5 - UNIDADE DE MONITORAMENTO DAS PONTAS DE TESTE</u> .....	23
<u>CAPÍTULO 6 - MÓDULOS DE EMULAÇÃO DE MEMÓRIA PROM</u> .....	29
<u>CAPÍTULO 7 - PAINEL</u> .....	33
<u>CAPÍTULO 8 - CONCLUSÕES</u> .....	37
APÊNDICE A - CIRCUITOS ELÉTRICOS	
APÊNDICE B - RELAÇÃO DE MATERIAL	
APÊNDICE C - LISTAGEM DO MICROPROGRAMA	
APÊNDICE D - BIBLIOGRAFIA	



## LISTA DE FIGURAS

	<u>Pág.</u>
2.1 - Diagrama da Unidade de Controle .....	9
2.2 - Formato da palavra de microcontrole .....	10
3.1 - Diagrama da Unidade de Controle do Relógio .....	16
4.1 - Diagrama do Controlador de Memória e Registro de Saída .....	19
5.1 - Diagrama da Unidade de Monitoramento das Pontas de Teste ...	24
5.2 - Esquema da Lógica do Relógio de Monitoramento .....	25
5.3 - Formas de Onda do Relógio de Monitoramento .....	26
6.1 - Diagrama do Módulo de Emulação de Memória PROM .....	30
7.1 - Diagrama do Painel .....	34



## LISTA DE TABELAS

	<u>Pág.</u>
2.1 - Conjunto de Instruções do Sistema Emulador .....	6
2.2 - Formato das Instruções do Sistema Emulador .....	7
2.3 - Descrição dos Sinais de Microcontrole .....	11
2.4 - Funções do Sequenciador .....	13
2.5 - Descrição do teste selecionado .....	13
3.1 - Seleção do sinal de fim de execução .....	17
A.1 - Listagem do conector J1 .....	A.3
A.2 - Listagem do conector J2 .....	A.5
A.3 - Listagem do conector J3 .....	A.7
A.4 - Listagem do conector J4 .....	A.9
A.5 - Listagem do conector J5 .....	A.11
A.6 - Listagem do conector K1 .....	A.13
A.7 - Listagem do conector K3 .....	A.15
A.8 - Listagem do conector K4 .....	A.17
A.9 - Listagem do conector K5 a K12 .....	A.19
A.10 - Listagem do conector L1 .....	A.22
A.11 - Listagem das ligações do sistema emulador .....	A.24
B.1 - Relação de material da UCN .....	B.2
B.2 - Relação de material da UCR .....	B.3
B.3 - Relação de material do CMS .....	B.4
B.4 - Relação de material da UMT .....	B.5
B.5 - Relação de material do MEM .....	B.6
B.6 - Relação de material do PNL .....	B.7





## CAPÍTULO 1

### INTRODUÇÃO

Este relatório descreve o projeto do Sistema Emulador ("hardware"), parte integrante do Emulador de Memórias de Microcontrole Auxiliado por Computador (EMMAC), desenvolvido pelo Grupo de Sistemas Digitais e Analógicos do INPE.

O EMMAC é uma ferramenta de suporte à microprogramação, que auxilia na depuração de microprogramas antes destes serem gravados em memórias não-voláteis do tipo PROM.

Basicamente o EMMAC é constituído por duas partes:

- Sistema Emulador, que "substitui" as memórias do sistema microprogramado em teste, durante a fase de depuração.
- Programa Monitor, o qual oferece facilidades na utilização do emulador de memórias.

O Sistema Emulador interpreta as instruções fornecidas pelo Programa Monitor, durante a execução de um comando dado pelo operador ao emulador, através de um terminal de vídeo do computador.

Na sua atual configuração, o Sistema Emulador permite a emulação de uma memória de microcontrole de até 512 x 128 bits. O EMMAC permite a emulação não somente de memórias de microcontrole como também de outros tipos, tais como tabelas de constantes, memórias de mapeamento etc. Esta característica do Sistema Emulador só é possível, devido ao fato dos barramentos de endereço de cada memória emulada serem independentes entre si.

Além destas características, o Sistema Emulador dispõe de 32 pontas de monitoramento, as quais permitem o armazenamento de até 256 estados de monitoração.

O Programa Monitor reside no minicomputador HP21MX-E e fornece recursos de entrada e saída para o sistema. Entre os periféricos utilizados podem-se citar:

- terminal de vídeo;
- impressora de linha;
- leitora de fita de papel;
- perfuradora de fita de papel;
- fita magnética.

O computador HP21MX-E possui atualmente uma unidade de disco dual, com capacidade de 4,9 megabytes e 64K palavras de 16 bits de memória principal, além dos periféricos citados acima.

O EMMAC opera no HP21MX-E sob supervisão do sistema operacional RTE-IV A ("Real Time Executive" versão IV A), num ambiente de multiprogramação.

O Sistema Emulador é subdividido em 6 partes básicas:

- Unidade de Controle (UCN).
- Unidade de Controle do Relógio (UCR)
- Unidade de Monitoramento das Pontas de teste (UMT)
- Controlador de Memória e Registro de Saída (CMS)
- Módulos de Emulação de Memória PROM (MEM).
- Painel (PNL).

A função da Unidade de Controle é o gerenciamento de todo o "hardware" do EMMAC. Ela é do tipo microprogramada e opera como interpretador das instruções enviadas pelo Programa Monitor.

A memória de microcontrole da UCN é do tipo estritamente horizontal, com 256 x 18 bits, sem necessidade de registro "pipeline". Isto é possível devido ao fato das instruções do Sistema Emulador apenas inicializarem as condições da emulação, permitindo que o mesmo opere numa velocidade menor, sem a necessidade de paralelismo entre as microinstruções.

A Unidade de Controle do Relógio supervisiona o relógio que atua no sistema em teste e depende do modo de operação escolhido. A emulação de um sistema pode ser executada em um dos quatro modos abaixo:

- passo a passo;
- com relógio livre;
- até um certo número de pulsos de relógio;
- até um certo endereço de microcontrole ser atingido.

Por sua vez, a Unidade de Monitoramento das Pontas de Teste cuida da aquisição dos estados de monitoração. Ela permite adquirir estes estados na mesma taxa do relógio do sistema em teste, ou numa taxa submúltipla deste.

O Controlador de Memória e Registro de Saída manipula a seleção de um dos módulos de emulação, durante a execução de instruções que impliquem no acesso a estes módulos. Outra função do CMS é o controle do registro de saída de dados, os quais são enviados para o painel e para o computador.

Os Módulos de Emulação de Memória PROM são constituídos por conjuntos de memória de acesso aleatório (RAM), onde são armazenados os microprogramas a serem depurados. Durante a fase de execução do teste, o endereçamento destas memórias é dado pelo sistema em teste, de modo que tudo se passa como se o sistema em teste estivesse acessando as suas próprias memórias de microcontrole.

Para completar o Sistema Emulador tem-se o Painel. Esta parte oferece uma alternativa para a entrada de instruções na Unidade de Controle, podendo-se assim operar o EMMAC em modo local, isto é, sem a intervenção do Programa Monitor.

Nos capítulos seguintes, cada parte do Sistema Emulador é descrita em detalhes. Para sua melhor compreensão deste trabalho, adotou-se a seguinte convenção para os sinais de entrada e saída de dados:

- ▶ ... Bit de Microcontrole.
- ▷ ... Sinal relativo ao Computador.
- ◼▶ ... Sinal relativo à Unidade de Controle.
- ◻▷ ... Sinal relativo à Unidade de Controle do Relógio.
- ▷◻ ... Sinal relativo ao Controlador de Memória e Registro de saída.
- ◼◻▶ ... Sinal relativo à Unidade de Monitoramento das Pontas de teste.
- ◻◻▶ ... Sinal relativo aos Módulos de Emulação de Memória PROM.
- ◻▶ ... Sinal relativo ao Painel.
- ◼▶ ... Sinal relativo ao Sistema em teste.

## CAPÍTULO 2

### UNIDADE DE CDNTROLE

A Unidade de Controle gerencia todo o Sistema Emulador. Ela interpreta e executa as instruções recebidas do Programa Monitor ou do Painel, dependendo do sistema estar operando de modo remoto ou local, respectivamente.

#### 2.1 - INSTRUÇÕES DO SISTEMA EMULADOR

O conjunto básico de instruções necessárias para o funcionamento do Sistema Emulador, na sua configuração atual, é descrito na Tabela 2.1. Outras instruções poderão ser incorporadas a este conjunto básico, caso haja necessidade.

Algumas instruções necessitam que, além do código de operação, seja passado um parâmetro. Na Tabela 2.2 tem-se a relação do formato das instruções, destacando-se os parâmetros necessários para a execução das instruções. Deve-se ressaltar que o código da operação é sempre posicionado nos 4 bits mais significativos da palavra de 16 bits. Todos os parâmetros têm seu bit menos significativo associado ao bit menos significativo da palavra de instrução.

TABELA 2.1

CONJUNTO DE INSTRUÇÕES DO SISTEMA EMULADOR

CÓDIGO	MNEMÔNICO	DESCRIÇÃO
00	LERI, m	Ler m do MEM e incrementar o endereço
01	ESCR, m	Escrever m no MEM selecionado
02	CARSE, m	Carregar m no Registro de Seleção
03	CACES, m	Carregar m no Contador de Endereço
04	CARC, m	Carregar m no Contador de Relógio
05	CARS, m	Carregar m no Registro de Status
06	CARF, m	Carregar m no Registro de Frequência
07	INCMO	Incrementar o Contador da UMT
08	LERMO,m,n	Ler m do módulo de Monitoramento n
09	EXEC	Executar no modo especificado
10	-----	Não utilizado
11	Ler, m	Ler m do MEM selecionado
12	ESCRI, m	Escrever m no MEM e incrementar o endereço
13	-----	Não utilizado
14	-----	Não utilizado
15	PARE	Inibir o relógio para o sistema em teste

TABELA 2.2

FORMATO DAS INSTRUÇÕES DO SISTEMA EMULADOR

PALAVRA DE INSTRUÇÃO															
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
LERI															
ESCR								D7	D6	D5	D4	D3	D2	D1	D0
CARSE											M4	M3	M2	M1	M0
CACES							E8	E7	E6	E5	E4	E3	E2	E1	E0
CARC														C1	C0
CARS														S1	S0
CARF												F3	F2	F1	F0
INCMO															
LERMO														N1	N0
EXEC															
LER															
ESCRI								D7	D6	D5	D4	D3	D2	D1	D0
PARE															

D - Dado

M - Memória

E - Endereço

C - Condição

S - Status

F - Frequência

N - Módulo de monitoramento



## 2.2 DIAGRAMA DE UCN

O diagrama de blocos da Unidade de Controle é apresentado na Figura 2.1.

A palavra de microcontrole é composta de 18 bits, os quais atuam no controle das partes funcionais do Sistema Emulador. Na Figura 2.2 pode-se ver o formato da palavra de microcontrole, e a função de cada bit de microcontrole esta descrita na Tabela 2.3.

O Bloco de seleção de instrução da UCN é constituído por multiplexadores controlados pela chave Remoto/Local. Na posição Remoto, a instrução selecionada provém do computador, através das linhas  $\mu C$  (0-15), enquanto em local é selecionada a instrução vinda do Painel, através das linhas RIP (0 - 15).

O Registro de Instrução (RI) armazena a instrução selecionada na transição positiva do Relógio do Registro de Instrução (RRI). Este registro possui duas saídas, que diferem entre si, uma por uma ser "tri-state" (saída Y) e a outra, por ser do tipo padrão (saída Q). A saída Y é controlada pelo sinal Habilitação do Registro de Instrução (HRI).

A lógica do bloco de Seleção de Instrução é responsável pelo armazenamento da instrução. Ela seleciona o sinal ENCODE, vindo do computador HP21MX-E, ou o sinal EXECUTE, vindo do Painel. A partir do sinal selecionado são gerados os sinais de controle para o Registro de Instrução, sincronizados com o relógio do Sistema Emulador (RELM). Outro sinal gerado desta maneira é o Pronto (PRT), usado na lógica de teste.

O sequenciador é constituído por um contador de 4 bits, e permite implementar o controle do fluxo de estados através das microinstruções CONTINUE, VOLTA PARA ZERO, ESPERE.

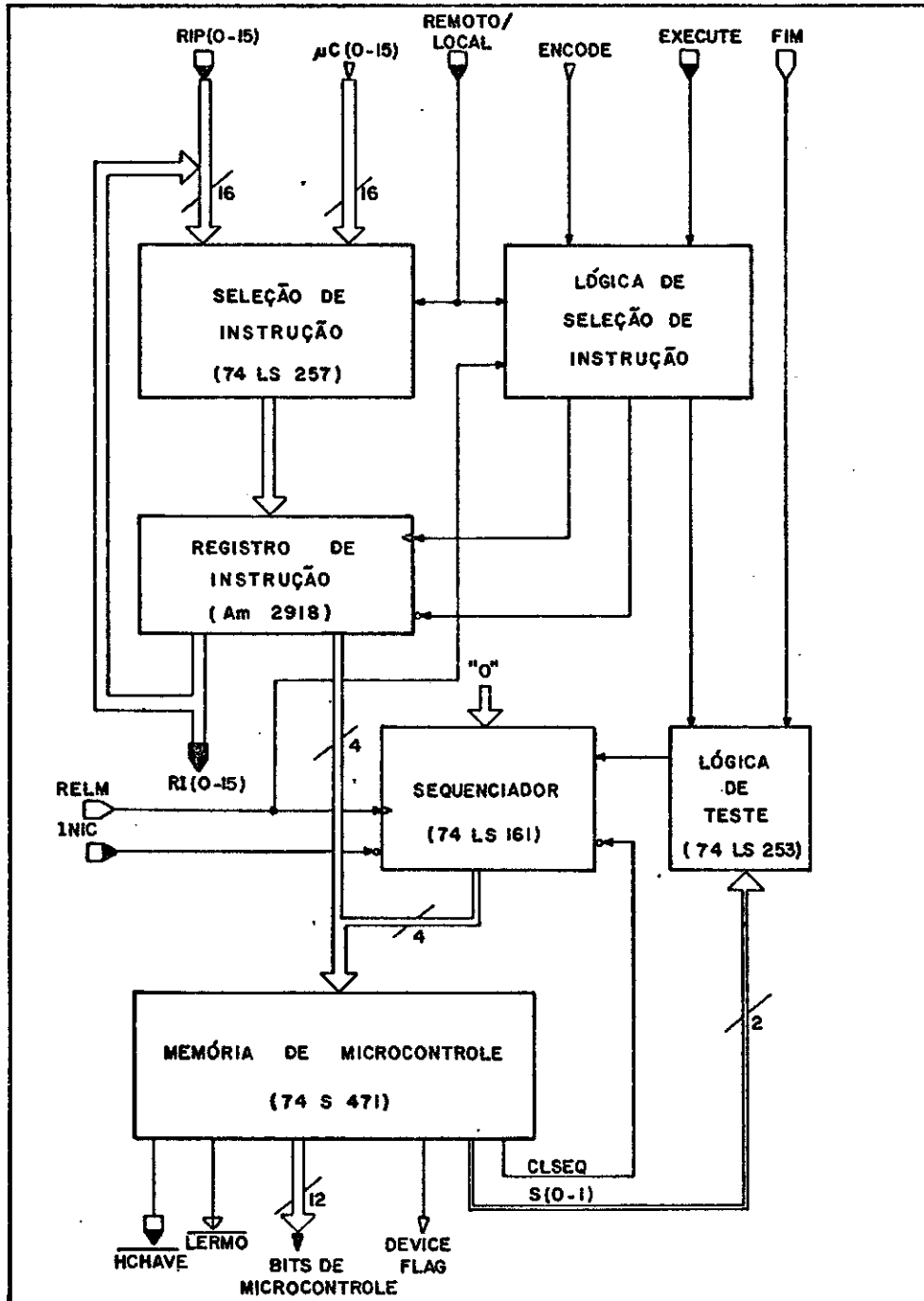


Fig. 2.1 - Diagrama da Unidade de Controle.

PALAVRA DE MICROCONTROLE		
0		CLSEQ
1		S (0)
2		S (1)
3		DEV. FLAG.
4		CRSAIDA
5		CCE
6		SE
7		CRS
8		LER
9		ESCR
10		SL
11		ICEME
12		CRC
13		CST
14		EXEX
15		IRC
16		CF
17		ICEMO
23 a 18		Não usados

Fig. 2.2 - Formato da palavra de microcontrole

TABELA 2.3

DESCRIÇÃO DOS SINAIS DE MICROCONTROLE

SINAL	DESTINO	DESCRIÇÃO
CLSEQ	UCN	Zera o sequenciador
S (0)	UCN	Seleciona o sinal de espera
S (1)	UCN	Seleciona o sinal de espera
DEV.FLAG	HP21MX-E	Envia resposta para o computador
$\overline{\text{CRSAIDA}}$	CMS	Carrega o Registro de Saída de Dados
$\overline{\text{CCE}}$	CMS	Carrega o Contador de Endereço
SE	MEM	Seleciona o endereço da memória
$\overline{\text{CRS}}$	CMS	Carrega o Registro de Seleção
$\overline{\text{LER}}$	CMS MEM	Controla a leitura de memória
$\overline{\text{ESCR}}$	MEM	Controla a escrita da memória
SL	MEM	Mantém o conteúdo do "Latch" do MEM
ICEME	CMS	Incrementa o Contador de Endereço
$\overline{\text{CRC}}$	UCR	Carrega o Contador do Relógio
$\overline{\text{CST}}$	UCR	Carrega o Registro de Status
EXEC	UCR	Executa a emulação
$\overline{\text{CF}}$	UMT	Carrega o Registro de Frequência
ICEMO	UMT	Incrementa o Contador de Endereço da UMT
IRC	UCR	Incrementa o Contador do Relógio

A microinstrução CONTINUE é implementada, colocando-se as entradas "CLEAR", "LOAD" e "ENABLE T" do contador no nível alto. Com esta microinstrução, o sequenciador pode fazer o acesso sequencial da memória de microcontrole.

Para executar a microinstrução VOLTA PARA ZERO, basta ativar a entrada "CLEAR" do contador. Com esta microinstrução, o sequenciador aponta para o endereço 0 de uma das 16 páginas da memória de microcontrole, que se obtém pelo mapeamento do código de operação da palavra de instrução.

O sequenciador fica no estado de ESPERE, quando se coloca a entrada "ENABLE T" do contador no nível baixo, com as demais entradas de controle desativadas. A inicialização do sequenciador é feita através de chave no Painel, e o seu efeito equivale ao da microinstrução VOLTA PARA ZERO.

Entre os sinais do sequenciador existe uma precedência na sua execução, e a inicialização do sequenciador tem precedência sobre todas as microinstruções. Em ordem decrescente de precedência aparecem as microinstruções ESPERE, VOLTA PARA ZERO e CONTINUE.

Na Tabela 2.4 tem-se as funções executadas pelo sequenciador, conforme os sinais de controle do contador.

O bloco da lógica de teste seleciona o sinal de espera (ESP), usado pelo sequenciador, conforme a Tabela 2.5. Este bloco é controlado pelos bits de microcontrole S(1) e S(0).

TABELA 2.4

FUNÇÕES DO SEQUENCIADOR

INIC	CLSEQ	S (1)	S (0)	FUNÇÕES
0	x	x	x	Inicialização
1	0	0	1	Volta para zero
1	1	0	0	Espera Encode/Execute
1	1	0	1	Continue
1	1	1	0	Espera Fim

TABELA 2.5

DESCRIÇÃO DO TESTE SELECIONADO

S (1)	S (0)	TESTE	COMENTÁRIO
0	0	PRT	Espera Encode/Execute
0	1	"1"	Continue
1	0	$\overline{\text{FIM}}$	Espera Fim



### CAPÍTULO 3

#### UNIDADE DE CONTROLE DO RELÓGIO

A Unidade de Controle do Relógio supervisiona o relógio para o sistema em teste, em função da programação do modo de operação . O diagrama de blocos da UCR é mostrado na Figura 3.1, e seu funcionamento é detalhado a seguir.

O Registro de Endereço amostra o endereço de controle -EC (0-8)- do sistema em teste, durante a execução da emulação. Este endereço é comparado com o parâmetro carregado previamente no Registro Contador (RC). Quando endereço fornecido pelo sistema em teste, durante a execução da emulação, for igual ao endereço contido no RC, o bloco Detetor de Fim de Condição e Sincronismo sinalizará a ocorrência do evento. Como consequência o relógio de saída para o sistema em teste será bloqueado, desde que o Sistema Emulador esteja programado para operar no modo relógio livre até um certo endereço de microcontrole ser atingido.

No modo relógio livre até um certo número de pulsos ser contado, deve-se inicialmente carregar o RC com o número de pulsos desejado, codificado em excesso de 4095. Durante a execução da emulação, o contador é incrementado a cada pulso do relógio de saída para o sistema em teste. Quando se atinge o número de pulsos programado, o Registro Contador sinaliza a ocorrência do evento, que acarretará o bloqueio do relógio de saída.

No modo passo a passo, apenas um pulso do relógio de saída é liberado para o sistema em teste, enquanto no modo relógio livre , a UCR libera o relógio para o sistema em teste. Para finalizar a execução neste último modo de operação, deve-se enviar uma instrução de PARE para a UCN.



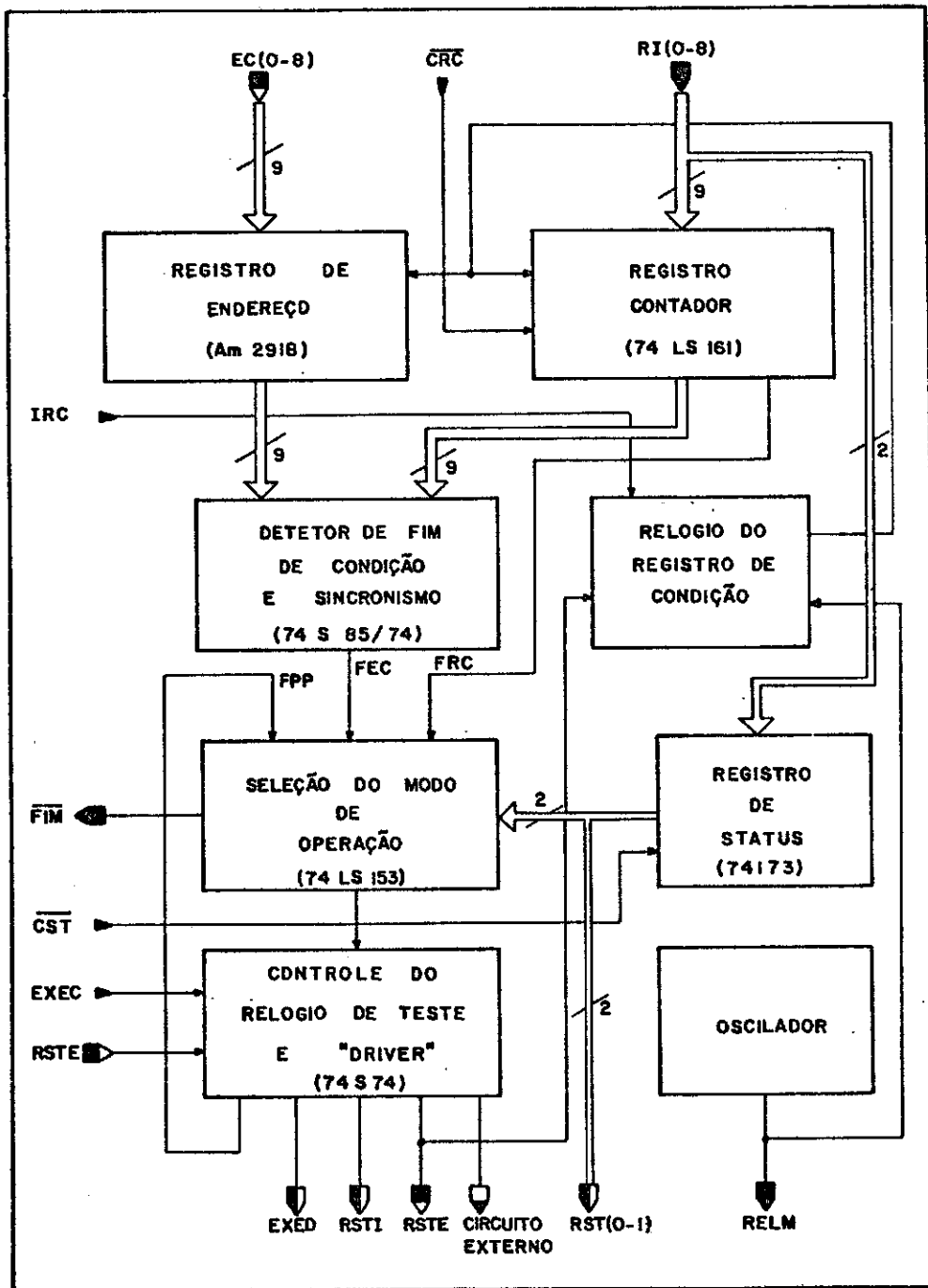


Fig. 3.1 - Diagrama da Unidade de Controle do Relógio.

O bloco de Controle do Relógio de teste e "Driver" é responsável pela geração do relógio de saída para o sistema em teste (RSTS), a partir do relógio de entrada do sistema em teste (RSTE), desde que haja sido executada uma instrução EXEC. Além disto, este bloco sinaliza a parte de seleção do modo de operação, após ter enviado o primeiro pulso do relógio de saída. Este evento serve como indicação de fim de emulação, quando se opera no modo passo a passo.

O registro de status memoriza o modo de operação do ENNAC e é carregado através da instrução CARSB. Por sua vez, o bloco de seleção do modo de operação gera o sinal  $\overline{FIM}$ , conforme a Tabela 3.1, para indicar o fim normal da execução da emulação e é controlado pelos sinais RST (0 - 1).

TABELA 3.1

SELEÇÃO DO SINAL DE FIM DE EXECUÇÃO

RST (1)	(0)	SINAL SELECIONADO	MODO DE OPERAÇÃO
0	0	FPP	Passo a passo
0	1	0	Relógio livre
1	0	FEC	Até certo endereço
1	1	FRC	Até o nº de pulsos

A função do bloco Relógio do Registro de Condição é gerar pulsos para o Registro de Endereço e para o Registro Contador. Estes pulsos podem ser gerados a partir do próprio relógio do Sistema Emulador (RELM), no caso de algum ser passado para a UCR, ou do relógio de saída para o sistema em teste, quando se estiver emulando com o sistema em um dos modos condicionais de operação.

Finalmente, o oscilador fornece um sinal de onda quadrada, com período de 3,5 microssegundos, que serve como base de tempo para todo o sistema Emulador. Este sinal é o Relógio do Sistema Emulador-RELM.

## CAPÍTULO 4

### CONTROLADOR DE MEMÓRIA E REGISTRO DE SAÍDA

O Controlador de Memória e Registro de Saída gerencia o acesso aos módulos de Emulação de Memória e o Registro de Saída de Dados.

Na Figura 4.1 é apresentado o diagrama de blocos do CMR.

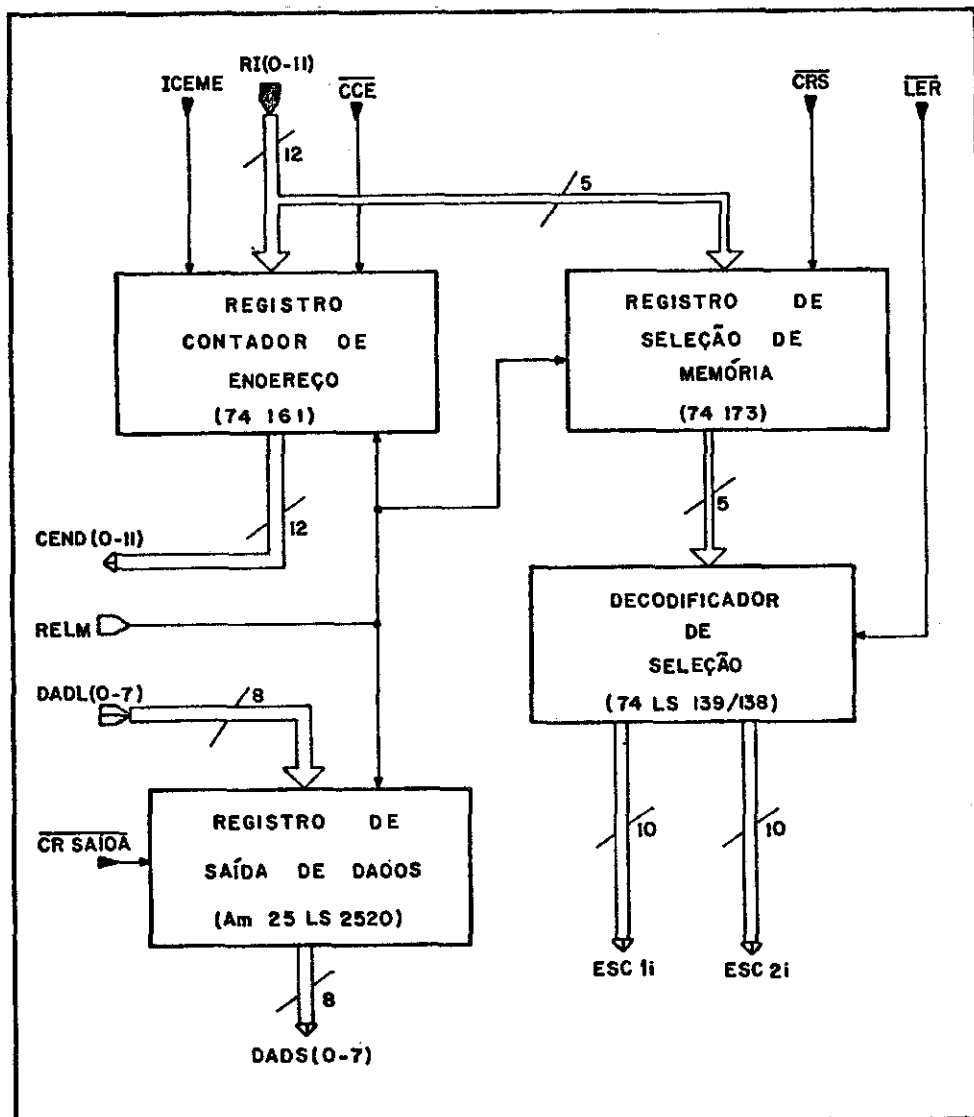


Fig. 4.1 - Diagrama do Controlador de Memória e Registro de Saída.

#### 4.1 - CONTROLADOR DE MEMÓRIA

Basicamente o Controlador de Memória é constituído por 3 blocos:

- Registo Contador de Endereço
- Registro de Seleção de Memória
- Decodificador de Seleção

O registo Contador de Endereço é controlado por dois bits de microcontrole: ICEME e  $\overline{CCE}$ . O sinal  $\overline{CCE}$  permite carregar o contador com um certo endereço de memória, que é passado como parâmetros através das linhas RI(0 - 11). Já o Sinal ICEME faz com que o contador seja incrementado unitariamente e é utilizado nas instruções de leitura ou escrita auto-incrementadas. (LERI e ESCRI).

Ambos os sinais descritos acima atuam sincronizados com o relógio do sistema emulador.  $\overline{CCE}$  é ativo no nível baixo, enquanto ICEME é ativo no nível alto.

O Registro de Seleção de Memória seleciona uma das memórias dos Módulos de Emulação de Memória PROM. Ele é controlado pelo Bit de microcontrole  $\overline{CRS}$ , que permite carrega-lo com o número da memória de sejada, o qual é passado como parâmetro através das linhas RI(0 - 4). Na versão atual, o EMMAC possui 8 Módulos de Emulação, o que resulta um total de 16 memórias disponíveis, embora o Controlador seja capaz de selecionar até 32 memórias.

O Decodificador de Seleção ativa somente a memória selecionada, evitando assim o acesso simultâneo a mais de uma memória. Este decodificador é controlado pelo bit de microcontrole  $\overline{LER}$ . Desta forma, mesmo que a instrução a ser executada seja uma operação de escrita de memória, o sinal  $\overline{LER}$  deve ser ativado, a fim de permitir o acesso a essa memória. Isto não constitui nenhum problema, devido aos fatos dos barramentos de entrada e saída de dados dos módulos de Emulação serem separados.

#### 4.2 - REGISTRO DE SAÍDA DE DADOS

O Registro de Saída de Dados armazena o resultado da leitura de uma memória de emulação ou de monitoramento das pontas de teste.

Os dados a serem armazenados no Registro de Saída são enviados através de um barramento Unidirecional de dados - DADL (0 - 7) - com 8 bits. A saída do registro é enviada para o painel e para o HP21MX-E. Neste último caso, por se tratar de um computador que opera com palavras de 16 bits, os dados enviados tem os 8 bits mais significativos zerados e os dados de saída posicionados nos 8 bits menos significativos.



## CAPÍTULO 5

### UNIDADE DE MONITORAMENTO DAS PONTAS DE TESTE

A Unidade de Monitoramento das Pontas de Teste permite o armazenamento dos estados adquiridos com as pontas de prova, durante a execução da emulação do sistema em teste.

Esta unidade pode armazenar até 256 estados de cada uma das 32 pontas de prova, amostrados numa taxa igual ou submúltipla do relógio de saída para o sistema em teste.

O diagrama de Blocos da UMT pode ser visto na Figura 5.1.

O registro das pontas de teste faz a amostragem do estado das respectivas pontas, sincronizado com transição positiva do Relógio de Monitoramento (RMM). Quando uma ponta de prova não estiver conectada em nenhum ponto do sistema em teste, o valor lógico adquirido será sempre 1.

Os Módulos de Monitoramento são memórias de acesso aleatório, com 256 x 8 bits cada, e em número de quatro. As saídas de cada módulo são ligadas ao barramento de dados DADL (0 - 7) e controladas pelo bloco Seleção do Módulo de Monitoramento.

A parte de Seleção do Módulo de Monitoramento decodifica o parâmetro enviado pelas linhas RI(0-1), para determinar qual bloco está sendo acessado. Entretanto, a ativação das saídas do Módulo de Monitoramento selecionado depende ainda do sinal  $\overline{\text{LERMO}}$ , que atua apenas na execução da instrução LERMO.

Nesta unidade tem-se ainda o Decodificador de Status, o qual recebe o conteúdo do registro de status da UCR, através das linhas RST (0 - 1), e após decodificá-los, envia os dados resultantes para o Painel.



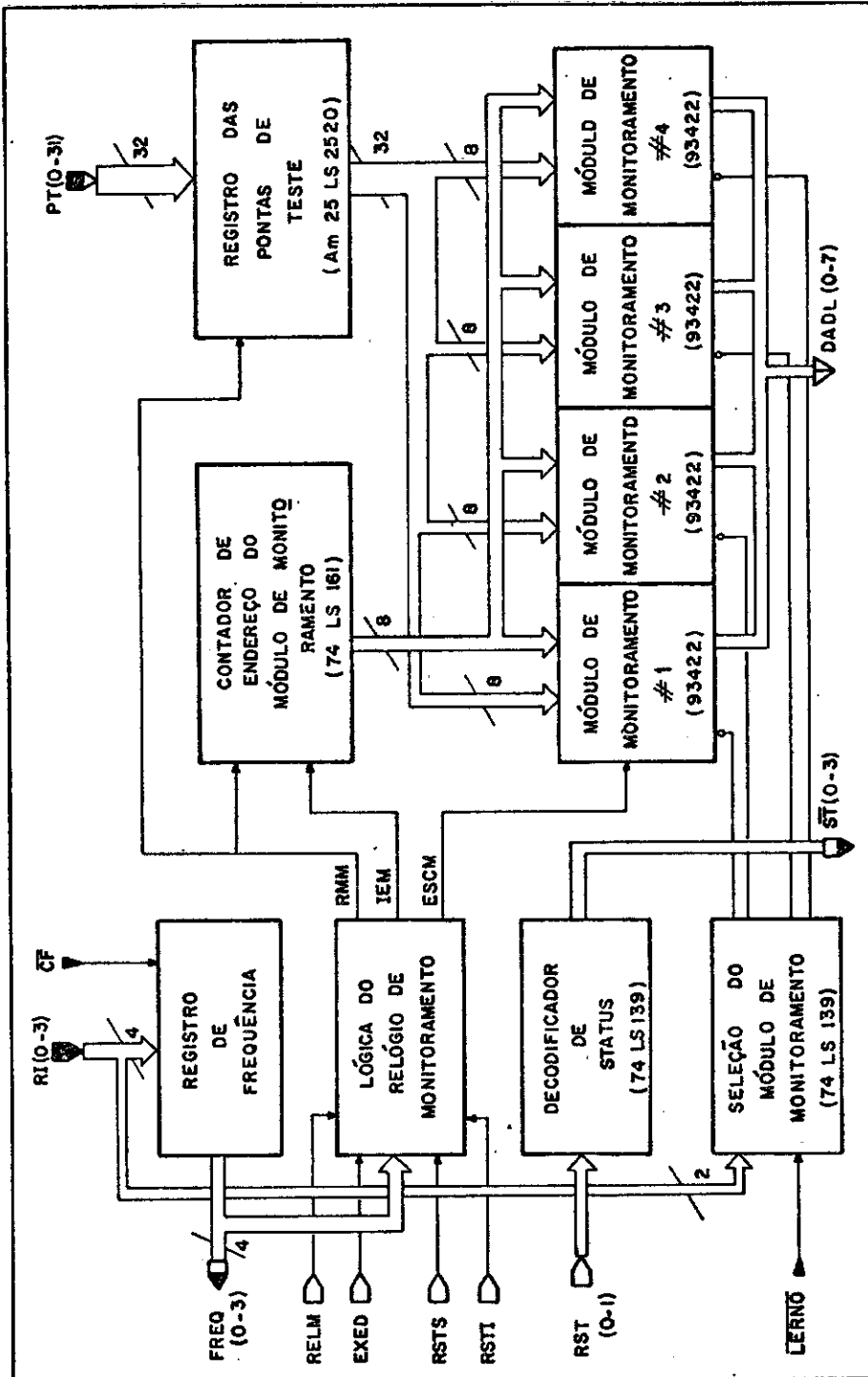


Fig. 5.1 - Diagrama da Unidade de Monitoramento das Pontas de Teste.

Finalmente, o sinal Escreve no Módulo de Monitoramento (ESCM) processa a escrita dos dados amostrados nos módulos de memória.

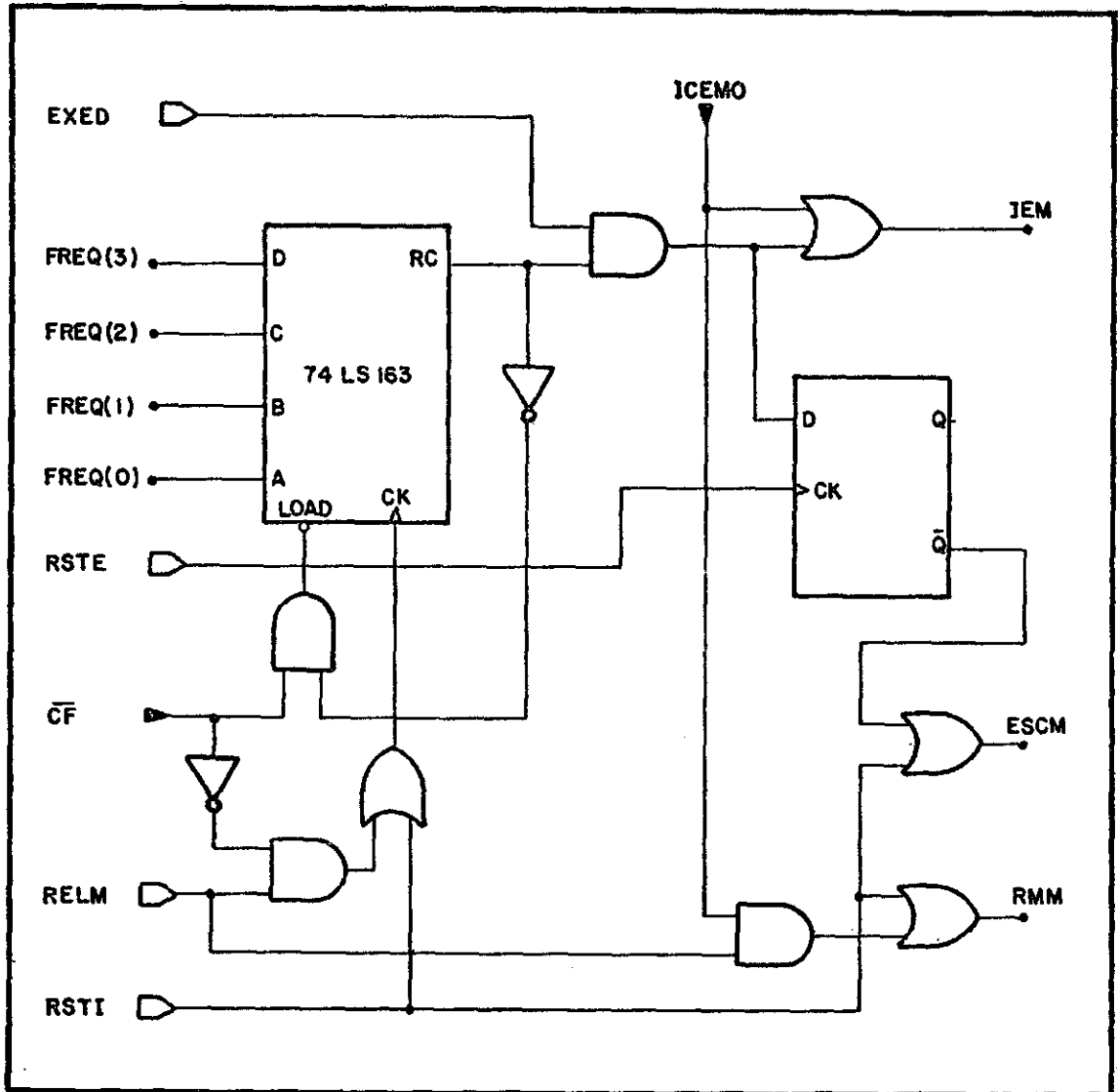


Fig. 5.2 - Esquema da Lógica do Relógio de Monitoramento.

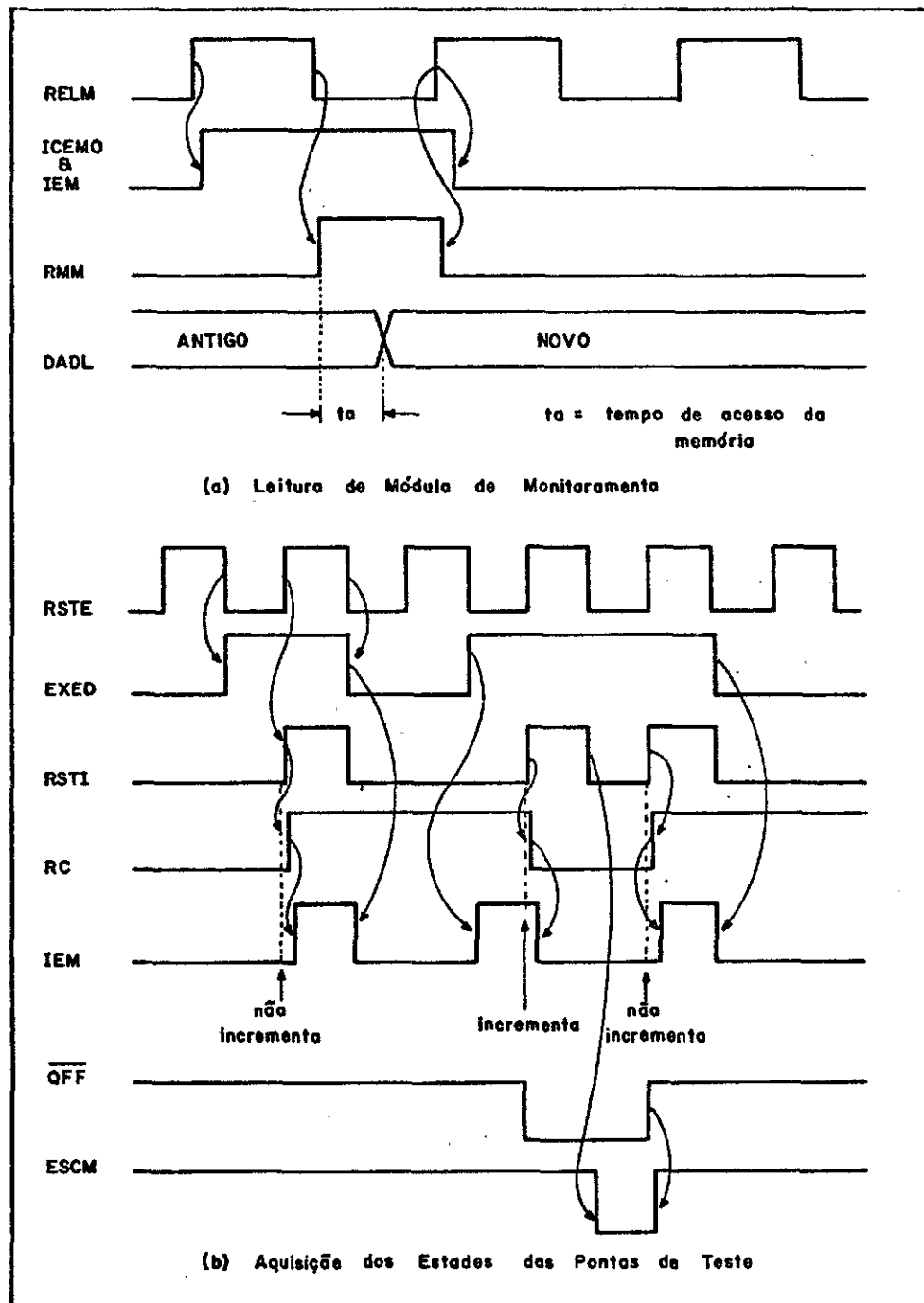


Fig. 5.3 - Formas de Onda do Relógio de Monitoramento.

O Contador de Endereço do módulo de Monitoramento é um contador cíclico, que fornece o endereço do último estado de monitoração armazenado. Ele é controlado pelo sinal Incrementa Endereço de Monitoramento (IEM), gerado pela lógica do Relógio de Monitoramento desta unidade.

O Registro de Frequência armazena a taxa de amostragem das pontas de provas, a qual é enviada como parâmetro pelas linhas RI (0-3) e armazenada no registro através do bit de microcontrole  $\overline{CF}$ . A taxa de amostragem deve ser codificada em complemento de 16. A saída do Registro de Frequência é conectada à lógica do Relógio de Monitoramento e também ao Painel.

A última parte funcional da UMT, a ser descrita, corresponde à lógica do Relógio de Monitoramento. Ela é a parte responsável pelo controle do armazenamento dos dados da monitoração nos módulos de memória.

Devido ao fato do Contador de Endereço do Módulo de Monitoramento apontar para o último estado armazenado, antes de ativar a escrita nas memórias, deve-se incrementar o endereço. Além disto, deve-se observar a taxa de amostragem imposta pelo Registro de Frequência. O outro modo de operação da UMT corresponde à leitura dos módulos de monitoramento, quando apenas o Contador de Endereço é incrementado.

Nas Figuras 5.2 e 5.3 tem-se o esquema da lógica do Relógio de Monitoramento e as formas de onda correspondentes, respectivamente.

O Registro de Endereço do Módulo de Monitoramento é incrementado quando se ativa a linha Incrementa Endereço de Monitoramento (IEM), sincronizado com o Relógio de Monitoramento (RMM). O sinal IEM também é utilizado para carregar os estados das pontas de prova no Registro das Pontas de Teste.



## CAPÍTULO 6

### MÓDULOS DE EMULAÇÃO DE MEMÓRIA PROM

Os Módulos de Emulação de Memória PROM são conjuntos de memórias de acesso aleatório (tipo RAM), que substituem as memórias do sistema em teste durante a fase de depuração dos microprogramas.

Cada módulo permite emular duas memórias PROMs de 512 x 8 bits, e os cabos de conexão entre os módulos e o sistema em teste possuem a configuração de pinos da memória 74S472 da Texas Instruments.

A atual configuração física do Sistema Emulador comporta no máximo oito Módulos de Emulação, o que perfaz uma palavra de microcontrole máxima de 128 bits.

A única restrição relativa aos Módulos de Emulação diz respeito à memória 1 do módulo nº 1. Esta memória deverá ser sempre usada para emular uma memória de microcontrole, no caso de se ter um sistema microprogramado com outros tipos de memória, tais como memória de mapeamento, de constantes, etc.. Esta restrição se deve ao fato de as linhas de endereçamento da memória 1, do módulo nº 1, estarem ligadas ao circuito da Unidade de Controle do Relógio. Isto porque existe a necessidade de ter o endereço de microcontrole, proveniente do sistema em teste, no caso do EMMAC estar operando no modo até um endereço de microcontrole ser atingido.

O diagrama de blocos de um Módulo de Emulação de Memória pode ser visto na Figura 6.1.

A parte Seleção de Endereçamento do MEM seleciona o endereço dado pelo Controlador de Memória e Registro de Saída, ou o endereço dado pelo sistema em teste para servir como sinal de endereçamento da memória, através do bit de microcontrole SE.

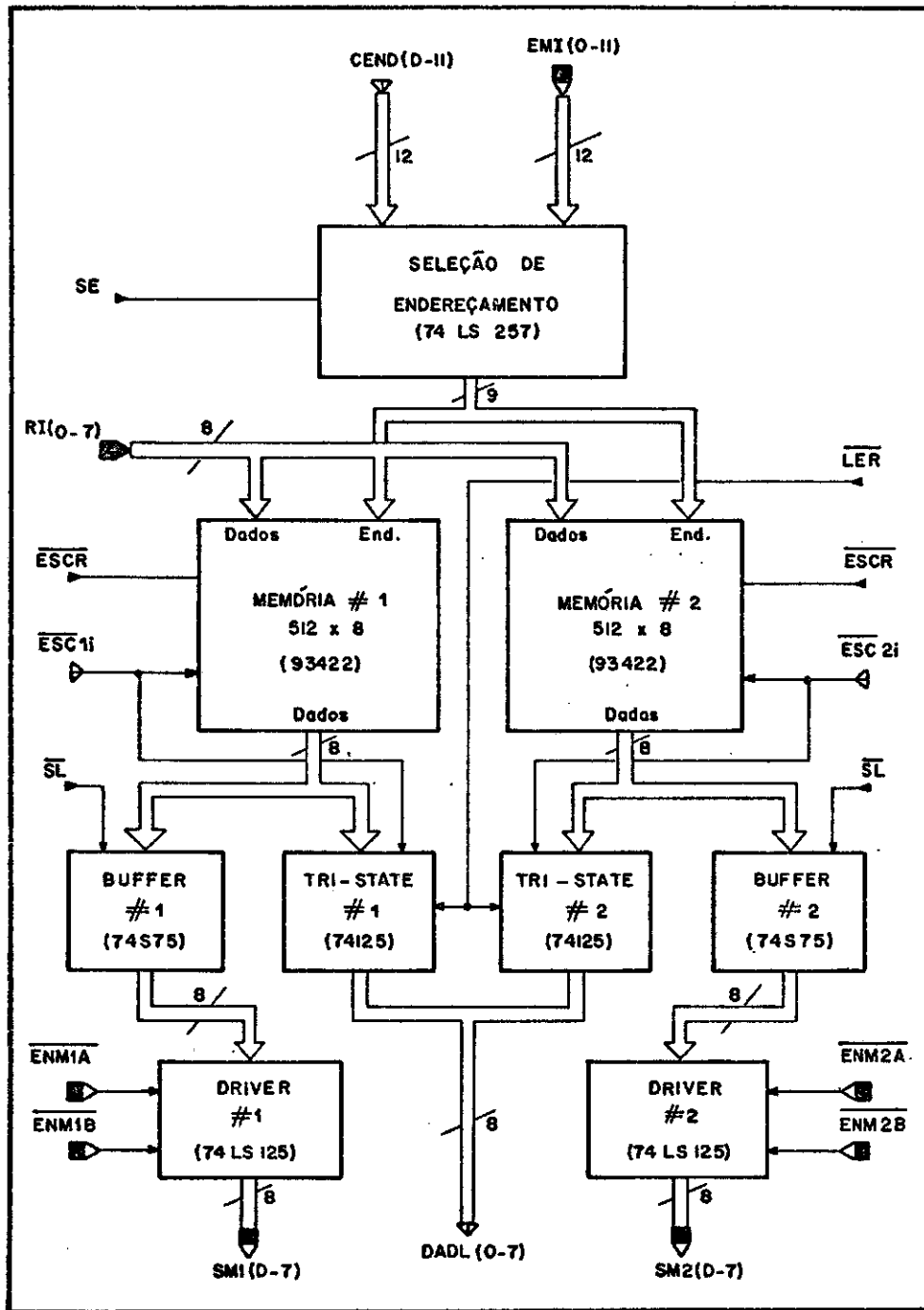


Fig. 6.1 - Diagrama do Módulo de Emulação de Memória PROM.

Durante a execução da instrução EXEC, o endereço selecionado provém do sistema teste, enquanto na execução das demais instruções do Sistema Emulador, o endereço selecionado é dado pelo CMS.

As memórias dos Módulos de Emulação estão sempre no estado de leitura, e durante a execução de uma operação de escrita, apenas a memória selecionada irá para o estado de escrita.

Os dados a serem armazenados nas memórias são fornecidos através das linhas RI (0-7). As saídas das memórias são conectadas tanto ao sistema em teste como ao Registro de Saída. Neste último caso, as memórias são interligadas através do barramento unidirecional de dados-DADL (0-7), enquanto no primeiro caso as memórias são ligadas ao sistema em teste através dos cabos de emulação. Antes de serem enviados ao sistema em teste, os dados passam através do "BUFFER" e do "DRIVER" correspondente, conforme Figura 6.1.

Durante a execução da instrumentação EXEC, os "BUFFERS" de todos os Módulos de Emulação tornam-se transparentes. No entanto, eles retem os dados durante a execução das demais instruções.

A ativação dos "DRIVERS" é feita pelo sistema em teste, através das linhas de controle  $\overline{ENM}$ . Neste caso, cada memória possui 2 linhas ( $\overline{ENMA}$  e  $\overline{ENMB}$ ), as quais precisam ser colocadas em nível baixo, a fim de que se possa ter acesso ao conteúdo das memórias dos Módulos de Emulação.



•  
• •

## CAPÍTULO 7

### PAINEL

O Painel provê um meio de acesso ao Sistema Emulador, quando este está operando no modo LOCAL. Através do Painel pode-se executar qualquer instrução do Sistema Emulador. Além disso, ele provê informações sobre o estado do sistema, como poderá ser visto mais adiante.

Na Figura 7.1 tem-se o diagrama de blocos do Painel.

As chaves podem ser programadas com as instruções do Sistema Emulador; suas saídas passam através de pontas do tipo "Tri-state", controladas pelo sinal  $\overline{HCHAVE}$ , que é enviado pela Unidade de Controle para o Painel, quando o Sistema Emulador está no modo LOCAL.

Os Leds do Registro de Instrução refletem o conteúdo deste registro. Da mesma forma, os Leds de Dados de Saída mostram o conteúdo do Registro de Saída.

Os Leds de Frequência indicam a frequência de amostragem das pontas de monitoramento. A sua interpretação não é imediata, visto que o valor está codificado em complemento de 16. Assim, se todos os quatro leds estiverem acesos, então a frequência de amostragem é igual a frequência do relógio de saída para o sistema em teste ( $1/(16-15)=1$ ). Caso se tenha a configuração de bits de  $FREQ(3-0)$  igual a 1110, em binário, então a frequência de amostragem será a metade da do relógio de saída ( $1/(16-14) = 1/2$ ).

Os Leds de Status indicam o modo de operação do EMMAC, que são:

- P - passo a passo;
- E - até um certo endereço;
- N - até um certo número de pulsos;
- L - livre.

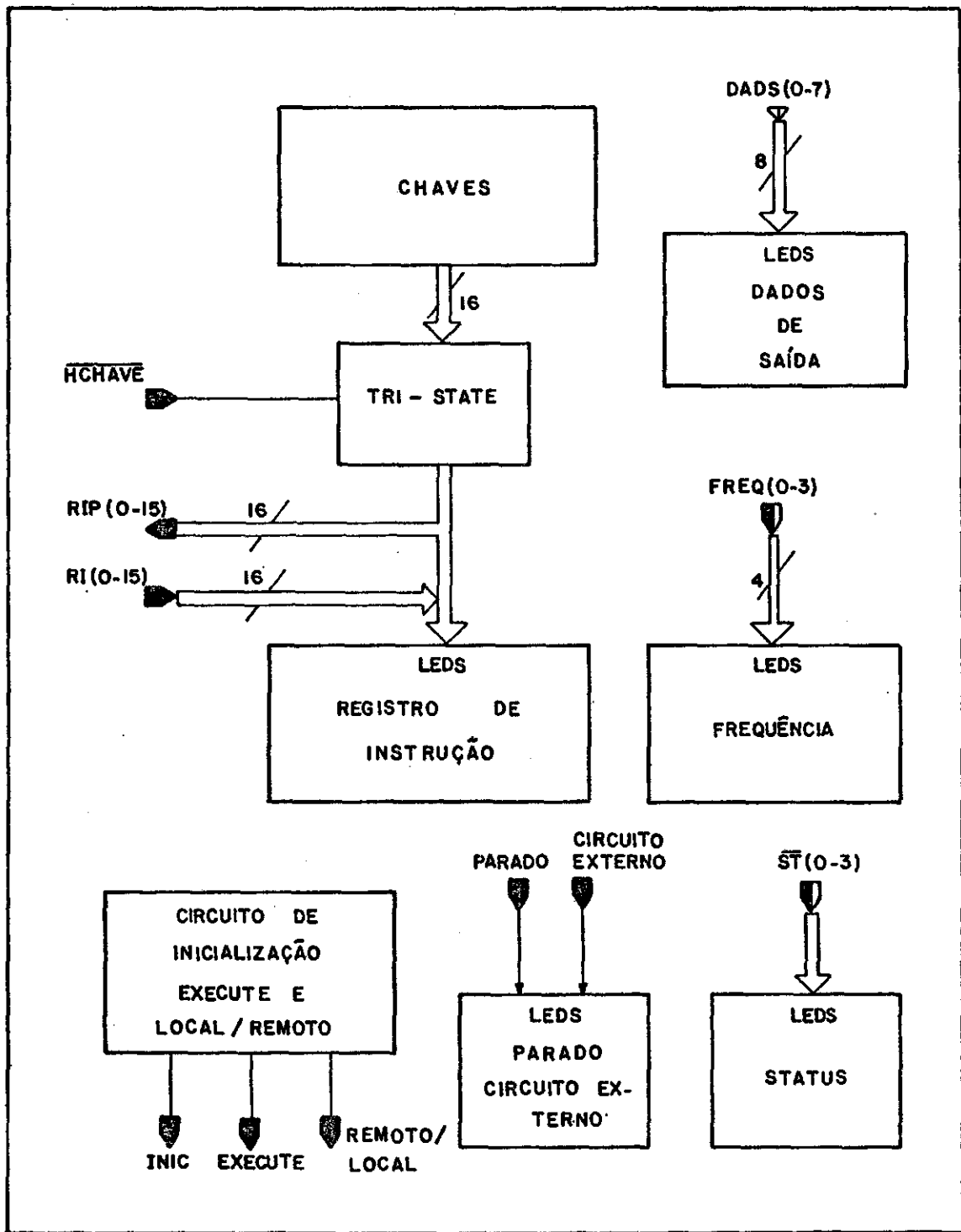


Fig. 7.1 - Diagrama do Painel.

O Led Parado indica quando o Sistema Emulador acabou de executar uma instrução, enquanto o Led de Circuito Externo sinaliza quando o sistema em teste é ativado.

Concluindo, têm-se os circuitos de Inicialização, Execute e Local/Remoto, constituídos por chaves e botões de pressão, para gerar os sinais de INIC, EXECUTE e LOCAL/REMOTO, respectivamente.

Além deste circuito, no Painel estão fixados dois conectores do tipo BNC: um é usado para a entrada do relógio que vem do sistema em teste; e o outro, usado como saída do relógio para o sistema em teste.

Através do Painel saem os cabos de emulação das memórias PROM e também o cabo das pontas de prova da Unidade de Monitoramento.

A conexão do Sistema Emulador ao computador é feita através de um conector do tipo RS de 50 pinos, montado na parte traseira da caixa do Sistema Emulador. A alimentação do Sistema Emulador (VCC e 110V) também é feita pela parte de trás da sua caixa.

..

## CAPÍTULO 8

### CONCLUSÕES

O emulador de memórias EMMAC, constituído pelo Sistema Emulador e pelo Programa Monitor, representa uma ferramenta de grande utilidade no desenvolvimento de equipamentos microprogramados.

Devido ao fato do EMMAC ser um sistema que prepara as condições da emulação, o Sistema Emulador permite que a emulação do sistema em teste se processe em tempo real.

Na atual configuração do sistema, têm-se 8 Módulos de Emulação de Memórias; porém, o controlador tem capacidade para controlar até 10 módulos. Entretanto, o sistema permite a expansão do número de módulos, necessitando-se de pequenas alterações no circuito.

As memórias emuladas são do tipo 512 x 8. Porém, com a evolução da tecnologia de semicondutores, ter-se-ã disponíveis, em breve, memórias com maior capacidade de armazenamento. O Sistema Emulador tem capacidade de emular memórias de até 2 k x 8, devido à limitação do campo de endereço das instruções, e necessita de alteração apenas nas memórias de cada módulo de emulação.

Os recursos de monitoração das pontas de teste e o controle do modo de operação do sistema permitem maior flexibilidade na depuração de sistemas microprogramados.

Outra aplicação do EMMAC refere-se à manutenção e à diagnose de falhas dos equipamentos, numa fase posterior ao seu desenvolvimento.

A utilização de uma ferramenta auxiliada por computador, como o EMMAC, representa um avanço na área de desenvolvimento de proje

tos, devido à eficiência e à automatização que advém do uso do computador como instrumento de apoio.

Para uma utilização mais eficiente do sistema EMMAC, é necessária a implementação de uma programação para geração de microprogramas. Esforço neste sentido tem sido feito no INPE através do grupo de de Sistemas Digitais e Analógicos, onde foi desenvolvida uma linguagem para descrição e geração de microprogramas.

Esta linguagem é denominada LMP - Linguagem de Microprogramação - e cujo tradutor é do tipo cruzado, residente no computador B-6800 deste instituto. A linguagem LMP permite a descrição e geração dos microprogramas num nível mais alto que um programa montador. Uma das suas principais características é o teste de consistência, o que evita o conflito de campos dentro de uma microinstrução, além de fornecer uma documentação atualizada dos microprogramas.

O EMMAC em conjunto com o LMP formam um sistema de microprogramação bastante eficiente e com vários recursos para a geração de microprogramas, abrangendo desde a sua fase de descrição até a de depuração.

Por fim, têm-se os Anexos A, B, C e D, onde são fornecidos os Circuitos Elétricos, a Relação de Material, a Listagem de Microprograma do EMMAC, e a Bibliografia, respectivamente.

## APÊNDICE A

### CIRCUITOS ELÉTRICOS

O Sistema Emulador do EMMAC, atualmente, é constituído por 12 placas de circuito, rotuladas de P1 a P12, assim distribuídos:

- placa P1 - Unidade de Controle
- placa P12- Unidade de Controle do Relógio;
- placa P3 - Controle de Memória e Registro de Saída;
- placa P4 - Unidade de Monitoramento das Pontas de Teste;
- placa P5 a P12 - Módulos de Emulação de Memórias PROM.

Cada placa de circuito possui dois conectores para a sua interligação ao sistema. Estes conectores são rotulados de Ji e Ki, onde i é o número da placa onde eles estão montadas. O conector J é do tipo linear com 22 pinos duplos, enquanto o conector K é do tipo RS com 50 pinos. Para facilitar a identificação dos pinos, estes são rotulados com duas letras seguidas de um número. Associa-se a letra X ao conector J e a letra Y ao conector K, seguida de letra A ou B, dependendo do pino estar do lado dos componentes ou da fiação, respectivamente. A numeração subsequente vai de 1 a 22, no caso do conector J, e de 1 a 25, no caso do conector K.

As listagens dos sinais dos conectores J1, J2, J3, J4 e J5 a J12 são apresentadas nas Tabelas A.1, A.2, A.3, A.4 e A.5, respectivamente. Os sinais dos conectores K1, K3, K4 e K5 a K12 são listados nas Tabelas A.6, A.7, A.8 e A.9, respectivamente.

A conexão do Painel no Sistema Emulador é feita através de cabos fixos, de modo que as ligações são feitas diretamente na placa de circuito impresso.



O Sistema Emulador é ligado ao computador através do conector L1, do tipo RS com 50 pinos, montado no painel traseiro e cuja ligação é apresentada na Tabela A.10.

A interligação das placas do Sistema Emulador é feita através do "back-plane", onde estão montados os conectores J1 a J12, e também através de cabos com os conectores K1 a K12, os quais são encaixados na parte da frente das suas respectivas placas, além disto, existem cabos para o painel frontal e traseiro. Na Tabela A.11 têm-se a ligação das ligações entre as placas que constituem o Sistema Emulador.

Os esquemas elétricos do Sistema Emulador são apresentados nos desenhos abaixo relacionados:

SDA Nº 810300 - UCN

SDA Nº 810301 - UCR

SDA Nº 810302 - CMS

SDA Nº 810303 - UMT

SDA Nº 810304 - MEM

SDA Nº 820201 - PNL

TABELA A.1

LISTAGEM DO CONECTOR J1

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XA1	RI (0)	E/s	UCN	
XA2	RI (1)	E/s	UCN	
XA3	RI (2)	E/s	UCN	
XA4	VCC	E	ALIM.	Alimentação: +5V
XA5	RI (3)	E/s	UCN	
XA6	RI (4)	E/s	UCN	
XA7	RI (5)	E/s	UCN	
XA8	RI (6)	E/s	UCN	
XA9	VCC	E	ALIM.	Alimentação: +5V
XA10	RI (7)	E/s	UCN	RI (0 - 15): Registro de Instru
XA11	RI (8)	E/s	UCN	ção (0 - 15)
XA12	RI (9)	E/s	UCN	
XA13	RI (10)	E/s	UCN	
XA14	VCC	E	ALIM.	Alimentação: +5V
XA15	RI (11)	E/s	UCN	
XA16	RI (12)	E/s	UCN	
XA17	RI (13)	E/s	UCN	
XA18	RI (14)	E/s	UCN	
XA19	VCC	E	ALIM.	Alimentação: +5V
XA20	RI (15)	E/s	UCN	
XA21	RELM	E	UCR	Relógio do sistema
XA22	-	-	-	Não utilizado

(continua)

Tabela A.1 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XB 1	$\overline{\text{CRSAIDA}}$	S	CMS	Carrega o Registro de Saída
XB 2	$\overline{\text{CCE}}$	S	CMS	Carrega o Contador de Endereço
XB 3	SE	S	MEM	Seleciona o Endereço do MEM
XB 4	TRA	S	ALIM.	Terra
XB 5	$\overline{\text{CRS}}$	S	CMS	Carrega o Registro de Seleção
XB 6	$\overline{\text{LERMO}}$	S	UMT	Lê o módulo de monitoramento
XB 7	$\overline{\text{LER}}$	S	$\begin{matrix} \text{CMS} \\ \text{MEM} \end{matrix}$	Lê o módulo de emulação
XB 8	$\overline{\text{ESCR}}$	S	MEM	Escreve o módulo de emulação
XB 9	TRA	S	ALIM.	Terra
XB10	$\overline{\text{SL}}$	S	MEM	Retém as "Latches" dos MEM
XB11	ICEME	S	CMS	Incrementa o Endereço do MEM
XB12	$\overline{\text{CRC}}$	S	UCR	Carrega o Contador do Relógio
XB13	$\overline{\text{CST}}$	S	UCR	Carrega o Registro de Status
XB14	TRA	S	ALIM.	Terra
XB15	EXEC	S	UCR	Execute
XB16	$\overline{\text{CF}}$	S	UMT	Carrega o Registro de Frequência
XB17	ICEMO	S	UMT	Incrementa o Endereço da UMT
XB18	$\overline{\text{FIM}}$	E	UCR	Finaliza o fim de execução
XB19	TRA	S	ALIM.	Terra
XB20	IRC	S	UCR	Incrementa o Contador do Relógio
XB21	-	-	-	Não utilizado
XB22	-	-	-	Não utilizado

TABELA A.2

LISTAGEM DO CONECTOR J2

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XA 1	RI (0)	E	UCN	
XA 2	RI (1)	E	UCN	
XA 3	RI (2)	E	UCN	
XA 4	VCC	E	ALIM.	Alimentação: + 5V
XA 5	RI (3)	E	UCN	
XA 6	RI (4)	E	UCN	RI (0 - 11): Registro de Instru
XA 7	RI (5)	E	UCN	ção (0 - 11)
XA 8	RI (6)	E	UCN	
XA 9	VCC	E	ALIM.	Alimentação: +5V
XA10	RI (7)	E	UCN	
XA11	RI (8)	E	UCN	
XA12	RI (9)	E	UCN	
XA13	RI (10)	E	UCN	
XA14	VCC	E	ALIM.	Alimentação: + 5V
XA15	RI (11)	E	UCN	
XA16	$\overline{\text{CRC}}$	E	UCN	Carrega o Contador do Relógio
XA17	$\overline{\text{CST}}$	E	UCN	Carrega o Registro de Status
XA18	EXEC	E	UCN	Execute
XA19	VCC	E	ALIM.	Alimentação: +5V
XA20	RSTE	E	EXT	Relógio do Sistema em teste
XA21	FIM	S	UCN	Sinaliza o fim da execução
XA22	RELM	S	UCN, CMS, UMT	Relógio do sistema

(continua)

Tabela A.2 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XB 1	EC (0)	E	EXT	
XB 2	EC (1)	E	EXT	
XB 3	EC (2)	E	EXT	
XB 4	TRA	S	ALIM	Terra
XB 5	EC (3)	E	EXT	
XB 6	EC (4)	E	EXT	EC (0 - 11): endereço de Contro
XB 7	EC (5)	E	EXT	le (0 - 11) da memória 1 do mō
XB 8	EC (6)	E	EXT	dulo 1
XB 9	TRA	S	ALIM.	Terra
XB10	EC (7)	E	EXT	
XB11	EC (8)	E	EXT	
XB12	EC (9)	E	EXT	
XB13	EC (10)	E	EXT	
XB14	TRA	S	ALIM.	Terra
XB15	EC (11)	E	EXT	
XB16	RSTI	S	UNT	Sinal RSTS para a UMT
XB17	EXED	S	UMT	Sinal EXEC para a UMT
XB18	RST (0)	S	UMT	Registro de Status (0)
XB19	TRA	S	ALIM.	Terra
XB20	RST(1)	S	UMT	Registro de Status (1)
XB21	IRC	E	UCN	Incrementa o Contador de Relógio
XB22	RSTS	S	EXT	Relógio para o sistema em teste
YB25	Circuito externo	S	PNL	Sinaliza emulação em execução

TABELA A.3

LISTAGEM DO CONECTOR J3

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XA 1	RI (0)	E	UCN	
XA 2	RI (1)	E	UCN	
XA 3	RI (2)	E	UCN	
XA 4	VCC	E	ALIM.	Alimentação: +5V
XA 5	RI (3)	E	UCN	
XA 6	RI (4)	E	UCN	RI (0 - 11): Registro de Instru
XA 7	RI (5)	E	UCN	ção (0 - 11)
XA 8	RI (6)	E	UCN	
XA 9	VCC	E	ALIM.	Alimentação: +5V
XA10	RI (7)	E	UCN	
XA11	RI (8)	E	UCN	
XA12	RI (9)	E	UCN	
XA13	RI (10)	E	UCN	
XA14	VCC	E	ALIM.	Alimentação: +5V
XA15	RI (11)	E	UCN	
XA16	$\overline{CCE}$	E	UCN	Carrega o Contador de Endereço
XA17	$\overline{LER}$	E	UCN	Lê o módulo de emulação
XA18	ICEME	E	UCN	Incrementa o Endereço do MEM
XA19	VCC	E	ALIM.	Alimentação: +5V
XA20	$\overline{CRS}$	E	UCN	Carrega o Registro de Seleção
XA21	$\overline{CRSAIDA}$	E	UCN	Carrega o Registro de Saída
XA22	RELM	E	UCR	Relógio do sistema

(continua)

Tabela A.3 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XB 1	CEND(0)	S	MEM	
XB 2	CEND(1)	S	MEM	
XB 3	CEND(2)	S	MEM	
XB 4	TRA	S	ALIM.	Terra
XB 5	CEND(3)	S	MEM	
XB 6	CEND(4)	S	MEM	CEND (0 - 11): Contador de Endere
XB 7	CEND(5)	S	MEM	ço (0-11) dos módulos de Emulação
XB 8	CEND(6)	S	MEM	
XB 9	TRA	S	ALIM.	Terra
XB10	CEND(7)	S	MEM	
XB11	CEND(8)	S	MEM	
XB12	CEND(9)	S	MEM	
XB13	CEND(10)	S	MEM	
XB14	TRA	S	ALIM.	Terra
XB15	CEND(11)	S	MEM	
XB16				XB16 a XB22: não utilizado
XB17				
XB18				
XB19	TRA	S	ALIM.	Terra
XB20				
XB21				
XB22				

TABELA A.4

LISTAGEM DO CONECTOR J4

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESTINO
XA 1	$\overline{CF}$		UCN	Carrega o Registro de Frequência
XA 2	$\overline{LERM0}$		UCN	Lê o módulo de Monitoramento
XA 3	EXED		UCR	Sinal EXEC DA UCR
XA 4	VCC	E	ALIM.	Alimentação: +5V
XA 5	RI (0)	E	UCN	
XA 6	RI (1)	E	UCN	RI (0 - 3): Registro de Instrução
XA 7	RI (2)	E	UCN	(0 - 3)
XA 8	RI (3)	E	UCN	
XA 9	VCC	E	ALIM.	Alimentação: +5V
XA10	RST (0)	E	UCR	Registro de Status (0)
XA11	RST (1)	E	UCR	Registro de Status (1)
XA12	RST I	E	UCR	Sinal RSTS da UCR
XA13	ICEMO	E	UCN	Incrementa
XA14	VCC	E	ALIM.	Alimentação: +5V
XA15	RSTE	E	EXT	Relógio do Sistema em teste
XA16	-	-	-	
XA17	-	-	-	XA16 a XA22: não - utilizado
XA18	-	-	-	
XA19	VCC	E	ALIM.	Alimentação: +5V
XA20	-	-	-	
XA21	-	-	-	
XA22	-	-	-	

(continua)



Tabela A.4 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XB 1	DADL(0)	S	CMS	
XB 2	DADL(1)	S	CMS	
XB 3	DADL(2)	S	CMS	
XB 4	TRA	S	ALIM.	Terra
XB 5	DADL(3)	S	CMS	
XB 6	DADL(4)	S	CMS	DADL (0 - 7): Dado de Leitura
XB 7	DADL(5)	S	CMS	(0 - 7)
XB 8	DADL(6)	S	CMS	
XB 9	TRA	S	ALIM.	Terra
XB10	DADL(7)	S	CMS	
XB11	ST (0)	S	PNL	ST (0 - 3): Status (0 - 3)
XB12	ST (1)	S	PNL	
XB13	ST (2)	S	PNL	
XB14	TRA	S	ALIM	Terra
XB15	ST (S)	S	PNL	
XB16	FREQ(0)	S	PNL	
XB17	FREQ(1)	S	PNL	FREQ (0 - 3): Frequência de Amos
XB18	FREQ(2)	S	PNL	tagem (0 - 3)
XB19	TRA	S	ALIM.	Terra
XB20	FREQ(3)	S	PNL	
XB21	-	-	-	Não utilizado
XB22	-	-	-	Não utilizado

TABELA A.5

LISTAGEM DO CONECTOR J5

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XA 1	CEND(0)	E	CMS	
XA 2	CEND(1)	E	CMS	
XA 3	CEND(2)	E	CMS	
XA 4	VCC	E	ALIM.	Alimentação: +5V
XA 5	CEND(3)	E	CMS	
XA 6	CEND(4)	E	CMS	CEND (0 - 11): Contador de Endere
XA 7	CEND(5)	E	CMS	ço (0 - 11) do MEM
XA 8	CEND(6)	E	CMS	
XA 9	VCC	E	LIM.	Alimentação: +5V
XA10	CEND(7)	E	CMS	
XA11	CEND(8)	E	CMS	
XA12	CEND(9)	E	CMS	
XA13	CEND(10)	E	CMS	
XA14	VCC	E	ALIM.	Alimentação: +5V
XA15	CEND(11)	E	CMS	
XA16	SE	E	UCN	Seleciona o Endereço do MEM
XA17	ESCR	E	UCN	Escreve no módulo de emulação
XA18	SL	E	UCN	Retém a "Latch" do MEM
XA19	VCC	E	ALIM.	Alimentação: +5V
XA20	LER	E	UCN	Lê o módulo de emulação
XA21	ESC1 i	E	CMS	Escreve na memória 1 do módulo i
XA22	ESC2 i	E	CMS	Escreve na memória 2 do módulo i

(continua)

Tabela A.5 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
XB 1	RI (0)	E	UCN	
XB 2	RI (1)	E	UCN	
XB 3	RI (2)	E	UCN	
XB 4	TRA	S	ALIM.	Terra
XB 5	RI (3)	E	UCN	
XB 6	RI (4)	E	UCN	RI (0 - 7): Registro de Instrução
XB 7	RI (5)	E	UCN	(0 - 7)
XB 8	RI (6)	E	UCN	
XB 9	TRA	S	ALIM.	Terra
XB10	RI (7)	E	UCN	
XB11	-	-	-	Não - utilizado
XB12	-	-	-	Não - utilizado
XB13	DADL(0)	S	CMS	
XB14	TRA	S	ALIM.	Terra
XB15	DADL(1)	S	CMS	
XB16	DADL(2)	S	CMS	DADL (0 - 7): Dado de Leitura
XB17	DADL(3)	S	CMS	(0 - 7)
XB18	DADL(4)	S	CMS	
XB19	TRA	S	ALIM.	Terra
XB20	DADL(5)	S	CMS	
XB21	DADL(6)	S	CMS	
XB22	DADL(7)	S	CMS	

TABELA A.6

LISTAGEM DO CONECTOR K1

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YA 1	ENCODE	E	HP21MX-E	Sinal ENCODE do computador
YA 2	$\mu$ C (0)	E	HP21MX-E	
YA 3	$\mu$ C (1)	E	HP21MX-E	
YA 4	$\mu$ C (2)	E	HP21MX-E	
YA 5	$\mu$ C (3)	E	HP21MX-E	
YA 6	$\mu$ C (4)	E	HP21MX-E	
YA 7	$\mu$ C (5)	E	HP21MX-E	
YA 8	$\mu$ C (6)	E	HP21MX-E	MC (0 - 15): barramento de saída
YA 9	$\mu$ C (7)	E	HP21MX-E	de dados do computador
YA10	$\mu$ C (8)	E	HP21MX-E	
YA11	$\mu$ C (9)	E	HP21MX-E	
YA12	$\mu$ C (10)	E	HP21MX-E	
YA13	$\mu$ C (11)	E	HP21MX-E	
YA14	$\mu$ C (12)	E	HP21MX-E	
YA15	$\mu$ C (13)	E	HP21MX-E	
YA16	$\mu$ C (14)	E	HP21MX-E	
YA17	$\mu$ C (15)	E	HP21MX-E	
YA18	DEVICE FLAG	S	HP21MX-E	Resposta para o Computador
YA19 a YA25	-	-	-	não - utilizado
YB 1	INIC	E	PNL	Inicialização do Sistema
YB2	REMOTO/ LOCAL	E	PNL	Seleção de Remoto ou Local

(continua)

Tabela A.6 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YB 3	EXECUTE	E	PNL	Execute a instrução do painel
YB 4	$\overline{\text{HCHAVE}}$	E	PNL	Habilita as chaves dos painel
YB 5	$\overline{\text{PARADO}}$	E	PNL	Sinaliza EMMAC parado
YB 6 a YB25	-	-	-	Não - utilizado

TABELA A.7

LISTAGEM DO CONECTOR K3

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YA 1	DADL (0)	E	MEM,UMT	
YA 2	DADL (1)	E	MEM,UMT	
YA 3	DADL (2)	E	MEM,UMT	
YA 4	DADL (3)	E	MEM,UMT	DADL (0 - 7): Dado de Leitura
YA 5	DADL (4)	E	MEM,UMT	(0 - 7)
YA 6	DADL (5)	E	MEM,UMT	
YA 7	DADL (6)	E	MEM,UMT	
YA 8	-	-	-	Não utilizado
YA 9	DADL (7)	E	MEM,UMT	
YA10	DADS (0)	S	HP21MX-E	
YA11	DADS (1)	S	HP21MX-E	
YA12	DADS (2)	S	HP21MX-E	DADS (0 - 7): Dado de Saída
YA13	DADS (3)	S	HP21MX-E	(0 - 7) para o Computador
YA14	DADS (4)	S	HP21MX-E	
YA15	DADS (5)	S	HP21MX-E	
YA16	DADS (6)	S	HP21MX-E	
YA17	DADS (7)	S	HP21MX-E	
YA1B	TRA	S	HP21MX-E	
YA19 a YA25	-	-	-	Não utilizado
YB 1	ESC 11	S	MEM	
YB 2	ESC 21	S	MEM	

(continua)

Tabela A.7 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YB 3	ESC 12	S	MEM	
YB 4	ESC 22	S	MEM	
YB 5	ESC 13	S	MEM	
YB 6	ESC 23	S	MEM	ESC 1i: Escreve na memória
YB 7	ESC 14	S	MEM	1 do módulo i
YB 8	ESC 24	S	MEM	
YB 9	ESC 15	S	MEM	
YB10	ESC 25	S	MEM	ESC 2i: Escreve na memória 2
YB11	ESC 16	S	MEM	do módulo i
YB12	ESC 26	S	MEM	
YB13	ESC 17	S	MEM	
YB14	ESC 27	S	MEM	$1 \leq i \leq 20$
YB15	ESC 18	S	MEM	
YB16	ESC 28	S	MEM	
YB17	ESC 19	S	MEM	
YB18	ESC 29	S	MEM	
YB19	ESC110	S	MEM	
YB20	ESC210	S	MEM	
YB21 a YB25	-	-	-	Não utilizado

TABELA A.8

LISTAGEM DO CONECTDR K.4

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YA 1	PT (0)	E	EXT.	
YA 2	PT (1)	E	EXT.	
YA 3	PT (2)	E	EXT.	
YA 4	PT (3)	E	EXT.	
YA 5	PT (4)	E	EXT.	
YA 6	PT (5)	E	EXT.	
YA 7	PT (6)	E	EXT.	PT (0 - 31): Pontas de Teste
YA 8	PT (7)	E	EXT.	(0 - 31)
YA 9	PT (8)	E	EXT.	
YA10	PT (9)	E	EXT.	
YA11	PT(10)	E	EXT.	
YA12	PT(11)	E	EXT.	
YA13	PT(12)	E	EXT.	
YA14	PT(13)	E	EXT.	
YA15	PT(14)	E	EXT.	
YA16	PT(15)	E	EXT.	
YA17 a YA25	-	-	-	Não utilizado
YB 1	PT(16)	E	EXT.	
YB 2	PT(17)	E	EXT.	
YB 3	PT(18)	E	EXT.	
YB 4	PT(19)	E	EXT.	

(continua)



Tabela A.8 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YB 5	PT (20)	E	EXT.	
YB 6	PT (21)	E	EXT.	
YB 7	PT (22)	E	EXT.	
YB 8	PT (23)	E	EXT.	
YB 9	PT (24)	E	EXT.	
YB10	PT (25)	E	EXT.	
YB11	PT (26)	E	EXT.	
YB12	PT (27)	E	EXT.	
YB13	PT (28)	E	EXT.	
YB14	PT (29)	E	EXT.	
YB15	PT (30)	E	EXT.	
YB16	PT (31)	E	EXT.	
YB17 a YB25	-	-	-	Não utilizado

TABELA A.9

LISTAGEM DO CONECTOR K5 a K12

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YA 1	EM1 (0)	E		
YA 2	EM1 (1)	E		
YA 3	EM1 (2)	E		
YA 4	EM1 (3)	E		
YA 5	EM1 (4)	E		EM1 (0 - 11): Endereço da me
YA 6	EM1 (5)	E		mória 1
YA 7	EM1 (6)	E		
YA 8	EM1 (7)	E		
YA 9	EM1 (8)	E		
YA10	EM1 (9)	E		
YA11	EM1(10)	E		
YA12	EM1(11)	E		
YA13	$\overline{ENM1A}$	E		Habilitação A da memória 1
YA14	$\overline{ENM1B}$	E		Habilitação B da memória 1
YA15	AM1 (0)	S		
YA16	SM1 (1)	S		
YA17	AM1 (2)	S		
YA18	SM1 (3)	S		SM1 (0 - 7) Saída da memória 1
YA19	SM1 (4)	S		
YA20	SM1 (5)	S		
YA21	SM1 (6)	S		
YA22	SM1 (7)	S		

(continua)

Tabela A.9 - Continuação

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESTINO
YA23 a YA25	-	-	-	Não utilizado
YB 1 a YB 2	-	-	-	Não utilizado
YB 3	EM2 (0)	E	EXT.	
YB 4	EM2 (1)	E	EXT.	
YB 5	EM2 (2)	E	EXT.	
YB 6	EM2 (3)	E	EXT.	
YB 7	EM2 (4)	E	EXT.	
YB 8	EM2 (5)	E	EXT.	EM2 (0 - 11): Endereço da me
YB 9	EM2 (6)	E	EXT.	mória 2
YB10	EM2 (7)	E	EXT.	
YB11	EM2 (8)	E	EXT.	
YB12	EM2 (9)	E	EXT.	
YB13	EM2(10)	E	EXT.	
YB14	EM2(11)	E	EXT.	
YB15	ENM2 A	E	EXT.	Habilitação A da memória 2
YB16	ENM2 B	E	EXT.	Habilitação B da memória 2
YB17	SM2 (0)	E	EXT.	
YB18	SM2 (1)	E	EXT.	
YB19	SM2 (2)	E	EXT.	SM (0 - 7): Saída da memória 2
YB20	SM2 (3)	E	EXT.	
YB21	SM2 (4)	E	EXT.	

(continua)

Tabela A.9 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
YB22	-	-	-	Não utilizado
YB23	SM2 (5)	S	EXT.	
YB24	SM2 (6)	S	EXT.	
YB25	SM2 (7)	S	EXT.	

TABELA A.10

LISTAGEM DO CONECTOR L1

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
1	DADS 0	S	EMMAC	
2	DADS 1	S	EMMAC	
3	DADS 2	S	EMMAC	
4	DADS 3	S	EMMAC	
5	DADS 4	S	EMMAC	
6	DADS 5	S	EMMAC	
7	DADS 6	S	EMMAC	
8	DADS 7	S	EMMAC	DADS (0 - 15): Dados de Saída
9	DADS 8	S	EMMAC	do EMMAC para o Computador
10	DADS 9	S	EMMAC	
11	DADS10	S	EMMAC	
12	DADS11	S	EMMAC	
13	DADS12	S	EMMAC	
14	DADS13	S	EMMAC	
15	DADS14	S	EMMAC	
16	DADS15	S	EMMAC	
17 a 21	-	-	-	Não utilizado
22	ENCODE	E	EMMAC	Pedido de execução de instrução
23	DEVICE FLAG	S	EMMAC	Resposta para o Computador
24	GND	S	EMMAC	Terra
25	$\mu$ C (0)	E	EMMAC	
26	$\mu$ C (1)	E	EMMAC	

(continua)

Tabela A.10 - Conclusão

PINO	SINAL	E/S	ORIGEM/ DESTINO	DESCRIÇÃO
27	$\mu$ C (2)	E	EMMAC	
28	$\mu$ C (3)	E	EMMAC	
29	$\mu$ C (4)	E	EMMAC	
30	$\mu$ C (5)	E	EMMAC	
31	$\mu$ C (6)	E	EMMAC	
32	$\mu$ C (7)	E	EMMAC	MC (0 - 15): Dados de Entrada
33	$\mu$ C (8)	E	EMMAC	do Computador para o EMMAC
34	$\mu$ C (9)	E	EMMAC	
35	$\mu$ C(10)	E	EMMAC	
36	$\mu$ C(11)	E	EMMAC	
37	$\mu$ C(12)	E	EMMAC	
38	$\mu$ C(13)	E	EMMAC	
39	$\mu$ C(14)	E	EMMAC	
40	$\mu$ C(15)	E	EMMAC	
41 a 45	-	-	-	Não utilizado
46	ENCODE	E	EMMAC	Pedido de execução de instrução
47	DEVICE FAG	S	EMMAC	Resposta para o Computador
48	GND	S	EMMAC	Terra
49	-	-	-	Não utilizado
50	-	-	-	Não utilizado

TABELA A.11

LISTAGEM DAS LIGAÇÕES DO SISTEMA EMULADOR

SINAL	LIGAÇÕES
RI (0)	XA1-P1 / XA1-P2 / XA1-P3 / XA5-P4 / XB1-P5(12) / RIP (0) (Painel)
RI (1)	XA2-P1 / XA2-P2 / XA2-P3 / XA6-P4 / XB2-P5(12) / RIP (1) (Painel)
RI (2)	XA3-P1 / XA3-P2 / XA3-P3 / XA7-P4 / XB3-P5(12) / RIP (2) (Painel)
RI (3)	XA5-P1 / XA5-P2 / XA5-P3 / XA8-P4 / XB5-P5 (12) / RIP (3) (Painel)
RI (4)	XA6-P1 /XA6-P2 / XA6-P3 / XB6-P5(12) / RIP (4) (Painel)
RI (5)	XA7-P1 / XA7-P2 / XA7-P3 / XB7-P5 (12) / RIP (5) (Painel)
RI (6)	XA8-P1 / XA8-P2 / XA8-P3 / XB8-P5 (12) / RIP (6) (Painel)
RI (7)	XA10-P1 / XA-10-P2 / XA10-P3 / XB10-P5(12) / RIP (7) (Painel)
RI (8)	XA11-P1 / XA11-P2 / XA11-P3 / RIP (B) (Painel)
RI (9)	XA12-P1 / XA12-P2 / XA12-P3 / RIP (9) ( Painel)
RI (10)	XA13-P1 / XA13-P2 / XA13-P3 / RIP (10) ( Painel)
RI (11)	XA15-P1 / XA15-P2 / XA15-P3 / RIP (11) (Painel)
RI (12)	XA16-P1 / RIP (12) (Painel)
RI (13)	XA17-P1 / RIP (13) (Painel)
RI (14)	XA18-P1 / RIP (14) (Painel)
RI (15)	XA20-P1 / RIP (15) (Painel)
RELM	XA21-P1 / XA22-P2 / XA22-P3 / XA22-P4
CRSAID	XB1-P1 / XA21-P3
CCE	XB2-P1 / XA16-P3
SE	XB3-P1 / XA16-P5 (12)

(continua)

Tabela A.11 - Continuação

SINAL	LIGAÇÕES
CRS	XB5-P1 / XA20-P3
LERMO	XB6-P1 / XA2-P4
LER	XB7-P1 / XA17-P3 / XA20-P5 (12)
ESCR	XB8-P1 / XA17-P5 (12)
SL	XB10-P1 / XA18-P5 (12)
ICEME	XB11-P1 / XA18-P3
CRC	XB12-P1 / XA16-P2
CST	XB13-P1 / XA17-P2
EXEC	XB15-P1 / XA18-P2
CF	XB16-P1 / XA1-P4
ICEMO	XB17-P1 / XA13-P4
FIM	XB18-P1 / XA21-P2
IRC	XB20-P1 / XB21-P2
RSTE	XA20-P2 / XA15-P4 / RSTEP (Painel)
EC (0)	XB1-P2 / YA1-P5
EC (1)	XB2-P2 / YA2-P5
EC (2)	XB3-P3 / YA3-P5
EC (3)	XB5-P3 / YA4-P5
EC (4)	XB6-P3 / YA5-P5
EC (5)	XB7-P2 / YA6-P5
EC (6)	XB8-P2 / YA7-P5
EC (7)	XB10-P2 / YA8-P5
EC (8)	XB11-P2 / YA9-P5

(continua)



Tabela A.11 - Continuação

SINAL	LIGAÇÕES
EC (9)	XB12-P2 / YA10-P5
EC (10)	XB13-P2 / YA11-P5
EC (11)	XB15-P2 / YA15-P5
RSTI	XB16-P2 / XA12-P4
EXED	XB17-P2 / XA3-P4
RST (0)	XB18-P2 / XA10-P4
RST (1)	XB20-P2 / XA11-P4
RSTS	XB22-P2 / RSTSP (Painel)
CEND (0)	XB1-P3 / XA1-P5 (12)
CEND (1)	XB2-P3 / XA2-P5 (12)
CEND (2)	XB3-P3 / XA3-P5 (12)
CEND (3)	XB5-P3 / XA5-P5 (12)
CEND (4)	XB6-P3 / XA6-P5 (12)
CEND (5)	XB7-P3 / XA7-P5 (12)
CEND (6)	XB8-P3 / XA8-P5 (12)
CEND (7)	XB10-P3 / XA10-P5 (12)
CEND (8)	XB11-P3 / XA11-P5 (12)
CEND (9)	XB12-P3 / XA12-P5 (12)
CEND (10)	XB13-P3 / XA13-P5 (12)
CEND (11)	XB15-P3 / XA15-P5 (12)
DADL (0)	XB1-P4 / XA13-P5 (12) / YA1-P3
DADL (1)	XB2-P4 / XB15-P5 (12) / YA2-P3
DADL (2)	XB3-P4 / XB16-P5 (12) YA3-P3

(continua)

Tabela A.11 - Continuação

SINAL	LIGAÇÕES
DADL (3)	XB5-P4 / XB17-P5 (12) / YA4-P3
DADL (4)	XB6-P4 / XB1B-P5 (12) / YA5-P3
DADL (5)	XB7-P4 / XB20-P5 (12) / YA6-P3
DADL (6)	XBB-P4 / XB21-P5 (12) / YA7-P3
DADL (7)	XB10-P4 /XB22-P4 (12) / YA9-P3
$\overline{ST}$ (0)	XB11-P4 / $\overline{STP}$ (0) (Painel)
$\overline{ST}$ (1)	XB12-P4 / $\overline{STP}$ (1) (Painel)
$\overline{ST}$ (2)	XB13-P4 / $\overline{STP}$ (2) (Painel)
$\overline{ST}$ (3)	XB15-P4 / $\overline{STP}$ (3) (Painel)
FREQ (0)	XB16-P4 / FREQP (0) (Painel)
FREQ (1)	XB17-P4 / FREQP (1) (Painel)
FREQ (2)	XB18-P4 / FREQP (2) (Painel)
FREQ (3)	XB20-P4 / FREQP (3) (Painel)
INIC	YB1-P1 / INICP (Painel)
REMOTO/ LOCAL	YB2-P1 / REMOTO/LOCAL P (Painel)
HCHAVE	YB3-P1 / $\overline{HCHAVEP}$ (Painel)
$\overline{PARADO}$	YB4-P1 / $\overline{PARADOP}$ (Painel)
ENCODE	YA1-P1 / L1 $\neq$ 46
$\mu C$ (0)	YA2-P1 / L1 $\neq$ 25
$\mu C$ (1)	YA3-P1 / L1 $\neq$ 26
$\mu C$ (2)	YA4-P1 / L1 $\neq$ 27
$\mu C$ (3)	YA5-P1 / L1 $\neq$ 28

Tabela A.11 - Continuação

SINAL	LIGAÇÕES
$\mu$ C (4)	YA6-P1 / L1 $\neq$ 29
$\mu$ C (5)	YA7-P1 / L1 $\neq$ 30
$\mu$ C (6)	YA8-P1 / L1 $\neq$ 31
$\mu$ C (7)	YA9-P1 / L1 $\neq$ 32
$\mu$ C (8)	YA10-P1 / L1 $\neq$ 33
$\mu$ C (9)	YA11-P1 / L1 $\neq$ 34
$\mu$ C (10)	YA12-P1 / L1 $\neq$ 35
$\mu$ C (11)	YA13-P1 / L1 $\neq$ 36
$\mu$ C (12)	YA14-P1 / L1 $\neq$ 37
$\mu$ C (13)	YA15-P1 / L1 $\neq$ 38
$\mu$ C (14)	YA16-P1 / L1 $\neq$ 39
$\mu$ C (15)	YA17-P1 / L1 $\neq$ 40
DEVICE FLAG	YA18-P1 / L1 $\neq$ 23
DADS (0)	YA10-P3 / L1 $\neq$ 1 / DADSP (0) (Painel)
DADS (1)	YA11-P3 / L1 $\neq$ 2 / DADSP (1) (Painel)
DADS (2)	YA12-P3 / L1 $\neq$ 3 / DADSP (2) (Painel)
DADS (3)	YA13-P3 / L1 $\neq$ 4 / DADSP (3) (Painel)
DADS (4)	YA14-P3 / L1 $\neq$ 5 / DADSP (4) (Painel)
DADS (5)	YA15-P3 / L1 $\neq$ 6 / DADSP (5) (Painel)
DADS (6)	YA16-P3 / L1 $\neq$ 7 / DADSP (6) (Painel)
DADS (7)	YA17-P3 / L1 $\neq$ 8 / DADSP (7) (Painel)
DADS (8)	L1 $\neq$ 9 / TRA

(continua)

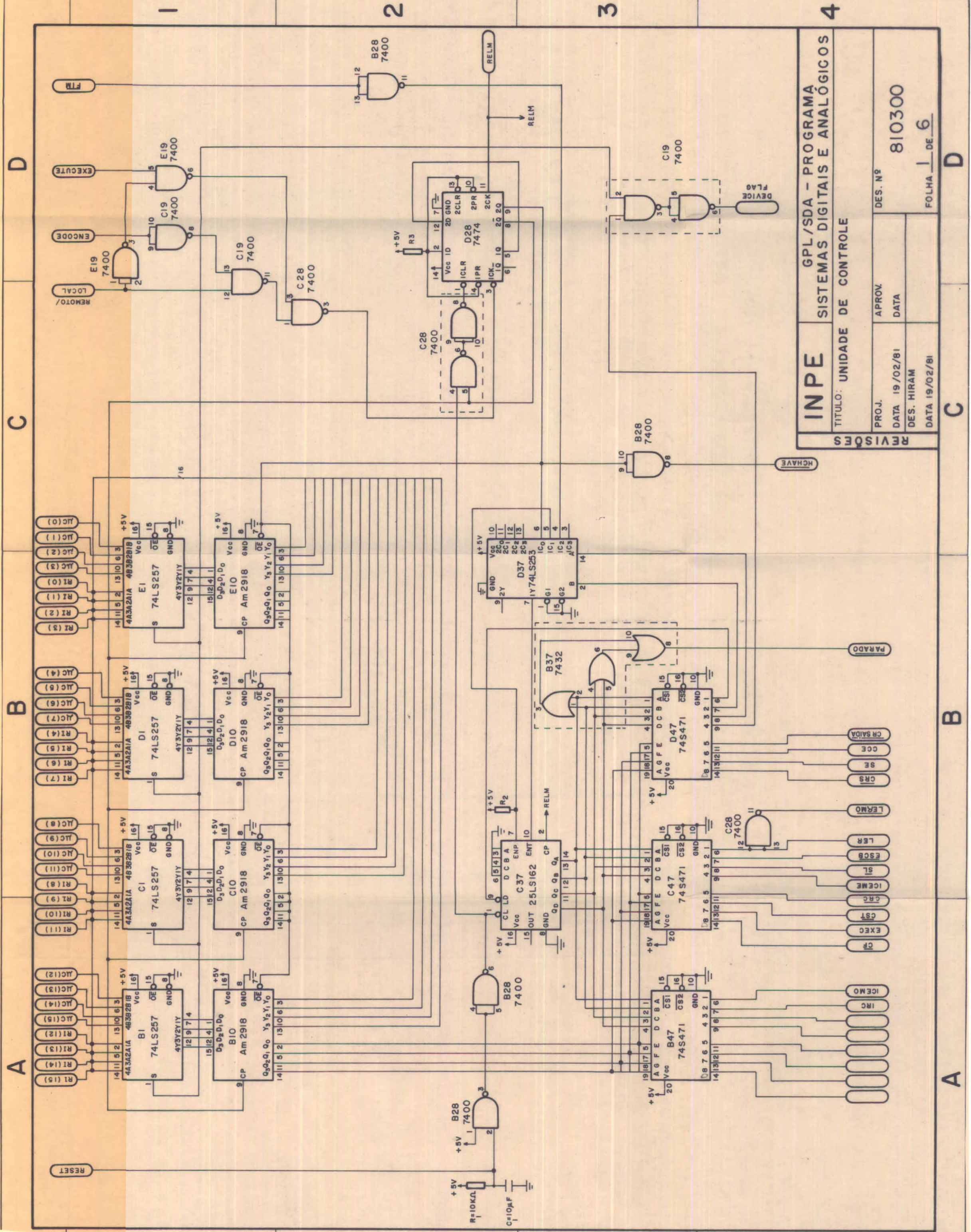
Tabela A.11 - Continuação

SINAL	LIGAÇÕES
DADS (9)	L1 ≠ 10 / TRA
DADS (10)	L1 ≠ 11 / TRA
DADS (11)	L1 ≠ 12 / TRA
DADS (12)	L1 ≠ 13 / TRA
DADS (13)	L1 ≠ 14 / TRA
DADS (14)	L1 ≠ 15 / TRA
DADS (15)	L1 ≠ 16 / TRA
GND	L1 ≠ 22 / L1 ≠ 48 / TRA
CIRCUITO EXTERNO	YB25-P2 / CIRCUITO EXTERNO P (Painel)
ESC 11	YB1-P3 / XA21-P5
ESC 21	YB2-P3 / XA22-P5
ESC 12	YB3-P3 / XA21-P6
ESC 22	XB4-P3 / XA22-P6
ESC 13	YB5-P3 / XA21-P7
ESC 23	YB6-P3 / XA22-P7
ESC 14	YB7-P3 / XA21-P8
ESC 24	YB8-P3 / XA22-P8
ESC 15	YB9-P3 / XA21-P9
ESC 25	YB10-P3 / XA22-P9
ESC 16	YB11-P3 / XA21-P10
ESC 26	YB12-P3 / XA22-P10
ESC 17	YB13-P3 / XA21-P11

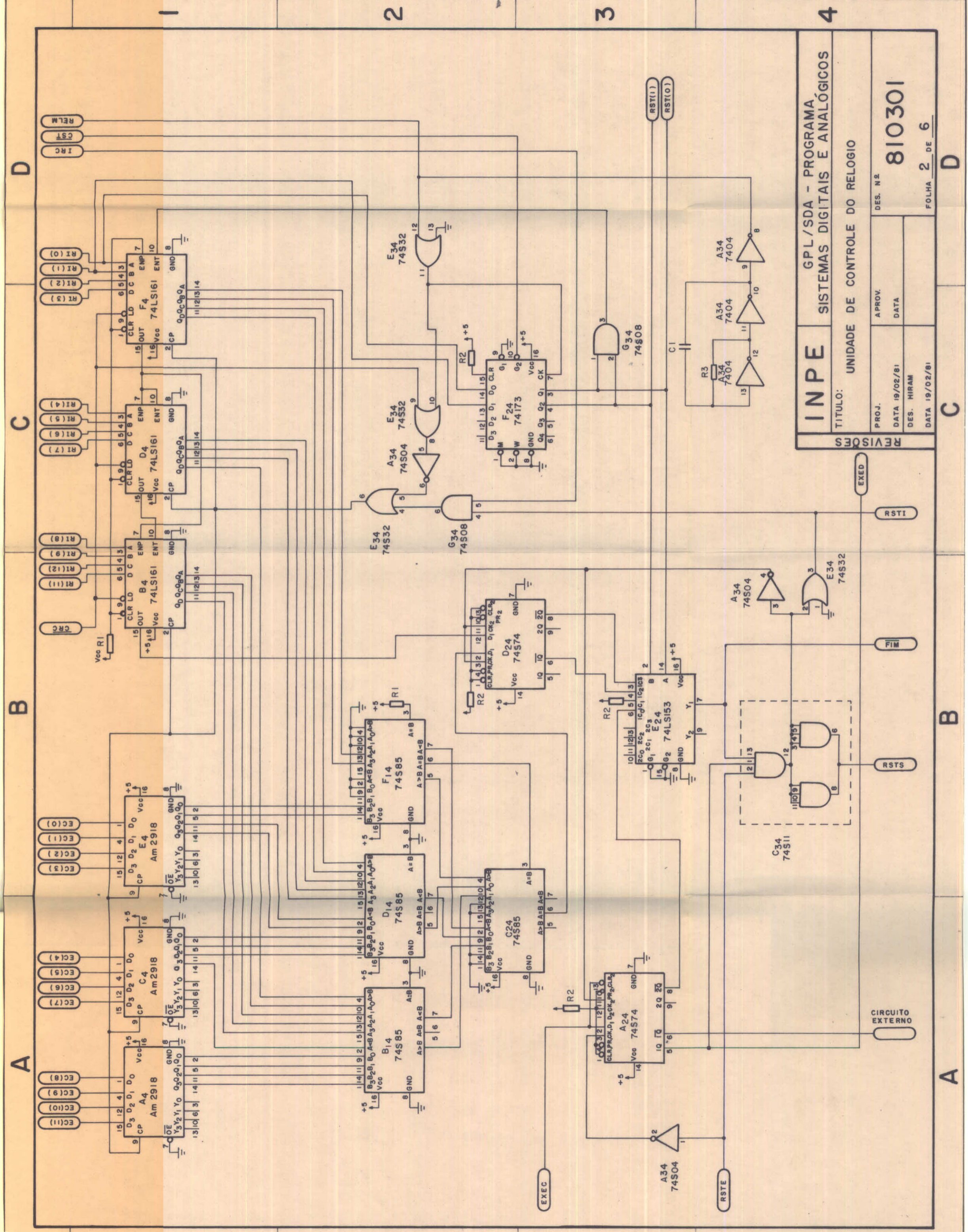
(continua)

Tabela A.11 - Conclusão

SINAL	LIGAÇÕES
ESC 27	YB14-P3 / XA22-P11
ESC 18	YB15-P3 / XA21-P12
ESC 28	YB16-P3 / XA22-P12
ESC 19	YB17-P3
ESC 29	YB18-P3
ESC 110	YB19-P3
ESC 210	YB20-P3



<b>INPE</b>		<b>GPL/SDA - PROGRAMA</b>	
TITULO: UNIDADE DE CONTROLE		SISTEMAS DIGITAIS E ANALÓGICOS	
PROJ.	APROV.	DES. Nº	810300
DATA 19/02/81	DATA		
DES. HIRAM			
DATA 19/02/81			
REVISÕES		FOLHA 1 DE 6	



<b>INPE</b>		<b>SISTEMAS DIGITAIS E ANALÓGICOS</b>	
TÍTULO: UNIDADE DE CONTROLE DO RELOGIO			
PROJ.	APROV.	DES. N.º	DES. N.º
DATA 19/02/81	DATA		810301
DES. HIRAM			FOLHA 2 DE 6
DATA 19/02/81			

D

C

B

A

2

3

4

2

3

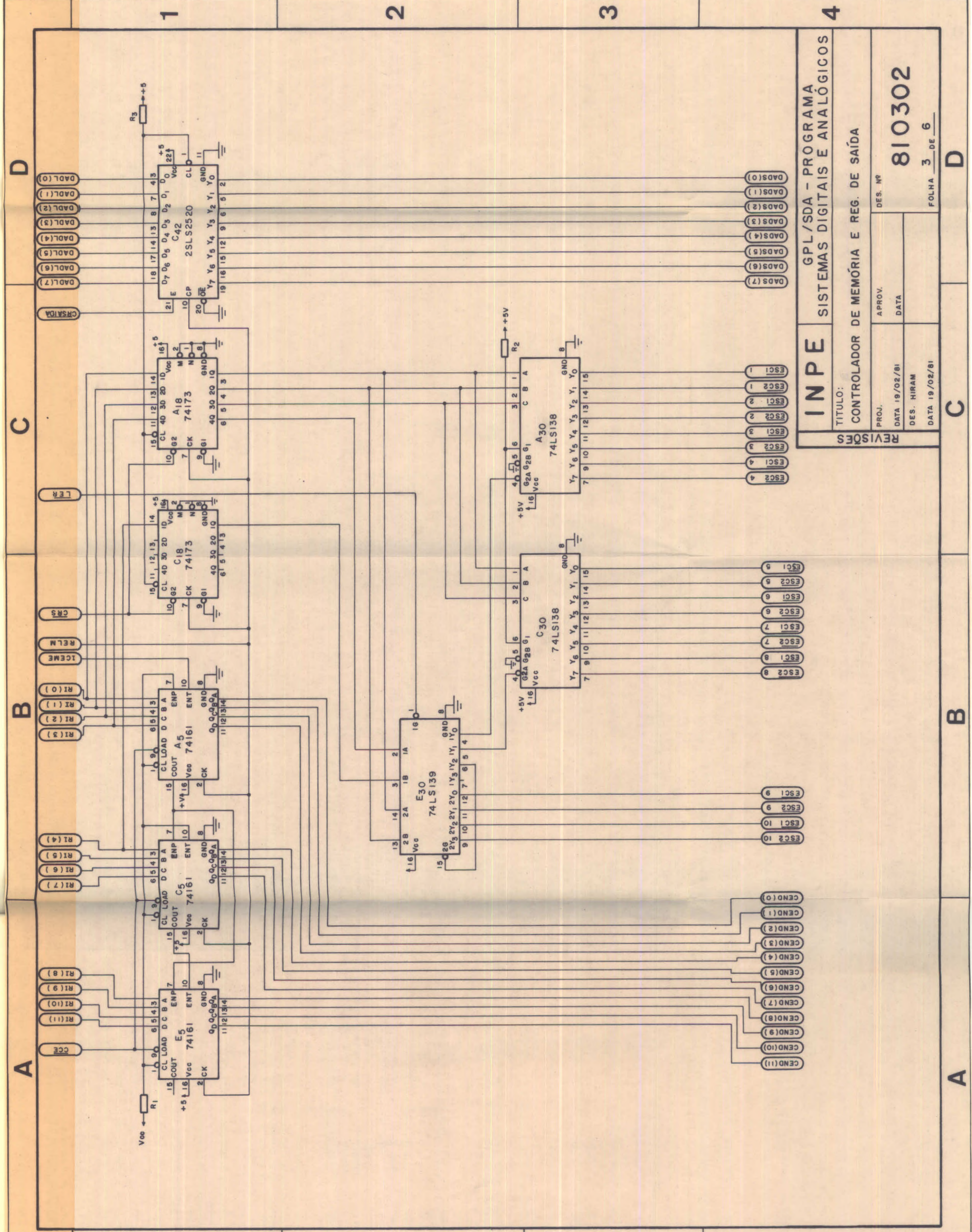
4

D

C

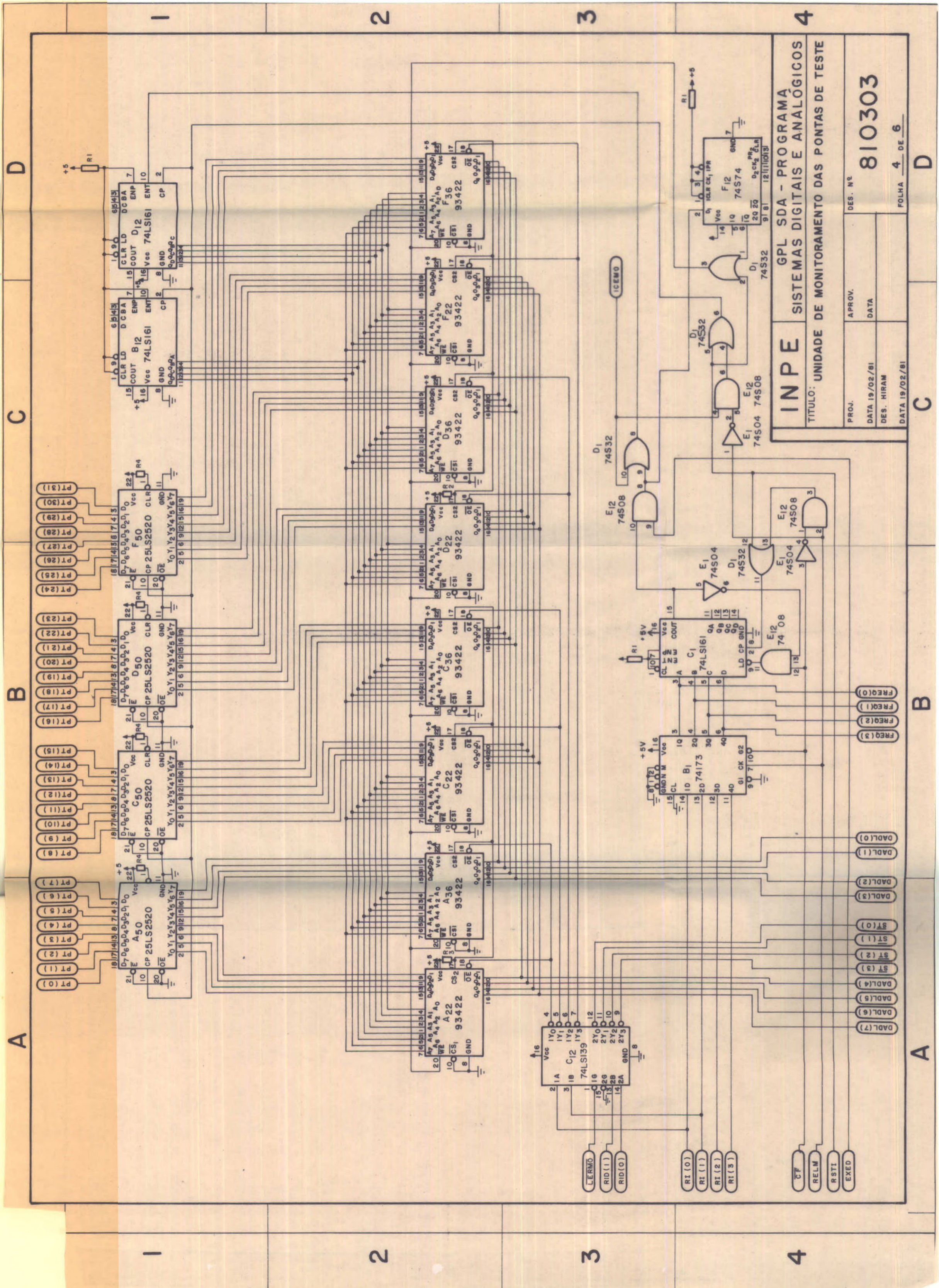
B

A



<b>INPE</b>		<b>GPL/SDA - PROGRAMA</b>	
<b>REVISÕES</b>		<b>SISTEMAS DIGITAIS E ANALÓGICOS</b>	
TITULO:			
CONTROLADOR DE MEMÓRIA E REG. DE SAÍDA			
PROJ.	APROV.	DES. Nº	
DATA 19/02/81	DATA		
DES. HIRAM			
DATA 19/02/81			
		DES. Nº	
		810302	
		FOLHA 3 DE 6	





**INPE**      **GPL SDA - PROGRAMA**  
**SISTEMAS DIGITAIS E ANALÓGICOS**  
**TÍTULO: UNIDADE DE MONITORAMENTO DAS PONTAS DE TESTE**

PROJ.	APROV.	DES. Nº
DATA 19/02/81	DATA	
DES. HIRAM		
DATA 19/02/81		

810303

FOLHA 4 DE 6

D

C

B

A

D

C

B

A

1

2

3

4

1

2

3

4

LERMO  
 RID(1)  
 RID(0)

RI(0)  
 RI(1)  
 RI(2)  
 RI(3)

CF  
 RELM  
 RSTI  
 EXED

DADL(0)  
 DADL(1)  
 DADL(2)  
 DADL(3)  
 DADL(4)  
 DADL(5)  
 DADL(6)  
 DADL(7)

FREQ(0)  
 FREQ(1)  
 FREQ(2)  
 FREQ(3)

PT(0) PT(1) PT(2) PT(3) PT(4) PT(5) PT(6) PT(7) PT(8) PT(9) PT(10) PT(11) PT(12) PT(13) PT(14) PT(15) PT(16) PT(17) PT(18) PT(19) PT(20) PT(21) PT(22) PT(23) PT(24) PT(25) PT(26) PT(27) PT(28) PT(29) PT(30) PT(31)

+5  
 R1

ICEMO

D1

E12

+5V

+5V

+5V

+5

R1

74S32

74S74

74S32

74S04

74S08

74S04

74S08

74S32

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

74S04

74S08

D

C

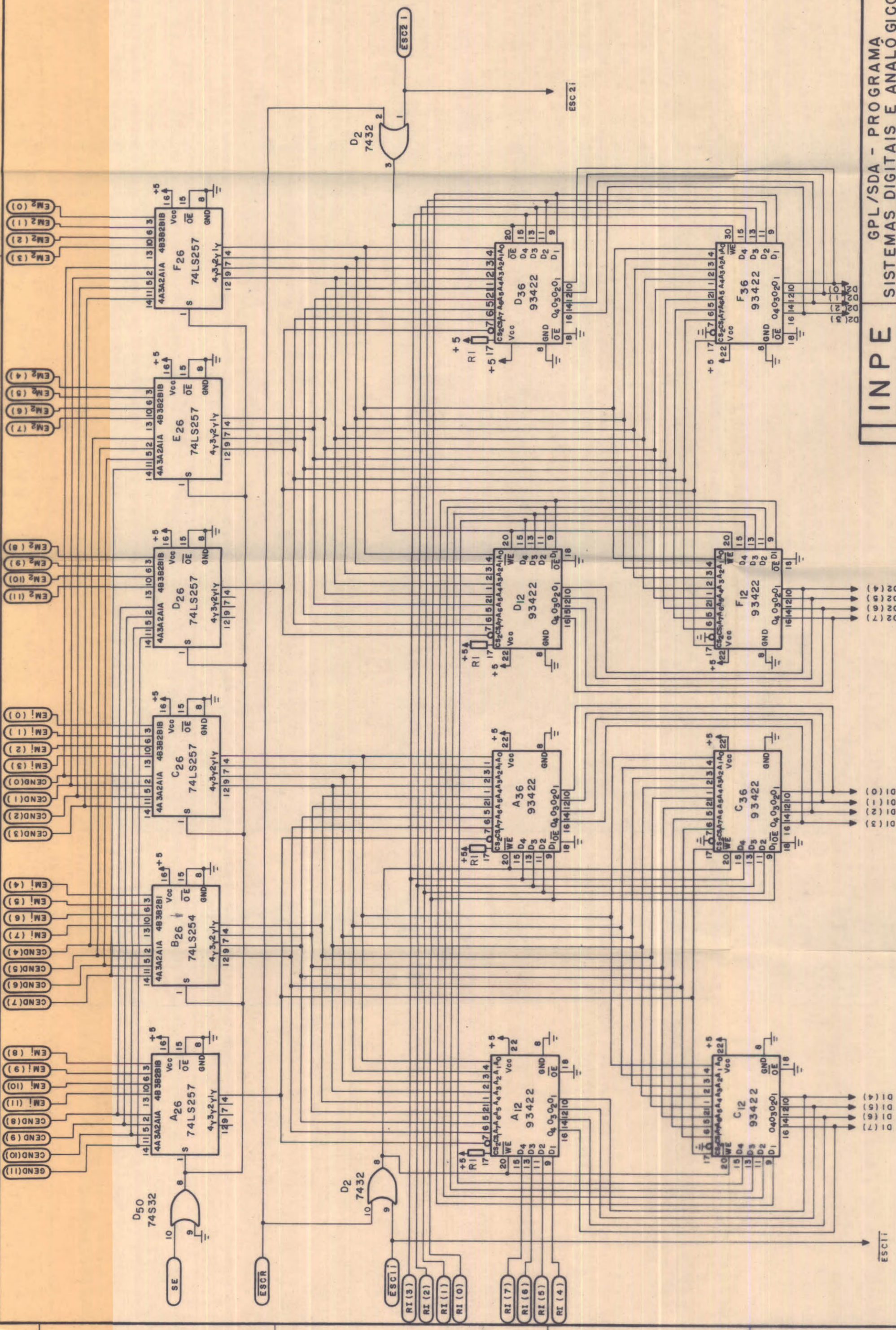
B

A

2

3

4



<b>INPE</b>	
GPL/SDA - PROGRAMA SISTEMAS DIGITAIS E ANALOGICOS	
TITULO: MODULO DE EMULACAO DE MEMORIA PROM (Parte 1/2)	
PROJ.	DES. Nº
DATA 20/02/81	DATA
DES. HIRAM	810304
DATA 20/02/81	FOLHA 5 DE 6

D

C

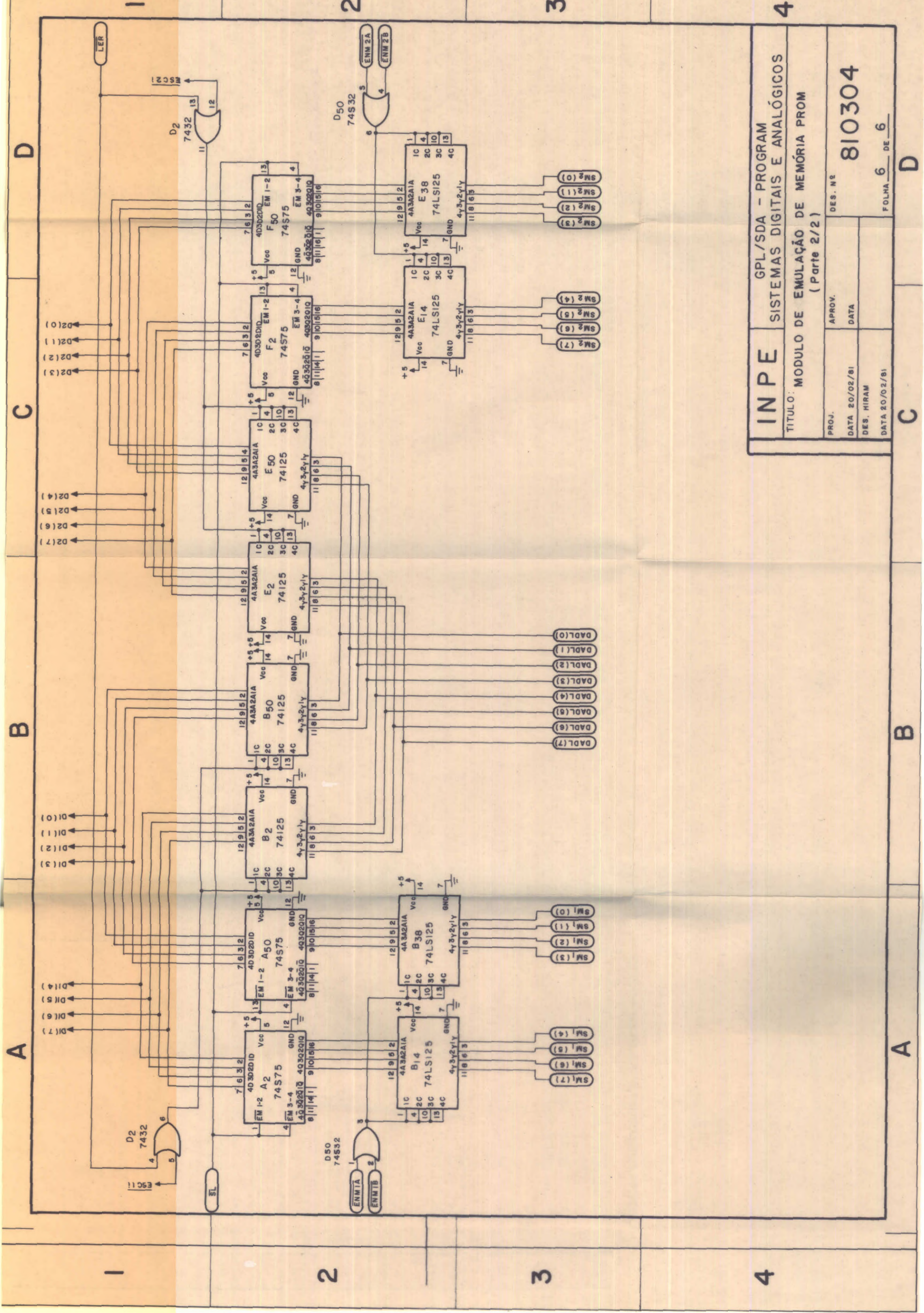
B

A

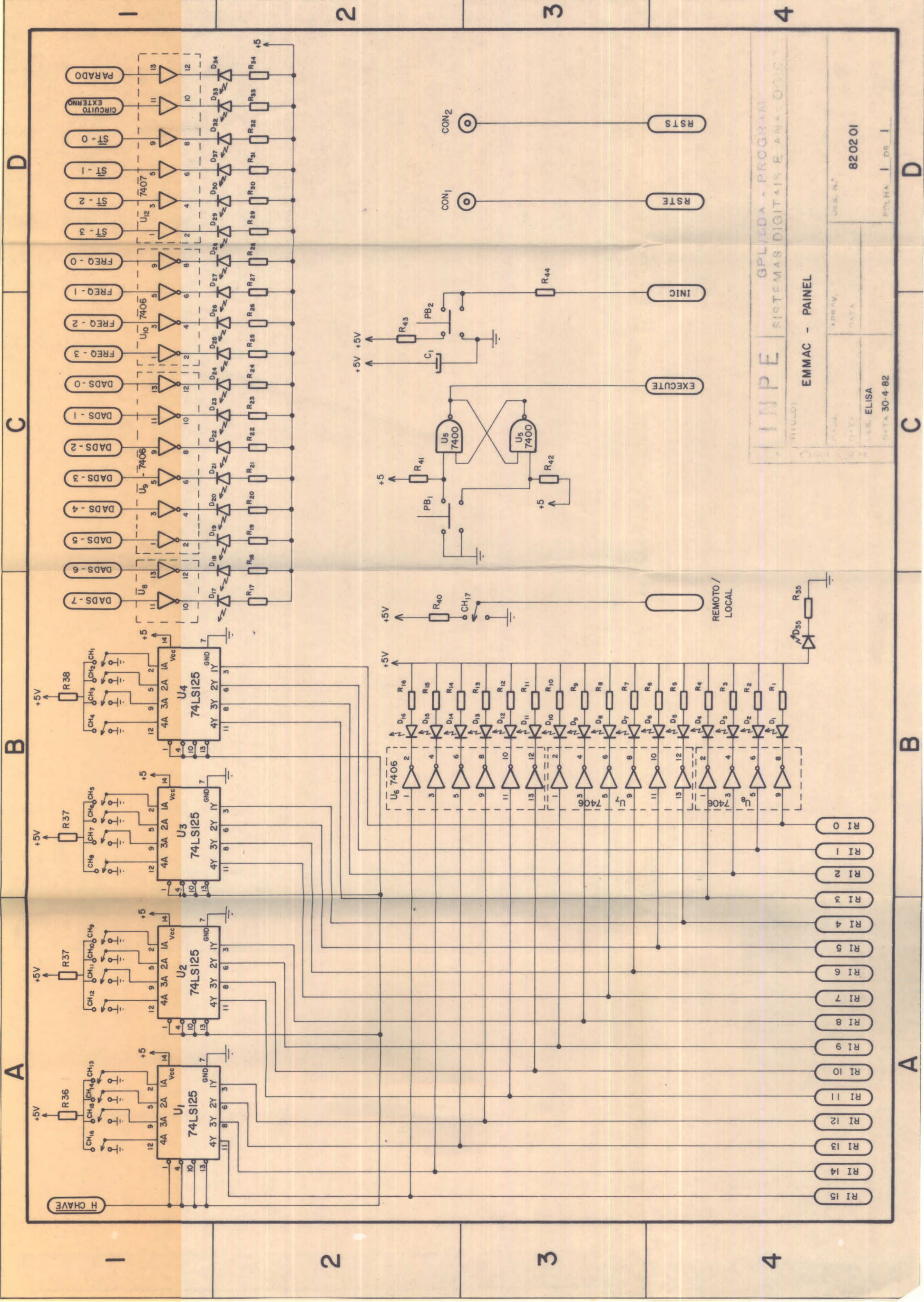
2

3

4



<b>INPE</b>		GPL/SDA - PROGRAM	
SISTEMAS DIGITAIS E ANALÓGICOS			
TÍTULO: MÓDULO DE EMULAÇÃO DE MEMÓRIA PROM (Parte 2/2)			
PROJ.	APROV.	DES. Nº	
DATA 20/02/81	DATA		
DES. HIRAM			
DATA 20/02/81			
		<b>810304</b>	
		FOLHA 6 DE 6	<b>D</b>



INPE SISTEMAS DIGITAIS E ANALOGICOS

EMMAC - PAINEL

TITULO: \_\_\_\_\_

PROJ. \_\_\_\_\_

DES. N.º \_\_\_\_\_

DATA 30-4-82

820201

ELISA

EPHA | DR |



## APÊNDICE B

### RELAÇÃO DE MATERIAL

A relação de material empregado na montagem do Sistema Emulador é descrita neste apêndice. Ela é apresentada em forma de tabelas individuais, correspondentes a cada parte do sistema e com a seguinte distribuição:

Tabela B.1 - Unidade de Controle

Tabela B.2 - Unidade de Controle do Relógio

Tabela B.3 - Controlador de Memórias e Registro de Saída

Tabela B.4 - Unidade de Monitoramento das Pontas de Teste

Tabela B.5 - Módulo de Emulação de Memória PROM

Tabela B.6 - Painel

TABELA B.1  
RELAÇÃO DE MATERIAL DA UCN

ITEM	QTDE	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/ CÓDIG	FABR.	DESCRIÇÃO
1	4	B1, C1, D1, E1	74LS257		QUAD- multiplexador 2 para 1
2	4	B10, C10, D10, E10	Am 2918	AMD	QUAD- Registro tipo D de 4 bits
3	4	B28, C19, C28, E19	7400		QUAD- Ponta não-E de 2 entradas
4	1	B37	7432		QUAD- Porta ou de 2 entradas
5	1	C37	Am25LS162	AMD	Contador de 4 Bits, "Clear" assíncrono
6	1	D37	74LS253		DUAL- Multiplexador 4 para 1
7	3	B47, C47, D47	745471	TEXAS	Memória PROM de 256 x 8
8	1	D28	7474		DUAL- Flip-flop tipo D
9	1	R1	10K $\Omega$		Resistência 1/8 W
10	1	R2	4K7		Resistência 1/8 W
11	1	C1	10 $\mu$ F/10V		Capacitor eletrolítico
12	8	C2 a C9	100 Kpf		Capacitor de disco
13	1	J1	CON.44/MW		Conector de 44 pinos, "Wire-Map"
14	1	K1	CON.50/RS		Conector de 50 pinos, tipo RS

TABELA B.2

RELAÇÃO DE MATERIAL DA UCR

ITEM	QTDE	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/ CÓDIGO	FABR.	DESCRIÇÃO
1	3	A4, C4, E4	Am 2918	AMD	QUAD- Registro tipo D
2	3	84, D4, F4	74LS161		Contador binário de 4 bits
3	4	B14, D14, F14, C24	74S85		Comparador de magnitude
4	2	A24, D24	74S74		DUAL- Flip-flop tipo D
5	1	E24	74LS153		DUAL- Multiplexador 4 para 1
6	1	F24	74173		Registro tipo D de 4 bits
7	1	A34	74S04		HEX - Inversor
8	1	C34	74S11		Triplo - Porta E de 3 Entradas
9	1	E34	74S32		QUAD- Porta OU de 2 entradas
10	1	G34	74S08		QUAD- Porta E de 2 entradas
11	2	R1, R2	1K $\Omega$		Resistência 1/8 W
12	1	R3	190 $\Omega$		Resistência 1/8 W
13	1	C1	5600pf		Capacitor de disco
14	9	C2 a C10	10 Kpf		Capacitor de disco
15	1	J2	CON.44/MW		Conector de 44 pinos, "Wire-Wrap"



TABELA 8.3

RELAÇÃO DE MATERIAL DO CMS

ITEM	QTDE	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/ CÓDIGO	FABR.	DESCRIÇÃO
1	3	A5, C5, E5	74161		Contador binário de 4 bits
2	2	A18, C18	74173		Registro tipo D de 4 bits
3	2	A30, C30	74LS138		Decodificador de 3 para 8
4	1	E30	74LS139		DUAL- Decodificador de 2 para 4
5	1	C42	Am25LS2520	AMD	Registro tipo D de oito bits
6	3	R1, R2, R3	4K7		Resistência 1/8 W
7	9	C1 a C9	10 Kpf		Capacitor de disco
8	1	J3	CON.44/MW		Conector de 44 pinos, "Wire-Wrap"
9	1	K3	CON.50/RS		Conector de 50 pinos, Tipo RS

TABELA B.4

RELAÇÃO DE MATERIAL DA UMT

ITEM	QTDE	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO CÓDIGO	FABR.	DESCRIÇÃO
1	1	B1	74173		Registro tipo D de 4 bits
2	1	D1	74S32		QUAD- Porta E de 2 entradas
3	1	E1	74S04		HEX- Inversor
4	3	B12, C1, D12	74LS161		Contador binário de 4 bits
5	1	C12	74LS139		DUAL- Decodificador 2 para 4
6	1	E12	74 S 08		QUAD- Porta E de 2 entradas
7	8	A22, A36, C22, C36, D22, D36, F22, F36	93422	FCH.	Memória bipolar de 256 x 4 com E/S separados
8	4	A50, C50, D50, F50	Am25LS2520	AMD	Registro tipo D de 8 bits
9	1	F12	74 S 74		DUAL- Flip-flop tipo D
10	4	R1, R2, R3, R4	1K $\Omega$		Resistência 1/8 W
11	13	C1 a C13	10 Kpf		Capacitor de disco
12	1	J4	CON.44/WW		Conector de 44 pinos, "Wire-wrap"
13	1	K4	CON.40/RS		Conector de 50 pinos, tipo RS

TABELA B.5

RELAÇÃO DE MATERIAL DO MEM

ITEM	QTDE	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/ CÓDIGO	FABR.	DESCRIÇÃO
1	4	A2, A50, F2, F50	74 S 75		"Latch" de 4 bits
2	4	B2, B50, E2, E50	74125		QUAD- Porta "tri-state"
3	8	A12, A36, C12, C36, D12, D36, F12, F36	93422	FCH	Memória bipolar de 256 x 4 com E/S separados
5	4	B14, B38, E14, E38	74LS125		QUAD- Porta "tri-state"
6	2	D2, D50	74S32		QUAD- Porta OU de 2 entradas
7	6	A26, B26, C26, D26, E26, F26	74LS257		QUAD- multiplexador 2 para 1 com "tri-state"
9	1	R1	4K7		Resistência 1/8 W
10	4	C1 a C4	10µF/15V		Capacitor eletrolítico
11	14	C5 a C19	10 Kpf		Capacitor de disco
12	1	J5 (12)	CON.44/WW		Conector de 44 pinos, "Wire-wrap"
13	1	K5 (12)	CON.50/WW		Conector de 50 pinos, tipo RS

TABELA B.6

RELAÇÃO DE MATERIAL DO PNL

ITEM	QTDE	REFERÊNCIA NO DESENHO/ POSIÇÃO NA PLACA	TIPO/ CÓDIGO	FABR.	DESCRIÇÃO
1	4	U1, U2, U3, U4	74125		QUAD- Porta "tri-state"
2	1	U5	7400		QUAD- Porta Não E de 2 entradas
3	7	U6, U7, U8, U9, U10, U11	7406		HEX- Inversor com coletor aberto
4	35	D1 a D35	LED		Led $\phi$ 3 mm
5	39	R1 a R39	330 $\Omega$		Resistência 1/4 W
6	4	R40 a R43	1K $\Omega$		Resistência 1/8 W
7	1	R44	120 $\Omega$		Resistência 1/8 W
8	1	C1	47 $\mu$ F/10V		Capacitor eletrolítico
9	2	PB1, PB2	P.B.3Cont.		"Push-botton" de 3 contatos
10	17	CH1 a CH17	CH1p./2p.		Chave de 1 pólo e 2 posições
11	2	CON1, CON2	CON.BNC/F		Conector tipo BNC, fêmea
12	1	U12	7407		HEX - Buffer não inversor

••

## APÊNDICE C

### LISTAGEM DO MICROPROGRAMA

O microprograma, residente na Unidade de Controle do Sistema Emulador, é um conjunto de símbolos binários, 0 e 1, que controla o fluxo de execução das instruções do EMMAC. Ele é descrito em LMP- Linguagem de Microprogramação - como um conjunto de microoperações, as quais constituem as microinstruções; neste apêndice é fornecida a sua listagem.

LISTAGEM DO MICROPROGRAMA  
=====

```

BEGIN
%
%
%*****%
%
%      EMNAC - EMULADOR DE MEMORIAS DE MICROCONTROLE
%      AUXILIADO POR COMPUTADOR
%
%      *** MICROPROGRAMA RESIDENTE NO EMNAC ***
%      VERSAO 1.0
%
%      INPE-GSD      01.06.82
%      MARCOS ANTONIO CARDOSO CRUZ
%*****%
%
%      DECLARACAO DA MEMORIA DE MICROCONTROLE
%
%
%      MEMORY MEM [0:255,0:17J;      % 256 PALAVRAS DE 18 BITS
%
%
%      DECLARACAO DOS CAMPOS
%
%
%

```

```

FIELD  CTRSEQ = MEM[0:2] (110B),
      DEV.FLAG = MEM[3] (0B),
      CRSAIDA = MEM[4] (1B),
      CCE = MEM[5] (1B),
      SE = MEM[6] (0B),
      CRS = MEM[7] (1B),
      CTRMEM = MEM[8:11] (1110B),

      CTRREL = MEM[12:15] (1100B),

      CTRMONIT = MEM[16:17] (10B);

% CONTROLE DO SEQUENCIADOR
% MEM[0] = CLSEQ
% MEM[1:2] = S[0:1]
% COMUNICACAO COM O COMP.
% CONTR. DO MEM & REG.SAI.
% "
% CONTR. DO MODULO DE EMUL.
% CONTR. DO MEM & REG.SAI.
% CONTROLE DA MEMORIA
% MEM[8] = LER
% MEM[9] = ESCR
% MEM[10] = SL
% MEM[11] = ICEME
% CONTROLE DO RELOGIO
% MEM[12] = CRC
% MEM[13] = CST
% MEM[14] = EXEC
% MEM[15] = IRC
% CONTR. DO MOD. MONIT.
% MEM[16] = CF
% MEM[17] = ICENO

```

DECLARACAO DE FORMATO (UNICO)

```

FORMAT F1 ( CTRSEQ,
             DEV.FLAG,
             CRSAIDA,
             CCE,

```



```
SE,  
CRS,  
CTRMEN,  
CTREL,  
CTRMONIT);
```

```
% .....  
% .....  
% .....  
% DEFINICAO DOS ATRIBUTOS DO CAMPO CTRSEQ  
% .....  
% .....
```

```
DEFINE  
ESP.CMD = CTRSEQ:= 100B # ,  
CONTINUE = CTRSEQ:= 110B #, % (DEFAULT)  
ESP.FIM = CTRSEQ:= 101B #,  
VOLTA.PAG = CTRSEQ:= 010B #;
```

```
% .....  
% .....  
% .....  
% DEFINICAO DOS ATRIBUTOS DO CAMPO CTRMEN  
% .....  
% .....
```

```
DEFINE  
LERMEM = CTRMEN:= 0100B #,  
ESCMEM = CTRMEN:= 0010B #,  
INCEND = CTRMEN:= 1111B #,  
LER.INCEND = CTRMEN:= 0111B #, % (DEFAULT)  
NOPMEM = CTRMEN:= 1110B #,  
SELMEM = CTRMEN:=0110B #;
```

```
% .....  
% .....  
% .....  
% DEFINICAO DOS ATRIBUTOS DO CAMPO CTREL  
% .....
```





```
LOOP3: ESP.CMD;           % ESPERA COMANDO  
CARSE: CONTINUE,CRS:=08; % CARREGA REG. DE SELECAO  
      CONTINUE,DEV.FLAG:=1B; % ENVIA RESPOSTA  
      VOLTA.PAG;          % RETORNA PARA LOOP3
```

```
%-----  
%  
% ROTINA CACES  
%-----  
%
```

```
$ORIGIN 48;  
LOOP4: ESP.CMD;           % ESPERA COMANDO  
CACES: CONTINUE,CCE:=0B; % CARREGA CONTADOR DE END.  
      CONTINUE,DEV.FLAG:=1B; % ENVIA RESPOSTA  
      VOLTA.PAG,DEV.FLAG:=1B; % RETORNA PARA LOOP4
```

```
%-----  
%  
% ROTINA CARC  
%-----  
%
```

```
$ORIGIN 64;  
LOOP5: ESP.CMD;           % ESPERA COMANDO  
CARC:  CONTINUE,CARCONT; % CARREGA CONTADOR DO REL.  
      CONTINUE,DEV.FLGA:=1B; % ENVIA RESPOSTA  
      VOLTA.PAG,DEV.FLAG:=1B; % RETORNA PARA LOOP5
```

```
%-----  
%  
% ROTINA CARS  
%-----  
%
```

```
$ORIGIN 80;  
LOOP6: ESP.CMD;           % ESPERA COMANDO  
CARS:  CONTINUE,CARSTAT; % CARREGA REG. DE STATUS
```

```
CONTINUE,DEV.FLAG:=18; % ENVIA RESPOSTA  
VOLTA.PAG,DEV.FLAG:=18; % RETORNA PARA LOOP6
```

```
%-----  
%  
% ROTINA CARF  
%-----  
%
```

```
$ORIGIN 96;  
LOOP7: ESP.COMD; % ESPERA COMANDO  
CARF: CONTINUE,CARFREQ; % CARREGA REG. DE FREQ.  
CONTINUE,DEV.FLAG:=18; % ENVIA RESPOSTA  
VOLTA.PAG,DEV.FLAG:=18; % RETORNA PARA LOOP7;
```

```
%-----  
%  
% ROTINA INCMO  
%-----  
%
```

```
$ORIGIN 112;  
LOOP8: ESP.COMD; % ESPERA COMANDO  
INCMO: CONTINUE,INCMONIT; % INCREMENTA END. MONIT.  
CONTINUE,DEV.FLAG:=18; % ENVIA RESPOSTA  
VOLTA.PAG,DEV.FLAG:=18; % RETORNA PARA LOOP8
```

```
%-----  
%  
% ROTINA LERMO  
%-----  
%
```

```
$ORIGIN 128;  
LOOP9: ESP.COMD; % ESPERA COMANDO  
LERMO: CONTINUE,LERMONIT; % LE MOD. DE MONIT.  
CONTINUE,DEV.FLAG:=18; % ENVIA RESPOSTA  
VOLTA.PAG,DEV.FLAG:=18; % RETORNA PARA LOOP9
```

```
%-----  
%  
% ROTINA EXEC  
%-----  
%  
$ORIGIN 144;  
  LOOP10: ESP.CMD;           % ESPERA COMANDO  
EXEC:   ESP.FIM,DEV.FLAG:=18,INCEND; % EXECUTA EMULACAO  
        CONTINUE,DEV.FLAG:=18;    % & ENVIA RESPOSTA  
        VOLTA.PAG,DEV.FLAG:=18;   % RETORNA PARA LOOP10  
%-----  
%  
% ROTINA LER  
%-----  
%  
$ORIGIN 176;  
  LOOP11: ESP.CMD;           % ESPERA COMANDO  
LER:    CONTINUE,CRSAIDA:=08,LERMEM; % LE DADO NA MEMORIA  
        CONTINUE,DEV.FLAG:=18;    % ENVIA RESPOSTA  
        CONTINUE,DEV.FLAG:=18;    % ENVIA RESPOSTA  
        VOLTA.PAG,DEV.FLAG:=18;   % RETORNA PARA LOOP11  
%-----  
%  
% ROTINA ESCRI  
%-----  
%  
$ORIGIN 192;  
  LOOP12: ESP.CMD;           % ESPERA COMANDO  
ESCRI:  CONTINUE,ESCMEM;      % ESCRIBE DADO NA MEMORIA  
        CONTINUE,INCEND;        % INCREMENTA ENDereco  
        CONTINUE,DEV.FLAG:=18;   % ENVIA RESPOSTA  
        VOLTA.PAG,DEV.FLAG:=18;  % RETORNA PARA LOOP12  
%-----  
%
```

```
%-----  
% ROTINA PARE  
%-----  
%  
$ORIGIN 240;  
  LOOP13: ESP.COMD;          % ESPERA COMANDO  
  PARE:   CONTINUE,DEV.FLAG:=18; % ENVIA RESPOSTA  
          VOLTA.PAG,DEV.FLAG:=18; % RETORNA PARA LOOP13  
%  
%  
% OPCOES DE POS-PROCESSAMENTO  
%  
%  
%  
MAP PROM.EMMAC.1.CIM1 = MEM[0:255,0:17]; % MEMORIA 1 = CI M1  
  PROM.EMMAC.2.CIM2 = MEM[0:255,8:15]; % MEMORIA 2 = CI M2  
  PROM.EMMAC.3.CIM3 = MEM[0:255,16:17]; % MEMORIA 3 = CI M3  
%  
LIST BIN ALL;  
LIST HEX ALL;  
%  
% FINAL DO MICROPROGRAMA  
%  
%  
% END
```

## APÊNDICE D

### BIBLIODGRAFIA

- AMARAL, P.F.S. *Emulador de memórias de microcontrole auxiliado por computador*. Tese de Mestrado em Eletrônica e Telecomunicações. São José dos Campos, INPE, abr. 1979. 161p. (INPE-1489-TDL/009).
- HEWLETT - PACKARD. *21 MX E-Series computer: operating and reference manual*. Cupertino, CA, 1979.
- HEWLETT - PACKARD. *Microcircuit interface: computer interface*. Palo Alto, CA, 1968.
- HEWLETT - PACKARD. *RTE-IV programmer's reference manual*. Cupertino, CA, 1978.
- SIGNETICS MEMORY SYSTEMS. *Application note: design of microprogrammable systems*. Sunnyvale, CA, 1970.
- TEXAS INSTRUMENTS. *The TTL data book for design engineers*. 2. ed. Dallas, TX, 1976.
- YAMAGUTI, W. *LMP, uma linguagem de microprogramação*. Tese de Mestrado em Eletrônica e Telecomunicações. São José dos Campos, INPE, abr., 1981. 105p. (INPE-2031-TDL/049).