

1. Publicação nº <i>INPE-3969-NTI/262</i>	2. Versão	3. Data <i>Agosto, 1986</i>	5. Distribuição <input checked="" type="checkbox"/> Interna <input type="checkbox"/> Externa <input type="checkbox"/> Restrita
4. Origem <i>DTL/DRC</i>		Programa	
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>ICDF2</i> <i>BPCD70</i> <i>CONTROLADOR DE DISCO FLEXÍVEL</i> <i>UNIDADE DE DISCO FLEXÍVEL</i>			
7. C.D.U.: <i>681.322:621.38</i>			
8. Título <i>MANUAL DA INTERFACE CONTROLADORA DE DISCOS FLEXÍVEIS ICDF2</i>		10. Páginas: <i>31</i>	
		11. Última página: <i>B.2</i>	
9. Autoria <i>Maurício Macedo de Faria Celina Ruth Carneiro P. De Angelis Luiz Afonso Danda</i> 		12. Revisada por  <i>Marcus V. Cisotto</i>	
Assinatura responsável		13. Autorizada por  <i>Marco Antônio Raupp Diretor Geral</i>	
14. Resumo/Notas <i>Esse manual descreve o funcionamento da Interface Controladora de Discos Flexíveis (ICDF2), utilizada para controlar acionadores ("drivers") de 5 1/4" com gravação em densidade simples ou dupla. Essa interface pode ser utilizada em qualquer sistema que utilize o Barramento BPCD-70.</i>			
15. Observações			

ABSTRACT

This manual describes the functions of the Floppy Disk Controller Interface (Interface Controladora de Discos Flexíveis), ICDF2, used for controlling 5 1/4" disk drives with double or single density recording. This interface can be used in any system employing the BPCD-70 Bus.

SUMÁRIO

	<u>Pág.</u>
1. <u>INTRODUÇÃO</u>	1
2. <u>DESCRIÇÃO GERAL</u>	1
3. <u>ESPECIFICAÇÕES TÉCNICAS</u>	4
4. <u>FUNCIONAMENTO E MODO DE OPERAÇÃO</u>	4
4.1 - Funcionamento	4
4.1.1 - Controlador de disco flexível (FDC)	4
4.1.2 - Controlador de acesso direto à memória (DMA)	5
4.1.3 - Lógica de controle e seleção de placa	6
4.1.4 - Porta de controle	7
4.1.5 - Separador de dados	7
4.1.6 - Oscilador/Divisor	8
4.1.7 - Interface dos acionadores de disco	8
4.2 - Modo de operação	10
4.2.1 - Parâmetros de "software"	10
4.2.2 - Parâmetros de "hardware"	11
5. <u>CONCLUSÃO</u>	13
REFERÊNCIAS BIBLIOGRÁFICAS	15
BIBLIOGRAFIA	17
APÊNDICE A - FIGURAS E TABELAS	
APÊNDICE B - MAPA DE ENDEREÇOS DA ICDF2	

1. INTRODUÇÃO

Um sistema de memória de massa para microcomputadores deve possuir um compromisso entre capacidade e custo, compatível com o baixo custo dos microcomputadores. O disco flexível possui uma capacidade de armazenamento razoável, um baixo custo por bit e um rápido tempo de acesso, sendo, portanto, adequado para sistemas de pequeno e médio porte, baseados em microprocessadores.

A conexão entre o acionador de disco flexível ("disk drive") e o microcomputador é feita através da Interface Controladora de Discos Flexíveis - ICDF.

A ICDF foi desenvolvida pelo grupo AUTOM visando dotar a Divisão de Rastreamento e Controle de Veículos Espaciais (DRC) com ferramentas de apoio para o desenvolvimento de "software" aplicado ao controle de equipamentos. Dentro desse contexto, a ICDF faz parte de um projeto mais completo, a Unidade de Disco Flexível (UDF), que é um sistema para desenvolvimento de "software" baseado no sistema operacional CP/M, utilizando o Barramento BPCD-70, definido em Faria (1985).

A ICDF foi desenvolvida em duas versões:

- ICDF1: para discos de 5 1/4" (densidade simples)
- ICDF2: para discos de 5 1/4" (densidade simples ou dupla).

Este manual se refere à ICDF2 que é a versão atualmente em uso no Grupo AUTOM.

2. DESCRIÇÃO GERAL

Como pode ser visto no diagrama de blocos da Figura 1, a ICDF2 baseia-se em dois circuitos integrados que são responsáveis pela execução dos comandos e pela transferência de dados entre os acionadores de disco e a memória do sistema. Estes circuitos integrados devem ser inicialmente programados por um microprocessador com vários parâmetros necessários para a realização das transferências de dados.

O circuito integrado FD1791 é o controlador de disco flexível (FDC), responsável pela interface entre os acionadores de disco e o BPCD. A partir de comandos recebidos do microprocessador, ele pode efetuar a leitura ou a gravação de dados nos disco, controlando os acionadores através de interfaces de entrada e saída com a ajuda dos circuitos auxiliares, os quais são descritos mais adiante.

O oscilador/divisor gera os sinais de relógio ("clock") para a temporização adequada do circuito. O separador de dados auxilia o FDC a extrair a informação útil (dados) do sinal lido do disco pelo acionador. Os circuitos monoestáveis 1 e 2 simulam sinais não-disponíveis nos acionadores utilizados no projeto. Os monoestáveis 3 e 4 permitem que o motor dos acionadores sejam desligados quando estes não estiverem sendo usados continuamente. A porta de controle é utilizada para gerar os sinais de seleção dos acionadores, para ligar e desligar os motores e para comandar o modo de operação do FDC (densidade simples ou dupla).

O circuito integrado 8257 é o Controlador de Acesso Direto à Memória (DMA), utilizado para efetuar a transferência dos dados entre a memória do sistema e o FDC em ambos os sentidos, de maneira rápida e sem a intervenção do microprocessador. Com isso, consegue-se uma taxa de transferência maior do que a que seria obtida utilizando o próprio microprocessador. O DMA trabalha em conjunto com o FDC e assume o controle do BPCD no momento da transferência de dados. Os diversos "buffers" fazem o controle do acesso ao BPCD, evitando conflitos com o microprocessador-mestre do BPCD.

A lógica de controle e seleção de placa gera os sinais de seleção para os demais blocos da ICDF2, de acordo com o endereço para o qual a placa foi programada. Além dos endereços, outros sinais de controle são responsáveis pela seleção dos vários blocos da placa, de modo que apenas um único bloco seja selecionado a cada instante.

3. ESPECIFICAÇÕES TÉCNICAS

Modelo	ICDF2.
Modo de Operação	Densidade simples (FM). Densidade dupla (MFM). Selecionável por "software".
Capacidade	Até dois acionadores de 5 1/4", face simples, selecionável por "jumper".
Endereço	Programável por "jumpers".
Outras características ..	Transferência de dados via DMA.
Consumo	+5V (a) 550 mA. +12V (a) 15 mA.

4. FUNCIONAMENTO E MODO DE OPERAÇÃO

Esta seção mostra, com algum detalhe, o funcionamento dos vários blocos da ICDF2, de acordo com o diagrama de blocos da Figura 1. Maiores detalhes poderão ser obtidos no esquema elétrico do Apêndice A.

4.1 - FUNCIONAMENTO

Descreve-se aqui o funcionamento de cada um dos principais circuitos componentes da ICDF2.

4.1.1 - CONTROLADOR DE DISCO FLEXÍVEL (FDC)

Este bloco é constituído pelo circuito integrado FD1791 da "Western Digital". Este circuito integrado pode ser programado para operar no modo FM (densidade simples) ou MFM (densidade dupla). Após receber comandos de um microprocessador, ele executa a leitura ou a gravação de informações nos discos flexíveis. Para isso ele controla todos os sinais de comando dos acionadores, fornecendo ainda bits de es

o processador saberá se um determinado comando foi ou não executado e se houve ou não erro durante sua execução.

O FDC opera basicamente de duas maneiras:

- a) Através do pino DRQ, o FDC solicita ao DMA um dado para gravar. O DMA acessa a memória e coloca o dado na barra de dados. O FDC o lê e o transforma na forma serial. Em seguida, de acordo com o modo de gravação (FM ou MFM), o FDC combina a informação de "clock" com o dado serial e envia o sinal resultante para os acionadores de disco, através da interface de saída. O dado é então gravado no disco flexível. Este processo se repete para todas as operações de escrita no disco.
- b) A informação lida no disco flexível é recebida na forma serial pela interface de entrada, através do sinal "READ DATA/". Essa informação é enviada simultaneamente ao FDC e ao separador de dados (ver Seção 4.1.5) que auxilia aquele a recuperar o dado, a partir do sinal recebido do disco flexível. Em seguida, o FDC transforma o dado na forma paralela (8 bits) e aguarda que este seja transferido para a memória principal. O FDC solicita essa transferência ao DMA através do sinal DRQ.

Informações mais detalhadas sobre a operação do FD 1791 podem ser obtidas em "WESTERN DIGITAL" (1982 a e b).

4.1.2 - CONTROLADOR DE ACESSO DIRETO À MEMÓRIA (DMA)

Este bloco é constituído pelo circuito integrado 8257 da INTEL e pelos isoladores/excitadores ("buffers/drivers") que fazem sua interface com o barramento BPCD-70.

O 8257 é utilizado para obter uma maior velocidade na transferência de dados entre o disco flexível e a memória do sistema, pois essa transferência é realizada sem a intervenção do microprocessador.

O 8257 opera de dois modos: o modo mestre ("master") e o modo escravo ("slave").

No modo escravo, o 8257 se comporta como um periférico qualquer, podendo ser programado pelo microprocessador-mestre do BPCD. Essa programação define para o DMA qual o sentido da transferência de dados, se do disco para a memória ou da memória para o disco (registro de modo do DMA), define também qual o número de "bytes" que serão transferidos (registro de contagem) e qual o endereço inicial da memória utilizando para a leitura ou escrita dos dados (registro de endereço do DMA).

No modo mestre, o 8257 assume o controle do barramento para efetuar a transferência dos dados, sem a intervenção do microprocessador. Neste caso, o DMA passa a gerar os vários sinais de controle de escrita e leitura em memória e/ou periféricos (MEMR/, MEMW/, IOR/, IOW/) do BPCD, além dos sinais para controle dos vários "buffers" das barras de endereço, dados e controle. Desse modo, evitam-se os problemas de contenção no barramento. O sinal DACK0/ também afetará a seleção do FDC. Maiores detalhes sobre a operação do 8257 podem ser obtidos em INTEL (1980).

4.1.3 - LÓGICA DE CONTROLE E SELEÇÃO DE PLACA

Este bloco é responsável pela geração dos sinais de seleção para os diversos blocos da placa, a partir das linhas de endereço (via "jumpers") e das linhas de controle do BPCD. Na verdade, os vários sinais para a habilitação dos "buffers" e seleção dos circuitos integrados são gerados a partir dos sinais AEN e DACK/ vindos do DMA, em conjunto com as linhas de endereço e com as linhas de controle do BPCD.

Maiores detalhes podem ser obtidos no esquema elétrico do Apêndice A e no mapa de endereços do Apêndice B. Como pode ser observado neste apêndice, alguns blocos podem ser selecionados por vários endereços diferentes (imagens).

A ICDF2 possui um endereço, com relação ao BPCD, programável por "hardware". Esta programação é feita através dos "jumpers" J1 e J3, conforme será explicado na Seção 4.2.

4.1.4 - PORTA DE CONTROLE

Este bloco tem por função gerar sinais de controle adicionais para o comando dos acionadores de disco e do próprio FDC. Esses são sinais não-gerados pelo FDC, por exemplo, os sinais de seleção do acionador desejado (DRIVE SELECT/ 0 e 1) e os sinais para ligar e desligar os motores dos acionadores (MOTOR ON/ 0 e 1). A porta de controle gera ainda um sinal para indicar ao FDC e ao separador de dados qual o modo de gravação selecionado (FM ou MFM).

A porta de controle é formada por um circuito integrado 74LS373 que é um registro retentor octal ("octal latch"). Este circuito integrado retém ou não a informação presente na entrada, dependendo do estado de uma linha de comando. Essa informação é definida pelo "software" do sistema. Existem ainda saídas adicionais que poderão ser utilizadas para a implementação de novos comandos, tais como Seleção da Face do Disco (no caso de serem empregados acionadores com duas cabeças).

4.1.5 - SEPARADOR DE DADOS

Este circuito auxilia o FDC na recuperação dos dados lidos do disco flexível. As informações são armazenadas no disco na forma serial, sendo compostas dos dados e de um sinal de relógio para sincronismo, combinados de acordo com o modo de gravação utilizado (sinal "RAW READ/").

Para separar os dados do sinal de relógio, o FDC precisa de uma informação, fornecida pelo separador de dados, dizendo em quais instantes ou janelas o dado é válido (sinal "RCLK"). Dessa maneira, o FDC pode reconstituir os dados gravados no disco.

Diversos tipos de separadores de dados podem ser utilizados (WESTERN DIGITAL, 1982b). O separador do tipo PLL ("Phase - Locked-Loop") é o mais confiável, porém, mais complexo e de custo mais alto. Na ICDF2 foi utilizado um separador do tipo contador ("counter - separador"), o qual possui um desempenho suficientemente bom para sistemas com discos de 5 1/4", que são a principal aplicação da ICDF2. Além disso, tal separador é bem mais simples e utiliza um baixo número de componentes.

A frequência de operação do separador, fornecida pelo oscilador/divisor (Seção 4.1.6), é de 8 MHz.

4.1.6 - OSCILADOR/DIVISOR

Este bloco gera todos os sinais de relógio para a temporização das operações da ICDF2.

Ele é formado por um oscilador controlado a cristal, que oscila em 8 MHz, e um divisor de frequência (74LS161). As várias frequências geradas (0,5 MHz, 1 MHz, 2 MHz e 4 MHz) são distribuídas aos circuitos que delas necessitam. Um conjunto de "jumpers" permite a modificação das frequências enviadas aos vários blocos. A Seção 4.2 mostra como deve ser feita a programação desses "jumpers".

4.1.7 - INTERFACE DOS ACIONADORES DE DISCO

Este bloco se divide em três partes:

4.2 - MODO DE OPERAÇÃO

A ICDF2 possui alguns de seus parâmetros de operação programáveis por "software" e outros por "hardware".

Esta seção apresenta alguns exemplos de configuração da ICDF2, os quais foram adotados na unidade de disco flexível UDF2, controlada pelo programa SMTV-85, Versão 5.0.

4.2.1 - PARÂMETROS DE "SOFTWARE"

Os parâmetros de "software" são transferidos do microprocessador para a ICDF2 durante a fase de programação inicial do SMTV-85. Tais parâmetros configuram o modo de operação dos circuitos integrados 1791 (FDC), 8257 (DMA) e 74LS175 (Porta de Controle) da ICDF2.

Os parâmetros de programação do FDC informam-lhe o modo de gravação, o tipo de operação e os comandos de acesso ao disco propriamente dito. Tais parâmetros são função do "hardware" utilizado e podem ser obtidos em WESTERN DIGITAL (1982a) e em SHUGART ASSOCIATES (s.d.).

Os parâmetros para o DMA são o número de "bytes" a serem transferidos, o endereço inicial dos dados na memória e o seu modo de operação (leitura ou escrita). Esses parâmetros são função da operação que está sendo executada e podem ser determinados segundo INTEL (1980).

A Porta de Controle é um simples registro octal ao qual se envia uma palavra que determina para a ICDF2 os seguintes parâmetros de operação:

- comando para o acionamento dos motores:

MOTOR ON 0/ e MOTOR ON 1/;

- comando para a seleção dos acionadores:

DRIVE SELECT 0/ e DRIVE SELECT 1/;

- comando para a seleção do modo de gravação:

FM ou MFM.

Todos os parâmetros citados acima são controlados por "software" e dependentes da aplicação específica da ICDF2. No caso do Grupo AUTOM, a ICDF2 está sendo utilizada para controlar dois acionadores de disco flexível de 5 1/4", modelo BR500 da Flexidisk, que funcionam como memória de massa para a UDF2, sob comando do SMTV-85 V 5.0 ou do CP/M V 2.2.

4.2.2 - PARÂMETROS DE "HARDWARE"

O parâmetro de operação programável por "hardware" é o endereço da ICDF2 no BPCD.

A ICDF2 ocupa 32 endereços contíguos de entrada/saída (E/S) no BPCD. Tais endereços são utilizados para a seleção dos diversos circuitos integrados da placa, de acordo com o Apêndice B.

Uma vez que a ICDF2 pode operar como mestre do BPCD, manipulando a memória do sistema, ela só poderá ser acessada como um periférico ("I/O Mapping").

A seleção de endereço é feita através dos "jumpers" J1, J2 e J3 que correspondem às linhas de endereço AB7, AB6 e AB5, respectivamente.

Como exemplo, supõe-se que a ICDF2 deva ser instalada no endereço de E/S 40 (hexadecimal). O procedimento de programação é o seguinte:

1) Transforma-se em binário o endereço hexadecimal desejado

40 = 0100 0000.

2) Atribuem-se os bits do número binário obtido às linhas de endereço correspondentes do BPCD. O bit menos significativo (LSB) corresponde à linha AB0:

AB7	AB6	AB5	AB4	AB3	AB2	AB1	AB0	
0	1	0	0	0	0	0	0	.

3) Ignoram-se os cinco bits menos significativos, que são utilizados internamente pela ICDF2:

AB7	AB6	AB5	AB4	AB3	AB2	AB1	AB0	
0	1	0	X	X	X	X	X	.

4) Os bits AB5 a AB7 selecionam a placa no BPCD. Os bits com valor lógico "1" têm seus "jumpers" ligados e aqueles com valor lógico "0" têm seus "jumpers" desligados. A Tabela 2 mostra a configuração final dos "jumpers" para o exemplo acima.

TABELA 2

PROGRAMAÇÃO DO ENDEREÇO NO BPCD

"JUMPER"	LINHA BPCD		
	AB7	AB6	AB5
J1	D	-	-
J2	-	L	-
J3	-	-	D

OBS.: L = ligado

D = desligado

Para ilustrar melhor como são selecionados internamente os vários blocos da ICDF2, o Apêndice B mostra o mapa de endereços dos blocos internos da placa, considerando que a ela já está programada com um endereço no BPCD ("jumpers" J1, J2 e J3).

5. CONCLUSÃO

A ICDF2 foi desenvolvida durante o programa de estágio de engenharia do aluno Luis Afonso Danda da U.F.Pb. durante o primeiro semestre de 1984, sob orientação do Grupo AUTOM.

A versão atual em "wire-wrap" encontra-se em funcionamento no laboratório do Grupo AUTOM e faz parte da UDF 2. No momento encontra-se em fase final uma versão em circuito impresso que incorpora alguns aperfeiçoamentos e simplificações.

Como sugestões para um aperfeiçoamento futuro indica-se a substituição do oscilador de 8 MHz por um VCO (74LS124); isto melhoraria a quadratura do sinal. Além disto, o separador de dados poderia ser implementado utilizando um circuito integrado "Phase-Locked - Loop" (PLL) que aumentaria a confiabilidade do separador, permitindo a operação com discos flexíveis de 8" em densidade dupla (MFH).

REFERÊNCIAS BIBLIOGRÁFICAS

FARIA, M.M. *Especificação preliminar do barramento padrão para circuitos digitais BPCD-70*. INPE, São José dos Campos. Maio 1985. (INPE-3520-NTE/234).

INTEL. *Peripheral design handbook*. Santa Clara, CA, 1980.

SHUGART ASSOCIATES. *SA4001 minifloppy diskette storage drive OEM manual*. Sunnyvale, CA 94086, s.d.

WESTERN DIGITAL. *FD179X application notes*. Irvine, CA, Out. 1982b.

WESTERN DIGITAL. *FD179X-02 formatter/controller family*. Irvine, CA, Out. 1982a.

BIBLIOGRAFIA

FERREIRA, A.N. *Unidade de armazenamento em disco flexível*. INPE. São José dos Campos, dez. 1983 (INPE-2982-RPE-451).

INTEL. *An intelligent data base system using the 8272*. AP-116. Santa Clara, CA, 1981.

MOTOROLA. *MECL Data Book*. s.l., 1982.

APÊNDICE A

FIGURAS E TABELAS

Este apêndice fornece informações adicionais que visam completar a descrição da interface ICDF2. Ele consiste no esquema elétrico, na localização dos componentes e na relação de componentes da interface ICDF2.

TABELA A.1

RELAÇÃO DE COMPONENTES DA ICDF2

CAPACITORES

C1 a C20 - 100 KpF CAPACITOR CERÂMICO DISCO
C21 - 100 μ F / 20V CAPACITOR TANTALO
C22 e C23 - 10 μ F / 20V CAPACITOR TANTALO
C24 e C25 - 47 μ F / 20V CAPACITOR TANTALO
C27 - 22 pF CAPACITOR CERÂMICO DISCO
C28 - 27 pF CAPACITOR CERÂMICO DISCO
C29 - 100 μ F / 20V CAPACITOR TANTALO
C30 - 1,2 nF CAPACITOR CERÂMICO DISCO

RESISTORES

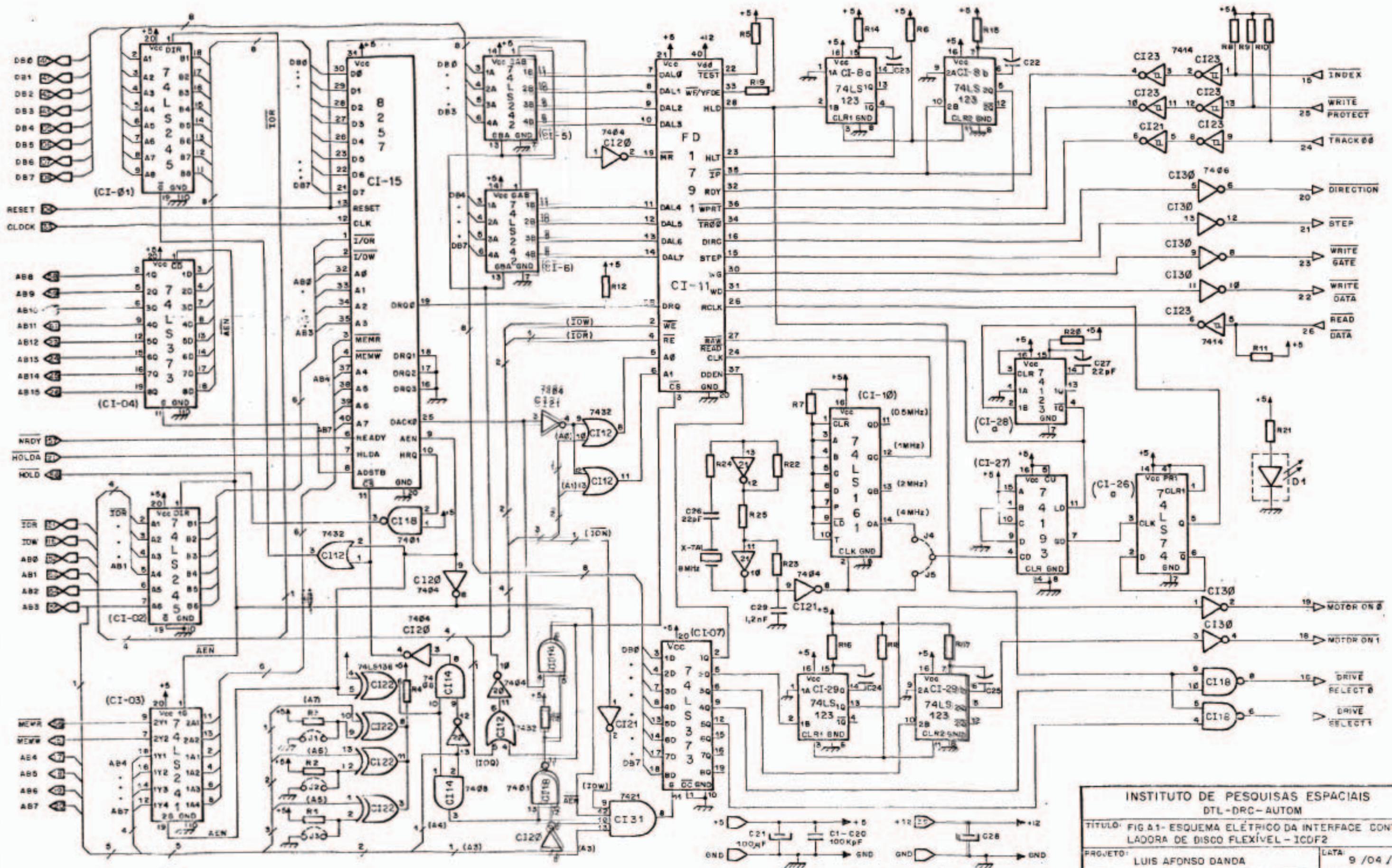
R1 a R6 - 1K ohm 1/8W RESISTOR DE CARBONO
R12 - 1K ohm 1/8W RESISTOR DE CARBONO
R13 a R15 - 150 ohm 1/8W RESISTOR DE CARBONO
R16 - 1K ohm 1/8W RESISTOR DE CARBONO
R17 - 10K ohm 1/8W RESISTOR DE CARBONO
R20 - 1K ohm 1/8W RESISTOR DE CARBONO
R21 - 27K ohm 1/8W RESISTOR DE CARBONO
R22 - 120K ohm 1/8W RESISTOR DE CARBONO
R23 e R24 - 20K ohm 1/8W RESISTOR DE CARBONO
R25 - 1K ohm 1/8W RESISTOR DE CARBONO
R30 - 220 ohm 1/8W RESISTOR DE CARBONO
R31 - 220 ohm 1/8W RESISTOR DE CARBONO
R32 e R33 - 470 ohm 1/8W RESISTOR DE CARBONO
R34 e R35 - 220 ohm 1/8W RESISTOR DE CARBONO
R36 - 1K ohm 1/8W RESISTOR DE CARBONO

CIRCUITOS INTEGRADOS

CI01 e CI02 - 74LS245 TRI-STATE OCTAL BUFFERS
CI03 - 74LS241 TRI-STATE OCTAL BUFFERS
CI04 - 74LS373 TRI-STATE OCTAL LATCH
CI05 e CI06 - 74LS242 TRI-STATE OCTAL BUFFERS
CI07 - 74LS373 TRI-STATE OCTAL LATCH
CI08 - 74LS123 DUAL RETRIGGERABLE ONE SHOTS WITH CLEAR
CI10 - 74LS161 SYNCHRONOUS 4-BIT COUNTERS
CI11 - 1791 FLOPPY DISK FORMATTER/CONTROLLER
CI12 - 74LS32 QUAD 2-INPUT OR GATES
CI14 - 74LS08 QUAD 2-INPUT AND GATES
CI15 - 8257 PROGRAMMABLE DMA CONTROLLER
CI18 - 74LS38 QUAD 2-INPUT NAND BUFFER 0.COLLEC.OUTPUTS
CI20 e CI21 - 74LS04 HEX INVERTERS
CI22 - 74LS136 QUAD EXCLUSIVE-OR OPEN COLLEC.OUTPUTS
CI23 - 74LS14 HEX SCHMITT TRIGGERS
CI26 - 74LS74 DUAL D POSITIVE-EDGE-TRIG.FLIP FLOPS
CI27 - 74LS193 SYNCHRONOUS UP/DOWN COUNTERS
CI28 e CI29 - 74LS123 RETRIGGERABLE, ONE SHOTS WITH CLEAR
CI30 - 7406 HEX BUFFERS WITH OPEN COLLEC.OUTPUTS
CI31 - 74LS21 DUAL 4-INPUT NAND GATES, 0.COLLEC.OUTPUTS

OUTROS

X1 - CRISTAL DE 8 MHz
D1 - LED VERMELHO



INSTITUTO DE PESQUISAS ESPACIAIS
DTL-DRC-AUTOM

TÍTULO: FIG. A1 - ESQUEMA ELÉTRICO DA INTERFACE CONTROLADORA DE DISCO FLEXÍVEL - ICDF2

PROJETO: LUIS AFONSO DANDA	DATA: 9/04/84
DESENHO: ANA LUCIA CASTRO	DATA: 7/04/86

APÊNDICE B

MAPA DE ENDEREÇOS DA ICDF2

Este apêndice apresenta uma tabela que relaciona todos os endereços dos diversos blocos e registros internos da ICDF2, visando facilitar a consulta.

TABELA B.1

ENDEREÇOS INTERNOS DA ICDF2

LINHAS DE ENDEREÇO								BLOCO/REG. ACESSADO
A7	A6	A5	A4	A3	A2	A1	A0	
X	X	X	0	0	0	0	0	DMA CH0-REG. ENDEREÇOS
X	X	X	0	0	0	0	1	DMA CH1-CONTADOR
X	X	X	0	0	0	1	0	DMA CH1-REG. ENDEREÇOS
X	X	X	0	0	0	1	1	DMA CH1-CONTADOR
X	X	X	0	0	1	0	0	DMA CH2-REG. ENDEREÇOS
X	X	X	0	0	1	0	1	DMA CH2-CONTADOR
X	X	X	0	0	1	1	0	DMA CH3-REG. ENDEREÇOS
X	X	X	0	0	1	1	1	DMA CH3-CONTADOR
X	X	X	0	1	0	0	0	DMA REG. MODO/STATUS
X	X	X	0	1	0	0	1	Idem (imagem)
X	X	X	0	1	0	1	0	Idem (imagem)
X	X	X	0	1	0	1	1	Idem (imagem)
X	X	X	0	1	1	0	0	Idem (imagem)
X	X	X	0	1	1	0	1	Idem (imagem)
X	X	X	0	1	1	1	0	Idem (imagem)
X	X	X	0	1	1	1	1	Idem (imagem)
X	X	X	1	0	0	0	0	FDC-REG. COMANDO/STATUS
X	X	X	1	0	0	0	1	FDC-REG. TRILHA (R/W)
X	X	X	1	0	0	1	0	FDC-REG. SETOR (R/W)
X	X	X	1	0	0	1	1	FDC-REG. DADOS (R/W)
X	X	X	1	0	1	0	0	FDC-imagem REG. COM/ST
X	X	X	1	0	1	0	1	FDC-imagem REG. SETOR
X	X	X	1	0	1	1	0	FDC-imagem REG. SETOR
X	X	X	1	0	1	1	1	FDC-imagem REG. DADOS
X	X	X	1	1	0	0	0	PORTA DE CONTROLE
X	X	X	1	1	0	0	1	Idem (imagem)
X	X	X	1	1	0	1	0	Idem (imagem)
X	X	X	1	1	0	1	1	Idem (imagem)
X	X	X	1	1	1	0	0	Idem (imagem)
X	X	X	1	1	1	0	1	Idem (imagem)
X	X	X	1	1	1	1	0	Idem (imagem)
X	X	X	1	1	1	1	1	Idem (imagem)