IMPLEMENTAÇÃO DE UM DECODIFICADOR SBCDA/ARGOS EM FPGA

Bárbara Silva de Souza¹ (UFRN, Bolsista PIBIC/CNPq)
José Marcelo Lima Duarte² (CTE/LAP/INPE, Orientador)

RESUMO

Este trabalho está inserido em um projeto para implementar em FPGA um decodificador para o sinal do Sistema Brasileiro de Coleta de Dados Ambientais (SBCDA). O objetivo do trabalho é contribuir no desenvolvimento do firmware do FPGA convertendo parte do modelo do algoritmo de decodificação, desenvolvido em MatLab, em um modelo RTL (*Register Transfer Level*). A parte do algoritmo de decodificação a ser convertida em RTL neste trabalho é a etapa de demodulação do sinal. Neste sentido, até agora foram feitos códigos HDL para implementar o modelo em RTL de algumas funções de processamento digital de sinal que são usadas pelo demodulador, como o filtro CIC, o algoritmo CORDIC, um Loop-Filter, o oscilador controlado numericamente NCO e o controlador automático de ganho AGC. Estes foram validados a partir de *testbenches*, que são códigos usados na verificação do design implementado, checando se o resultado obtido corresponde ao esperado. A estratégia para validação adotada neste trabalho foi comparar a resposta do modelo RTL com a do modelo em MatLab para uma mesma sequência de entrada. Como atividades futuras, planeja-se integrar os RTL desenvolvidos para compor o demodulador e realizar simulações para validar o modelo em RTL do demodulador usando o modelo em MatLab como referência.

¹Aluna do Curso de Engenharia Elétrica – E-mail: barbara.souza@crn.inpe.br

²Pesquisador na área de Comunicação Digital, Processamento Digital de Sinais e Sistemas Digitais
E-mail: jmarcelo@crn.inpe.br